

为USB4™选择ESD保护器件

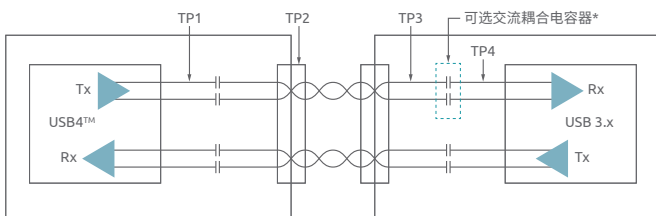
2020年2月21日，作者：保护和滤波产品经理Stefan Seider博士

新的USB4™规范引入了一些更改，会影响ESD保护器件的选择。显然，ESD保护需要在为系统增加低插入损耗（信号衰减）和低回波损耗（信号反射）的同时，提供低钳位以保护敏感的高速数据线。但是，通过比较USB4™和USB 3.2规范，我们发现了一个很容易忽视的问题：动作电压。

USB基础结构由以下三个规范定义：

- 新的USB4™以及USB 3.2和USB 2.0规范定义了USB接口的性能，USB4™可提供高达40 Gbps的数据传输速率。
- USB供电规范扩展了可能的USB供电电压和电流等级，通过USB Type-C®线缆最高可提供100W。
- 大多数最终用户将会认识到USB Type-C®规范的便利性，但还需要通过USB Type-C®线缆和连接器基础设施，才能释放USB4™和USB供电规范提供的全部潜力。

作为参考，我们将会使用此简化模型中的测试点TP2和TP3：



*该电容器对于USB 3.2是可选的，对于USB4™是必需的，但未在早期USB 3.x规范中显示

图1：将USB 3.2系统连接到USB4™系统时的测试点定义

在信号流中，发射器Tx之后是交流耦合电容器、连接器(TP2)、线缆和接收器设备的连接器。TP3和TP4之间是第二个交流耦合电容器，该电容器对于USB 3.2是可选的，但对于USB4™是必需的。

除了可以忽略插头方向外，USB Type-C®为最终客户提供的主要优势是能够使用USB Type-C®连接两个应用并由这两个应用协商确定通过USB Type-C®交互的最佳方式。这意味着，我们可以期待将基于USB 3.2或更旧3.x版本的应用（例如外部HDD）连接到基于USB4™的应用（例如计算机）。

这对于期望的电压来说意味着什么？所有人都可以访问usb.org上的USB规范，因此可以轻松查阅。让我们看看当前USB 3.2规范的表6.19，其中有一个参数“VTX-DC-CM（发射器DC共模电压）”解释为“交流耦合电容器的连接器侧瞬时允许的直流共模电压”。如果我们忽略连接器和线缆引起的压降，就可以将其转换为TP2和TP3。

同样在USB 3.2规范的表6.19中，此直流电压的最大值定义为+/-2.2V。如果由于电压摆幅而增加300 mV，TP2和TP3上的瞬时交流/直流电压就可高达2.5 V。Rx检测原则上可以增加最高0.6 V，这会将TP2和TP3的电压提高到2.8V。

无论是针对USB4™还是USB 3.x系统，这都为放置ESD保护器件留出了两个选择：它们可以直接放在连接器（TP2或TP3）上，这是实现系统级ESD性能的最有效位置。在这种情况下，它们需要能够耐受更高的电压（在连接USB 3.x系统时产生）。如果ESD保护器件会在较低电压下导通，则必须将其放置在TP1或TP4处。

顺带一提，约为330 nF的交流耦合电容器和42.5 Ω的单端线路阻抗将构成截止频率约为11.4 kHz的高通滤波器，本身并不能针对快速瞬变（例如ESD）提供太多保护。

但是，在TP1或TP4处放置ESD保护有两个缺点。首先，这会使得交流耦合电容器并未针对ESD放电受到保护。其次，将ESD保护放置在系统的ESD入口点（即连接器上）时，效果最佳。为了证明这一点，我们比较了两个ESD事件的H场扫描^[1]。在这个特别案例中，设计人员将第二个ESD保护器件（标记为prot2）放

置在电路板的中间位置，具体位于连接器上另一个ESD保护器件（标记为prot1）的顶部。在右图中，第二个ESD保护器件已被移除；而在左图中，电路板中间的ESD保护器件实际上增加了进入系统的ESD量。

作为补充说明，USB Type-C®支持在ALT模式下传输其他数据，例如HDMI®。因此建议在开发基于Type-C的HDMI应用时所有人都要检查这种配置中的可能电压。Nexperia也为这种情况提供解决方案。

USB 3.x收发器板的EMI扫描比较

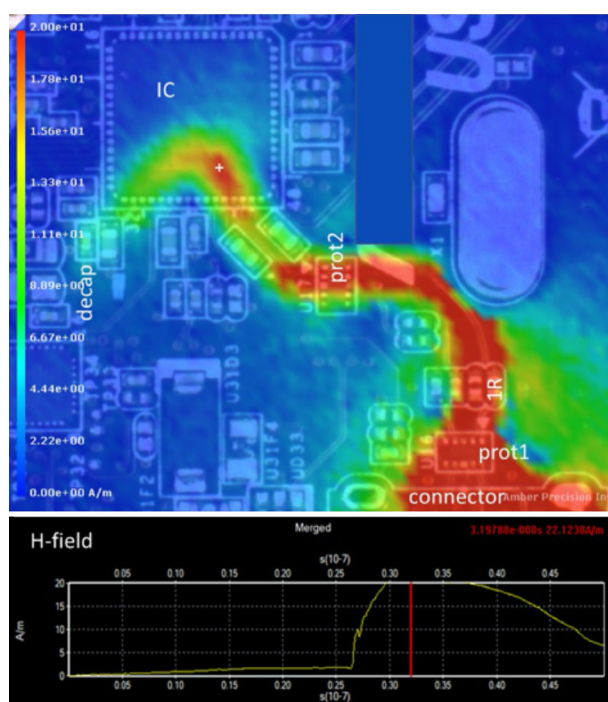


图2：原始电路板：在电路板中间有第二个ESD保护器件(prot2)^[1]

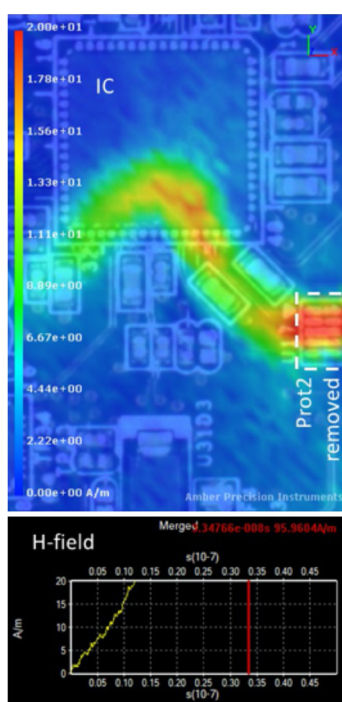


图3：移除了第二个ESD保护器件的同一块电路板显示流入收发器的电流减少^[1]

总结

- USB Type-C®连接器的灵活性支持连接基于不同数据标准的设备，例如USB4、USB 3.2和更旧的USB 3.x标准。
- 放置ESD保护器件的最佳位置是直接放置在连接器后的入口处。
- 如果将USB4的ESD保护器件放置在此位置，则此ESD保护器件的额定电压应向后兼容可通过USB Type-C®连接的所有标准。

^[1] Notermans, G. & Bub, Sergej & Hilbrink, Ayk. (2018). Predicting System Level ESD Performance. 195-201. 10.7148/2018-0195.

http://www.scs-europe.net/dlib/2018/ecms2018acceptedpapers/0195_is_ecms2018_0882.pdf

© 2020 Nexperia B.V.

保留所有权利。未经版权所有者事先书面同意，禁止复制本文全部或部分。本文档中所提供的信息不构成任何报价或合同的一部分，且被认为是准确可靠的，如有变更，恕不另行通知。对于使用本文档所产生的任何后果，出版方概不承担任何责任。出版内容既不传达也不暗示专利或者其他工业或知识产权下的任何许可。

nexperia.com

发布日期：

2020年3月

