

# 运用SEED设计方法，根据开放技术联盟100BASE-T1规范 高效预测ESD放电电流

**摘要**——本文运用SEED方法对[1]提出的“ESD放电电流测量”指标建模并将结果与实测值进行了比较。同时讨论SEED模型模块（见图1）的特性和实现方式。特别讨论了共模扼流圈和外部ESD保护器件的建模问题，因为二者是非常重要的因素，决定着整个系统的系统级ESD稳健性。运用TLP和ESD发生器模型评估了ESD脉冲上的瞬时系统级响应和进入IC的残余电流。

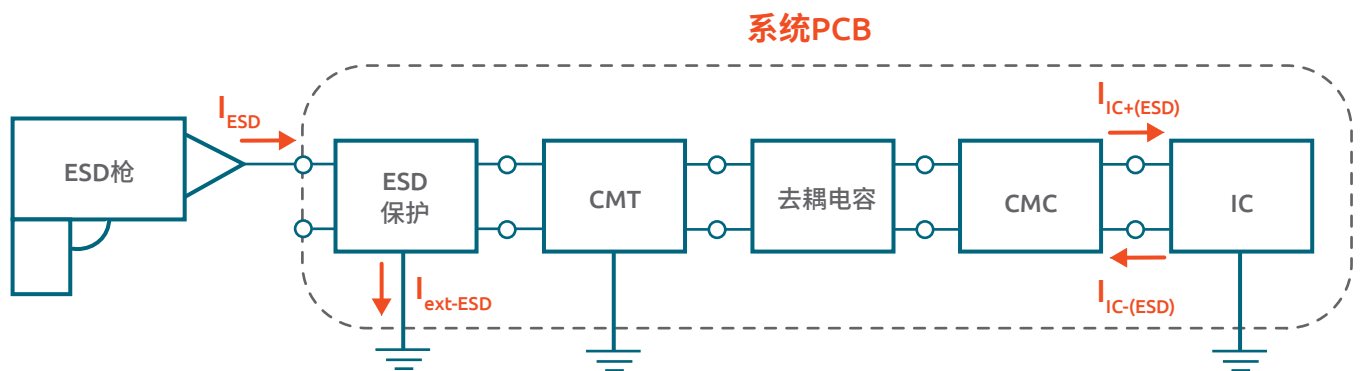


图1——用于ESD放电电流测量参考电路的SEED模型的等效电路框图。有关模型各系统模块的详细描述见第II节。

## 引言

符合开放技术联盟规范的100BASE-T1式汽车以太网日益流行，定将受到世界各地汽车OEM制造商的青睐。开放技术联盟在文件[1]中提出了一种称为“ESD放电电流测量”的测量方法，通过该方法可以估算出整体系统级ESD（鲁棒性）。此项测试可以确定进入PHY<sup>1</sup>的残余电流，从而确定对应于HBM模型的ESD（鲁棒性）等级。

高效系统级ESD设计(SEED)是一种建模方法，旨在预测系统的ESD稳健性，在ESD事件[3-6]期间评估瞬时电流和电压。该方法以等效电路和行为模型为基础。通常以传输线脉冲(TLP) [7]和网络分析仪测量值为输入，确定单个元件或系统部件的特性。加上合适的ESD发生器模型，该方法可以用于研究USB3等高速数据传输应用[8]的系统级ESD事件。

在本文中，我们将运用SEED方法再现面向100BASE-T1应用的推荐ESD放电电流测量测试法。通过这种分析，我们可以明确外部ESD保护器件的寄生电感、触发、回弹行为等不同参数对系统级ESD稳健性的影响。此外，通过此分析我们还可以预测应用中其他无源器件在ESD事件期间遭受的电磁应力。

本文内容安排如下：第II节描述使用的测试设置。第III节介绍从测量设置衍生而来的SEED模型，同时展示模型各模块的特性和仿真结果。第IV节分析用ESD发生器对系统模型进行验证的结果。

<sup>1</sup> PHY表示物理层接口，专指收发器。

## 根据开放技术联盟规范测量ESD放电电流

为了测量在ESD事件期间流入PHY的电流，开放技术联盟建议采用一款特制的PCB[1]。该测试网络类似于介质相关接口(MDI)，只是后者中的PHY被电阻网络取代。图1所示框图展示了MDI的不同模块，包括外部ESD器件、共模端接(CMT)元件、去耦网络、共模扼流圈(CMC)和100BASE-T1 PHY (IC)。图2所示为所用PCB的照片。

CMC为电感为 $200\mu\text{H}$ 的单个器件，ESD器件既可能是为两条数据传输线（本文所用）集成匹配ESD保护的单个器件，也可能由两个独立器件组成，二者各自与GND和数据传输线之一相连。PHY被“收发器仿真网络”取代，在ESD测试期间保持电气行为不变。与[1]不同，这里使用的是 $2\ \Omega$ 和 $50\ \Omega$ 电阻。 $2\ \Omega$ 电阻简单模拟IC内部保护的典型行为， $50\ \Omega$ 电阻则可减少测量时IC电流。CMT网络位于CMC和外部ESD保护器件之间，由四个分立式元件组成：两个 $1\ \text{k}\Omega$ 电阻在数据传输线之间相连。这些电阻与GND之间的中间触点由一个 $4.7\ \text{nF}$ 电容和一个并联的 $100\ \text{k}\Omega$ 电阻实现。CMT网络后跟两个去耦 $100\ \text{nF}$ 电容。测试板的输入直接连接ESD器件。“收发器仿真网络”后的输出连接器

为了测量[1]定义的ESD放电电流，将MDI地连接至最小尺寸为 $0.5\ \text{m} \times 0.5\ \text{m}$ 的地平面。输出通过 $50\ \Omega$  RF衰减器与示波器相连。ESD脉冲由ESD发生器（ESD脉冲枪）产生，发生器的尖端与其中一个输入引脚直接相连。根据IEC61000-4-2 [9]，ESD设置为 $C = 150\ \text{pF}$ 且 $R = 330\ \Omega$ 。对于 $4\ \text{kV}$ 和 $6\ \text{kV}$ ，测量放电电流；若要达到规范规定，需要满足[1]定义的限值。

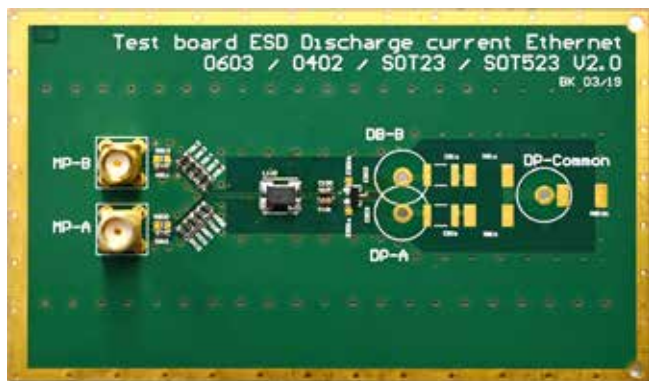


图2——用于ESD放电电流测量的参考PCB照片（尺寸为 $10.25\ \text{cm} \times 5.95\ \text{cm}$ ）。

## SEED仿真

开发SEED是为了用瞬时仿真来实施系统级ESD分析。为此，我们需要为目标系统的各个组件找到合适的模型。图1直观地展示了此处实现的SEED模型的所有必要组件。

为了减少建模工作，加快仿真流程，我们采用了行为建模方法。我们根据器件的典型静态和动态特性调谐模型。以等效电路的方式实现该模型，该电路包括集总元件、受控源和反馈环路、S-参数模块。

在此，我们采用来自Keysight的高级设计系统（The Advanced Design System, ADS）软件进行系统级瞬态分析。

## ESD发生器的特性表征与建模

为了实施系统级仿真并与测量值取得高度一致，我们需要配置和调整ESD发生器模型。这里使用的模型以[10]所讨论的建议为基础。我们对该模型的参数进行了调整，以拟合ESD发生器实测波形上的仿真电流波形。这里使用的是NoiseKen ESD发生器。按照IEC61000-4-2 [9]规范进行校准工作。用于调整ESD发生器模型的参考波形是通过向固定于大耦合平面上的 $2\ \Omega$  Pellegrini目标放 $2\ \text{kV}$ 电获得的。结果形成的电流波形是用F-65电流探针在电流枪尖捕捉到的。

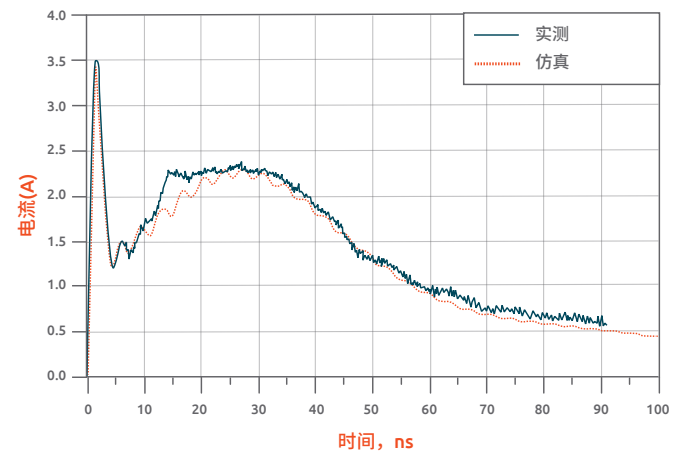


图3—— $2\ \text{kV}$ 条件下 $2\ \Omega$ 参考目标上的ESD发生器波形模型及其测量。

图3比较了 $2\ \text{kV}$ 放电第一和第二峰值区的仿真与实测时域电流曲线。可以看出，仿真结果与实测值高度一致。

### 去耦和端接网络的特性表征与建模

在仿真中，使用集总元件表示共模端接网络和去耦电容。100nF去耦电容来分隔IC和连接器引脚。另外，它们还提供慢脉冲保护，如浪涌[11]，但不提供ESD脉冲保护。

### CMC的特性表征与建模

根据[1]的规定，建议在IC保护电路中使用200μH的CMC。CMC模型分成小信号部分和大信号部分。小信号模型可以从对CMC的S-参数测量数据中推算出来。为了加快仿真时间，也可以使用拟合集总电路模型[12]。在此，我们将测得的S-参数直接导入仿真工具。由于S参数只完全包括小信号行为，部分包括动态响应，完全忽略饱和效应，我们开发了一个扩展模型以改善动态响应并纳入饱和行为。如[13]所示，外部ESD保护器件的动态行为以及电感的影响（这里为CMC）对于准确预测IC处的电流波形至关重要。

为了确定CMC的特性，我们采用了TLP测试法[7]。图4和图5所示时域IV曲线展示了CMC在不同TLP电压下的典型响应。在此，我们可以清楚地分辨出三个响应区域：动态区(I)、静态或小信号区(II)和饱和区(III)。

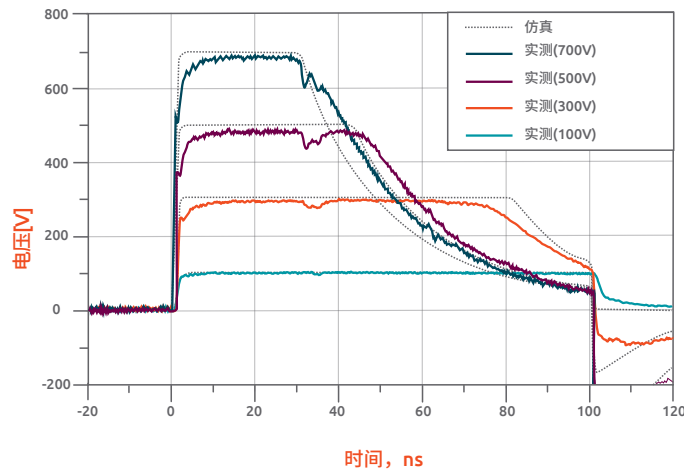


图4—CMC在TLP脉冲（上升时间为600ps，持续时间为100ns）和不同电压下的电压响应，包括动态区(I)、静态或小信号区(II)及饱和区(III)。

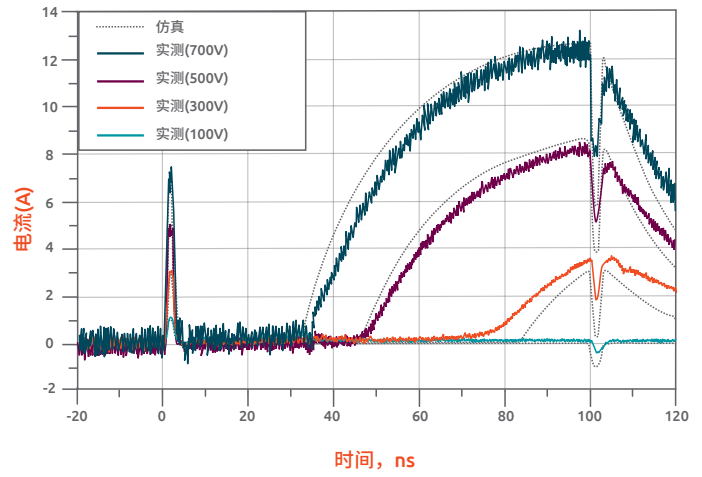


图5—CMC在TLP脉冲（上升时间为600ps，持续时间为100ns）和不同电压下的电流响应，包括动态区(I)、静态或小信号区(II)及饱和区(III)。

图6总结了不同TLP电压下的静态和饱和区。图中所示曲线的每个点都代表着对应的电流和电压时域曲线的均值（如图4和图5所示），其评估时间窗口为70-90 ns。

为了更好地保护IC使其免受高ESD电流的冲击，必须在CMC进入饱和模式之前触发外部保护器件。CMC上的高压可以触发外部保护器件。

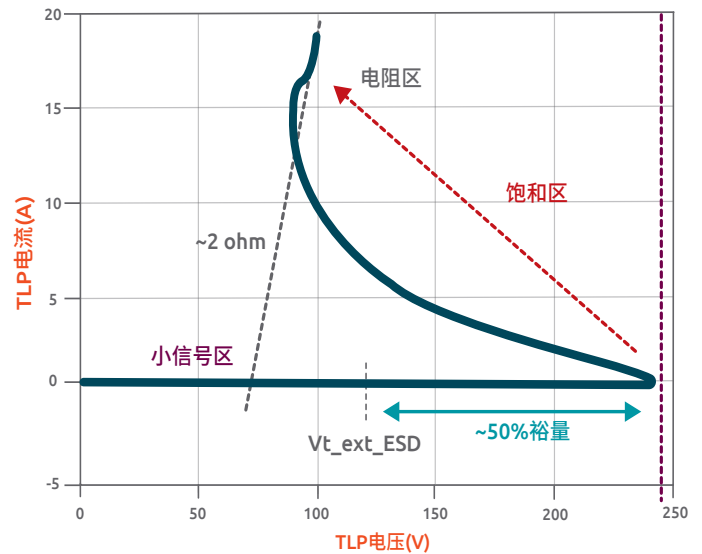


图6—CMC的TLP图，电压和电流在70 ns和90 ns之间取均值。240 V时，CMC进入饱和模式。在有效的ESD保护概念中，外部ESD保护器件应在CMC进入饱和模式之前触发。

因此，我们必须确保先触发ESD保护器件。该CMC可在外部ESD保护器件（此处为120 V）的触发点与CMC开始饱和的240 V之间提供合理的安全裕量。然而，若要预测系统的整体稳健性，仅仅考虑CMC IV曲线的静态部分是不够的。

扼流圈本身的动态响应（见图4）对验证在ESD事件第一个峰值期间流进IC的峰值电流至关重要。图7展示了最大电流与峰值电压之间的关系，体现了扼流圈的动态行为。

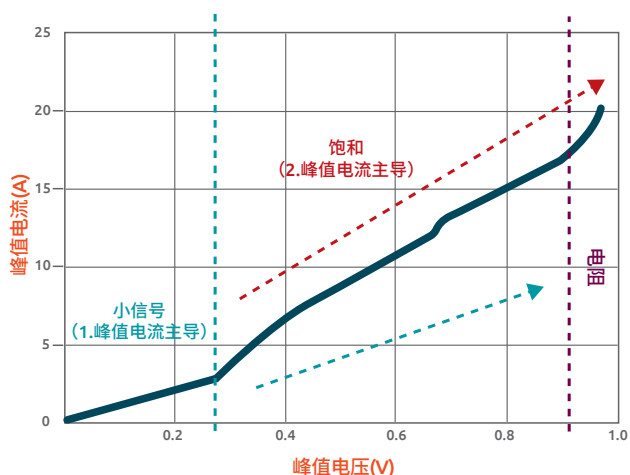


图7——CMC在峰值电压和电流下的TLP图。

与图6相反，这里未计算电流和电压的均值，而是采用了峰值。为了正确评估ESD脉冲第一峰值持续过程中的系统行为，必须准确模拟与CMC所致电流过冲的发展变化相关的绿色趋势线。

为了模拟CMC的完整行为，我们用两个额外的模型模块对基于Said参数的CMC模型（小信号模型）进行了扩展。第一个模块负责从静态区到饱和区的跃迁，由此实现对路径中通过的CMC信号的电阻变化的建模。为此，我们将一个电压控制可变电阻（电压控制开关）与主模型并联起来。为了确定饱和效应起始时间，我们用一个RC网络，根据输入电压和上升时间控制该开关的状态。

在整个ESD事件持续期间，用一个反馈环路使开关控制电路保持于既定状态。为了控制CMC电压和电流脉冲的上升时间和衰减时间，我们将一个电感与该开关串联起来。小信号CMC模型中增加的第二个模块改善了动态行为表征，该模块主要负责管理CMC产生的电压过冲。其实现方式是在整个CMC模型的信号路径中添加一个上升时间滤波器。通过改变与模型各模块相关的参数对整个模型进行拟合。

从图4和图5可知，模拟电压和电流时域曲线与CMC对应测量值之间高度一致。对于调整后的模型，结果形成的IV曲线如图8所示。

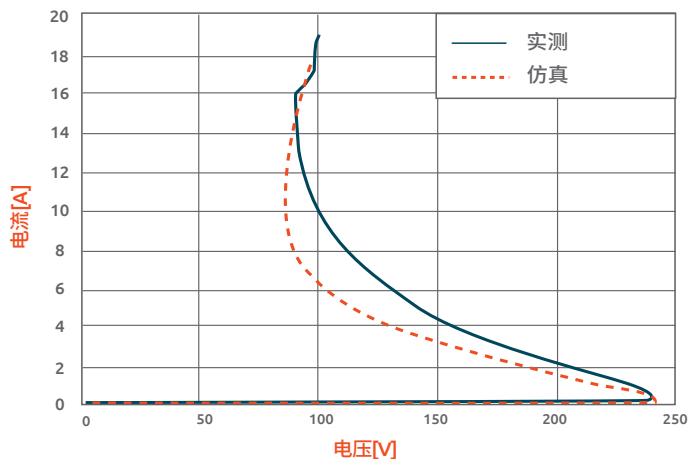


图8——CMC的实测和仿真图，电压和电流在100 ns TLP脉冲的70 ns到90 ns之间取均值。

### 外部ESD保护器件的特性表征与建模

根据[1]提出的规范，外部ESD保护器件位于系统板连接器附近。在这个位置上，可以在一定程度上保障整个系统的稳健性，不仅保护IC，同时还能保护信号路径中的所有分立式元件（如电容和CMC）。为了预测系统行为以及系统在不同ESD水平下的稳健性，我们需要一个精确的外部ESD保护模型。这里使用的是一个硅基ESD保护<sup>2</sup>器件，其触发电压 $V_t = 120\text{ V}$ ，回弹电压 $V_h = 32\text{ V}$ ，动态电阻 $R_{dyn} = 0.1\ \Omega$ 。

在此实现方案中，我们对所选ESD保护器件的静态和动态行为进行了建模。为此我们使用了一种基于[6]所述方法的改进型动态模型。

借助电压控制开关和二极管SPICE模型对ESD保护器件的静态行为建模，该静态行为包括泄漏区、回弹（导通）区、线性区和非线性（热不稳定）区域。在ESD脉冲的第二个峰值期间，RC网络和反馈环路负责开关状态。模型的动态行为是通过两个RC集成网络实现的，这些网络以特别方式组合起来，以便控制ESD保护器件上的压降及其在施加的ESD脉冲的第一个峰值期间的衰减时间。

扩展动态模型的主要优点是可以正确表征ESD保护器件的热行为，并且可以更精确地描述电导率调制和感应过冲的影响。在本文中，电导率调制效应对发生于外部保护端的电压过冲的表征至关重要，将以峰值电流的形式通过CMC传递至IC I/O引脚。

依照[6]所述程序，将改进的动态模型拟合到TLP实测数据，结果如图9所示。

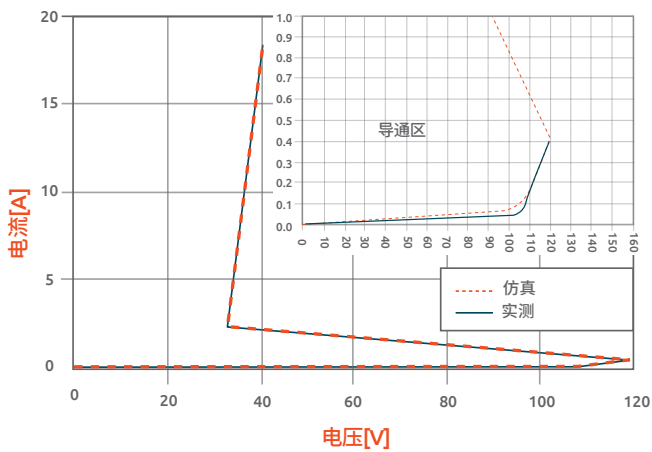


图9——外部硅基ESD保护器件的实测和仿真图，电压和电流在70 ns至90 ns之间取均值。

为了评估ESD器件的动态特性，如电导率调制和感应过冲，必须特别注意在施加的ESD脉冲的最初几纳秒内出现的电压和电流峰值。图10所示为峰值电压与TLP电流的关系。在图中可以观察到强大的电导率调制效应。改进后的动态模型很好地捕捉了这种效应。

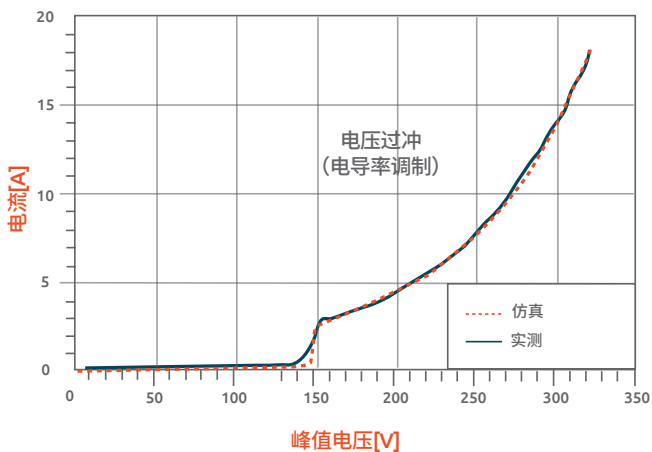


图10——外部硅基ESD保护器件的实测和仿真图，采用1ns上升时间TLP脉冲的峰值电压和电流。

### 系统模型验证

在介绍了SEED模型的各个组成部分之后，我们依据带和不带外部ESD保护器件的参考板的实测值，使用TLP对整个系统模型进行了验证（见图1）。

### 无外部ESD保护的参考板

图11显示了参考系统的TLP测量结果（见图2，包括CMT、去耦电容、CMC和IC网络，不包括外部ESD保护器件），并将它们与使用所述SEED模型所有对应组件获得的仿真结果进行了比较。这里未使用ESD发生器模型和外部ESD保护模型。对TLP脉冲建模时使用的是理想脉冲源和200ps上升时间滤波器，从而使目标系统捕获脉冲上的模拟脉冲波形在100V TLP下得到优化。仿真程序对测量值进行重度重采样。

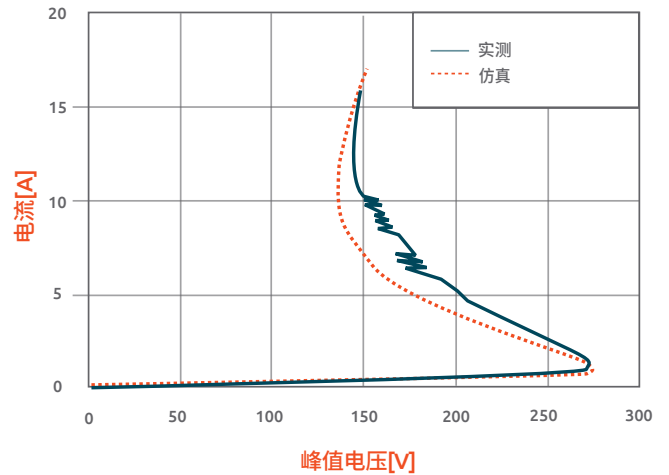


图11——未保护参考电路板的实测和仿真图，电压和电流在100 ns TLP脉冲的70 ns到90 ns之间取均值。

### 带ESD外部ESD保护的参考板

图12所示为带有外部ESD保护的参考板的TLP图及其与使用SEED取得的仿真结果的比较情况。仿真程序高度再现了测量数据。

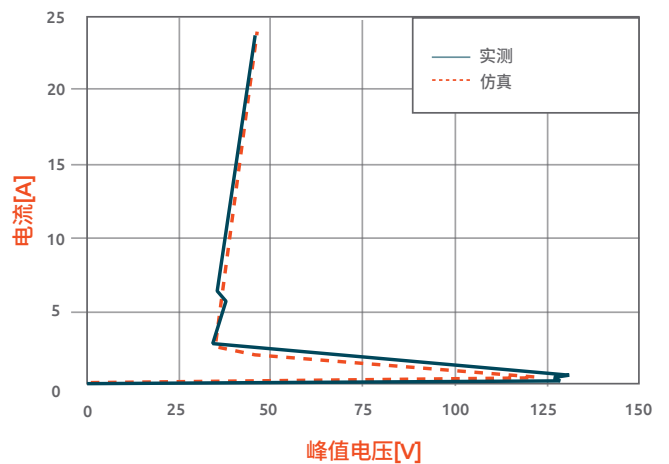


图12——带外部ESD保护器件的参考板的实测和仿真图，电压和电流在100 ns TLP脉冲的70 ns到90 ns之间取均值。

根据结果，我们可以得出结论，所实现的SEED模型完全适合整体系统级稳健性的定性和定量预测。另外，该模型还可以用于采用不同系统模块和组件的初步测试。因此，在下一节中，我们将使用ESD枪模型测试该系统模型，从而对流入IC的瞬时残余电流进行评估。

## 应用

在实际环境中，人触摸系统板连接器的GND或I/O引脚时可能会发生ESD事件。在这种情况下，IEC61000-4-2 ESD脉冲[9]将被注入系统并产生瞬时电流，结果可能会损坏系统IC。因此，我们将使用ESD发生器模型，以证明所提议的SEED模型（针对该模型的讨论和验证见第三节）是否具备复现借助ESD发生器模拟的真实ESD场景的能力。

图13和图14所示为ESD枪4 kV正放电的结果。在这种情况下，我们在SEED模型中使用了ESD发生器模型和外部ESD保护模型。

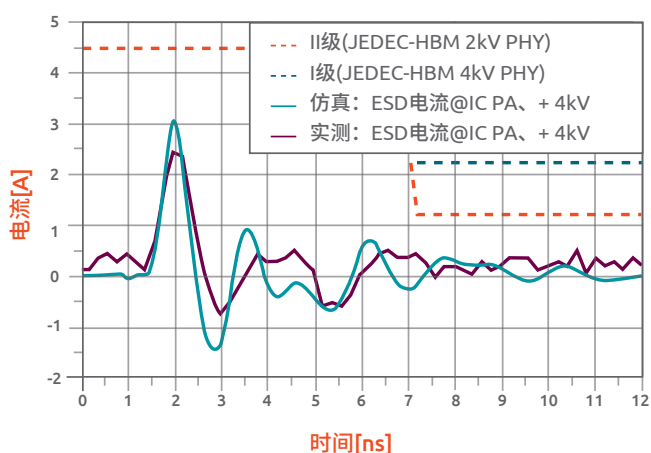


图13——带外部ESD保护器件的参考板的实测和模拟图动态过冲区放大图（ESD枪放电+4kV）。

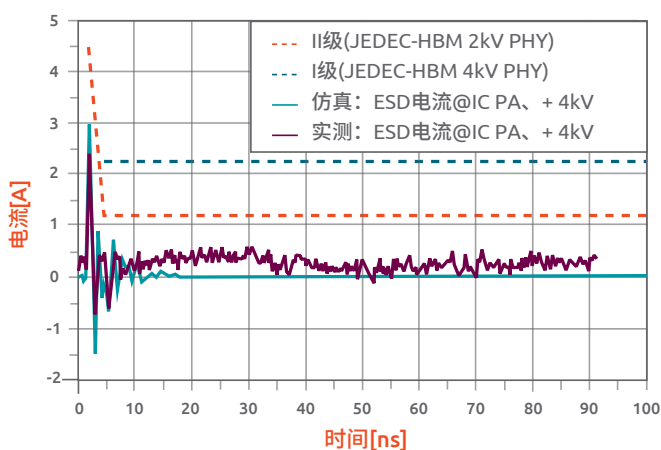


图14——带外部ESD保护器件的参考板的实测和模拟图（ESD枪放电+4kV）。

两图均展示时域中得到的仿真电流曲线，同时显示了在IC I/O引脚处测得的电流。黄红两色虚线分别展示了I级和II级JEDEC-HBM标准[2]的限制。所用SEED模型提供了对测试系统的估算结果，预测值约比最大电流峰值高20%。但是，对于曲线的静态部分，仿真则会低估测量值。尽管存在这些偏差，但结果显示，所提议的SEED模型适合对此测量设置建模。

可以通过电磁耦合效应来解释在仿真结果与实测结果之间观察到的偏差，因为在实际SEED模型中不会遇到这些效应，即与ESD发生器继电器的串扰或电磁辐射相关的效应。在这种情况下，ESD枪与测试板组件（如电路板走线、CMT网络或CMC）之间的耦合效应可能对IC I/O引脚上测得的最大电流造成破坏性的衰减。

为了尽量降低这些影响，可能需要额外做些工作，加强电路板对继电器直接冲击效应的屏蔽性能；在本例中，ESD发生器尚未针对DUT进行屏蔽。同样，为了改善系统的建模行为，可以将PCB的S参数模型添加到SEED模型中。

## 结论

实践证明，在像100BASE-T1这样复杂的电路上运用SEED方法可以较好地估算系统在ESD条件下的整体瞬时响应；此类复杂电路包括使用复杂方法建模的各种组件，其目的是复现整个系统的静态行为，尤其是动态行为。此外，还可以运用该方法根据IEC61000-4-2 [9]预测系统级ESD稳健性，根据JEDEC-HBM [2]要求评估IC稳健性。

本文开发和验证的SEED模型可用于研究系统和外部ESD保护器件参数变化的影响，从而达到优化保护系统IC的目的，最大程度地减少工程设计和验证时间。

## 致谢

我们要特别感谢茨维考应用科技大学(Westsächsische Hochschule Zwickau)的Bernd Körber，其提供了用于ESD验证测试的测试板以及有关[1]所用测量设置的详细信息。

## 参考资料

- [1] 开放技术联盟, “IEEE 1000BASE-T1 EMC Test Specification for ESD Suppression Devices” (面向ESD抑制器件的IEEE 1000BASE-T1 EMC测试规范), 第1.0版, 日期: 2017年10月27日。获取网址: [http://www.opensig.org/download/document/216/OA+100Base-T1\\_ESD+device+Test+Specification+v1.0\\_11\\_17.pdf](http://www.opensig.org/download/document/216/OA+100Base-T1_ESD+device+Test+Specification+v1.0_11_17.pdf)
- [2] JESD22-A114F, JEDEC Standard, Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM) (JEDEC标准、静电放电(ESD)灵敏度测试人体模型)
- [3] JEDEC 2011, JEP-161, System Level ESD Part 1: Common Misconceptions and Recommended Basic Approaches (系统级ESD第一部分: 常见误解和推荐的基本方法)。
- [4] JEDEC 2013, JEP-162, System Level ESD Part 2: Implementation of effective ESD robust designs (系统级ESD第二部分: 有效ESD稳健设计的实施)。
- [5] G. Notermans, S. Bub, and A. Hilbrink, “Predicting system level ESD performance” (预测系统级ESD性能), 第32届建模与仿真大会, 2018。
- [6] P. Wei, G. Maghlakelidze, A. Patnaik, H. Gossner, D. Pommerenke, “TVS Transient Behavior Characterization and SPICE-Based Behavior Model” (TVS瞬态行为表征和基于SPICE的行为模型), 第40届EOS/ESD研讨会, 2018。
- [7] EOS/ESD协会, “Std. Test Method For Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) – Device Level” (面向静电放电灵敏度测试的标准测试方法——传输线路脉冲(TLP)——器件级), 2017年1月5日批准。
- [8] G. Notermans, H.-M. Ritter, B. Laue, S. Seider, “Gun tests of a USB3 host controller board” (USB3主机控制器板的枪测试), 第38届电气过应力静电放电研讨会(EOS/ESD), 2016。
- [9] IEC61000-4-2, 2.0版国际标准, ESD抗扰度测试, 2008。
- [10] S. Yang and D. J. Pommerenke, “Effect of Different Load Impedances on ESD Generators and ESD Generator SPICE Models” (不同负载阻抗对ESD发生器和ESD发生器SPICE模型的影响), IEEE电磁会刊
- [11] IEC61000-4-5, 第2版国际标准, 浪涌抗扰度测试, 2005。
- [12] S. Mortazavi, D. Schleicher, F. Schade and F. Gerfers, “Charakterisierung der Gleichtaktrossel für Multi-Gig-Kommunikation in Automotive-Ethernet-Netzwerken”, Kongress für Elektromagnetische Verträglichkeit, 2018。
- [13] Notermans, G.; Ritter H.-M.; Holland S.; and Pogany D., “Modeling dynamic overshoot in ESD protections” (ESD保护器件中动态过冲的建模), 已提交2019年第41届EOS/ESD研讨会发布。

---

## © 2019 Nexperia B.V.

保留所有权利。未经版权所有者优先书面同意, 禁止复制本文全部或部分内容。本文档中所提供的信息不构成任何报价或合同的一部分, 且被认为是准确可靠的, 如有变更, 恕不另行通知。对于使用本文档所产生的任何后果, 出版方概不承担任何责任。出版内容既不传达也不暗示专利或者其他工业或知识产权下的任何许可。

## 发布日期:

2019年12月