

THE POWER MOSFET

应用手册

工程师设计指南

nexperia

The Power MOSFET 应用手册

工程师设计指南

安世半导体

曼彻斯特, 英国

功率 MOSFET 应用手册

工程师设计指南

版权所有 Nexperia

www.nexperia.com

ISBN: 978-0-9934854-2-8

版权所有。未经作者事先书面许可，本出版物的任何部分不得以任何形式或
方式转载或分发。

中国印刷

序言：

当今的中国正处在一个蓬勃发展的时代，各行各业百花齐放，助推中国从发展迈向卓越。

作为国民支柱的汽车制造业，中国汽车也逐步走向世界，吹响了越洋号角；而新能源、电气化正是其中最强音。

功率器件作为新能源、电气化过程中不可或缺的关键部件，正越来越被广大汽车零部件设计公司所重视；安世半导体作为专业领先的功率器件供应商，清楚了解客户需求并致力解决实际设计问题，因此有了 The Power MOSFET Application Handbook 英文版的面世，该书在数据手册之外提供了很多详实的应用笔记并详细剖析了功率器件的关键指标，是汽车电子工程师不可多得的工具书。

感谢李德超工程师在工作之余，独自完成全书翻译，使得该书的中文版得以面世。

安世半导体支持团队对该书中文出版提供了大力支持，希望藉此表达对中国汽车市场的重视和敬意！

祝每一位中国电子工程师能从本书起步，逐步成为功率器件的行家；安世半导体亦将秉承效率致胜理念继续为广大工程师奉献优质功率器件。



张鹏岗

资深副总裁（大中华区销售）及中国区总经理

贡献者：

Andrew Berry	Chris Hill
Adam Brown	Kelly Law
Brian Clifton	Wayne Lawson
Jamie Dyer	Koji Nishihata
Phil Ellis	Jim Parkin
Mark Fang	Christos Pateropoulos
Keith Heppenstall	Phil Rutter

中文版译者：

李德超

中文版校对：

Mark Fang

Karman Wu

- 认识理解功率 MOSFET 数据手册中的参数 1
- 功率 MOSFET 单次和重复雪崩强度限值 2
- RC 热阻模型的使用 3
- 基于 LFPAK 封装的 MOSFET 热设计 — 第一部分 4
- 基于 LFPAK 封装的 MOSFET 热设计 — 第二部分 5
- 功率 MOSFET 的并联使用 6
- RC 缓冲电路的设计 7
- 功率 MOSFET 电气过应力的失效特征 8
- 功率 MOSFET 的一些常见问题 9
- 缩略语
- 索引
- 法律信息

目录

第一章: 认识理解功率 MOSFET 数据手册中的参数

应用笔记: AN11158

1.1	介绍	20
1.2	数据手册中的技术部分	20
1.2.1	产品概况	20
1.2.2	管脚信息	23
1.2.3	采购信息	23
1.2.4	极限值	23
1.2.5	热特性	32
1.2.6	电气性能	33
1.2.7	封装外形	44
1.3	附录	45
1.3.1	安全工作区域(SOA)曲线	45
1.4	参考文献	52

第二章: 功率 MOSFET 单次和重复雪崩强度限值

应用笔记: AN10273

2.1	介绍	54
2.2	单次和重复雪崩的定义	54
2.3	功率 MOSFET 单次雪崩事件的理解	55
2.3.1	单次 UIS 工作	55
2.3.2	单次雪崩强度限值	58
2.4	功率 MOSFET 重复雪崩事件的理解	59
2.4.1	重复 UIS 工作	60
2.4.2	器件的温度	61
2.5	重复雪崩强度限值	61
2.6	结论	62
2.7	示例	63
2.7.1	单次雪崩案例	63
2.7.2	重复雪崩案例	63
2.8	参考文献	64

第三章: RC 热阻模型的使用

应用笔记: AN11261

3.1	介绍	66
3.2	热阻抗	66
3.3	结点温升计算	67
3.4	热和电气参数间的关系	68
3.5	RC 热模型的建立	69
3.6	热仿真示例	72
3.6.1	示例 1	72
3.6.2	示例 2	75
3.6.3	示例 3	79
3.7	讨论	81
3.8	总结	82
3.9	参考文献	82

第四章: 基于 LFPAK 封装的 MOSFET 热设计 — 第一部分

应用笔记: AN10874

4.1	介绍	84
4.1.1	热分析的需求	84
4.1.2	MOSFET 的热阻 R_{th} 参数及限值	85
4.1.3	本章的宗旨	86
4.2	通用的热分析方法	87
4.2.1	热仿真软件的应用	87
4.2.2	仿真设置	88
4.2.3	PCB 的布局和层叠	88
4.3	一个单独的 LFPAK 器件	90
4.3.1	分析 1: 单层 PCB	90
4.3.2	分析 2: 两层 PCB 板	96
4.3.3	分析 3: 四层 PCB 板 第一部分	98
4.3.4	分析 3: 四层 PCB 板 第二部分	100
4.3.5	分析 4: 四层 PCB 板带散热过孔 第一部分	101
4.3.6	分析 4: 四层 PCB 板带散热过孔 第二部分	104
4.3.7	总结: 影响一个单一器件热性能的因素	105
4.4	两个 LFPAK 器件	105
4.4.1	分析 5: 单层 PCB 板	107

4.4.2	分析 6: 两层 PCB 板	106
4.4.3	分析 7: 一般的四层 PCB 板	107
4.4.4	分析 8: 带过孔的四层 PCB 板 第一部分	108
4.4.5	分析 8: 带过孔的四层 PCB 板 第二部分	112
4.4.6	总结: 影响两个器件的热性能的因素	113
4.5	四个 LFPAK 器件	113
4.5.1	分析 9: 单层 PCB 板	114
4.5.2	分析 10: 一个两层 PCB 板	115
4.5.3	分析 11: 一个普通的四层 PCB 板	116
4.5.4	分析 12: 带过孔的四层 PCB 板 第一部分	117
4.5.5	分析 12: 带过孔的四层 PCB 板 第二部分	119
4.5.6	总结: 影响四个器件热性能的因素	121
4.6	总结	121

第五章: LFPAK MOSFET 热设计 — 第二部分

应用笔记: AN11113

5.1	介绍	126
5.2	模块模型	127
5.2.1	PCB 特性	127
5.2.2	外壳特性	128
5.2.3	轴命名约定	130
5.2.4	周围环境	130
5.2.5	潜在的热路径	130
5.3	Y- 间隙对 T_j 的影响	131
5.3.1	黑色塑料外壳, X 和 Z 的间隙为 0 的情况	131
5.3.2	其他两种外壳材质	135
5.3.3	总结: Y- 间隙对器件 T_j 的影响	137
5.4	增加 PCB 周围的 X 和 Z- 间隙	137
5.4.1	黑色塑料外壳	138
5.4.2	抛光铝外壳	139
5.4.3	阳极铝外壳	140
5.4.4	并排比较三种外壳	141
5.4.5	总结: 在 PCB 周围加入 X 和 Z- 间隙	143
5.5	PCB 的封装	143
5.5.1	部分填充	145

5.5.2	全部填充	148
5.5.3	总结: 填充包装 PCB	152
5.6	通过外壳直接冷却	152
5.6.1	PCB 底部散热	152
5.6.2	有填充物并采取 PCB 底部散热	154
5.6.3	PCB 的顶部冷散热	157
5.6.4	有填充物并采取 PCB 顶层散热	160
5.6.5	总结: 通过外壳直接散热	162
5.7	将外壳安装在隔热板上	162
5.7.1	模型的垂直方向	163
5.7.2	加入隔板	164
5.7.3	PCB 安装在模型中心的结果	166
5.7.4	底部冷却的 PCB 的结果	167
5.7.5	顶部散热的 PCB 的结果	169
5.7.6	总结: 把外壳安装在隔板上	170
5.8	总结	170

第六章: MOSFET 的并联使用

应用笔记: AN11599

6.1	介绍	174
6.2	静态(直流)工作	175
6.2.1	静态工作的实例	176
6.3	能得到好的散热性能及功率分配的 MOSFET 的焊接方式	180
6.4	动态工作中的功率分配 [脉冲与脉宽调制电路]	183
6.5	部分导通(线性模式)下的功率分配	185
6.6	栅极驱动的探讨	186
6.6.1	需要给并联 MOSFET 组内的每个 MOSFET 都分别设置一个驱动器吗?	187
6.7	对于并联 MOSFET 组内的 MOSFET 封装的探讨	187
6.7.1	裸片 MOSFET	187
6.7.2	LFPAK 封装的 MOSFET	188
6.8	并联 MOSFET 组的感性负载能量的损耗	188
6.8.1	雪崩—低边 MOSFET 并联组来驱动高边感性负载	188
6.8.2	主动钳位—高边 MOSFET 并联组来驱动低边感性负载	189
6.9	总结	190

第七章: RC 缓冲电路的设计

应用笔记: AN11160

7.1	介绍	192
7.2	测试电路	192
7.3	C_{LK} 和 I_{LK} 的确定	194
7.4	缓冲电路的设计—理论	196
7.5	缓冲电路的设计—实际应用	198
7.6	总结	199
7.7	附录A; 从 C_{add} , f_{RING0} 和 f_{RING1} 中得到 C_{LK}	200

第八章: 功率 MOSFET 电气过应力的失效特征

应用笔记: AN11243

8.1	介绍	202
8.1.1	ESD—机械模式	203
8.1.2	ESD—人体模式	205
8.1.3	非钳位的感性负载开关 (UIS) (雪崩或耐久性)	206
8.1.4	线性工作模式	208
8.1.5	过电流	210
8.2	附录	213
8.2.1	BUK9508-55A 的机械模式的 EOS	213
8.2.2	BUK9Y40-55B 的机械模式的 EOS	214
8.2.3	PSMN7R0-30YL 的机械模式的 EOS	216
8.2.4	PSMN011-30YL 的机械模式的 EOS	217
8.2.5	BUK9508-55A 的人体模式的 EOS	219
8.2.6	BUK9Y40-55B 的人体模式的 EOS	220
8.2.7	PSMN011-30YL 的人体模式的 EOS	221
8.2.8	BUK7L06-34 ARC 的 UIS 的 EOS	222
8.2.9	BUK9Y40-55B 的 UIS 的 EOS	224
8.2.10	PSMN7R0-30YL 的 UIS 的 EOS	225
8.2.11	BUK7L06-34ARC 的线性工作模式的 EOS	226
8.2.12	BUK9Y40-55B 的线性工作模式的 EOS	228
8.2.13	PSMN7R0-30YL 的线性工作模式的 EOS	230
8.2.14	BUK7L06-34 ARC 的过电流的 EOS	232

8.2.15 PSMN7R0–30YL 的过电流的 EOS	234
8.3 表格	235
8.4 图表	236

第九章: 功率 MOSFET 的常见问题

应用笔记: TN00008

9.1 介绍	240
9.2 栅极	240
9.3 热阻抗曲线	241
9.4 MOSFET 的体二极管	246
9.5 安全工作区域及线性工作模式	248
9.6 雪崩耐久度和非钳位感性开关 (UIS)	252
9.7 电容 dV/dt 问题	260
9.8 封装和焊接	265
9.9 SPICE 模型	267
9.10 MOSFET 的硅技术	268
9.11 供应和有效性	270
9.12 EMC	270
9.13 漏电流, 击穿和 MOSFET 的特性	271
9.14 MOSFET 的可靠性	279

前言

鉴于 20 多年的经验, 功率 MOSFET 应用手册汇集了一套关于功率 MOSFET 实际应用的学习和参考资料。MOSFETs 应用在很多领域, 从汽车工业到计算机, 移动设备和电力供给等, 所有这些都影响了本手册的编写。

本书是针对于任何行业中对 MOSFET 感兴趣或是想提高功率 MOSFET 设计理解的工程师们。本参考指南中所分享的知识是在许多不同公司的工程师解决实际问题中收集和总结而来的。虽然 MOSFET 技术在过去的几十年内有了显著的进步, 但设计者仍然会面对很多挑战。这本书的目的是对功率 MOSFET 的复杂行为和有时困惑的地方提供一些启示, 也向工程师提供一些必要信息来解决常见问题以及避免潜在问题发生。

您可以在 <https://www.nexperia.com/products/mosfets/> 找到进一步的产品信息和最新发表的应用笔记。

第一章: 认识理解功率 MOSFET 数据手册中的参数

应用笔记: AN11158

第一章: 认识理解功率 MOSFET 数据手册中的参数

(应用笔记 AN11158)

1.1 介绍

本章解释了 NEXPERIA 半导体功率 MOSFET 数据手册中给出的参数和图表。目的是帮助工程师来决定哪一个器件对特定应用是最适合的。

所列参数中的测试条件是需要重点关注的，因为不同供应商会有不同的测试条件。这些特定的测试条件会影响参数数值，这就让在不同的供应商之间选择器件变得困难。在整个章节中，我们都以 BUK7Y12-55B 的数据手册作为例子。BUK7Y12-55B 是一个汽车等级的器件，SOT669 (LFPAK56) 封装，55 V 耐压。

BUK7Y12-55B 数据手册的布局代表了 NEXPERIA 功率 MOSFET 数据手册的通用布局。

在一些特定应用中使用的功率 MOSFET，要注意一些要点，如在开关损失显著的应用中减小了开关电荷，而在导通损失显著的应用中导通阻抗应做到最小。

1.2 数据手册中的技术部分

1.2.1 产品概况

本节提供了器件的概述；给设计者提供有关器件适配性的关键信息。一般描述章节描述了所使用的技术；也列出了主要特性和应用示例。

快速参考数据表包含了用于目标应用的更详细的信息和关键参数。下面就是一个“快速参考数据”的例子：

表 1-1. 快速参考数据

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{DS}	drain-source voltage	$T_j \geq 25^\circ\text{C}; T_j \leq 175^\circ\text{C}$	-	-	55	V
I_D	drain current	$V_{GS} = 10\text{ V}; T_{mb} = 25^\circ\text{C};$ Figure 1	-	-	61.8	A
P_{tot}	total power dissipation	$T_{mb} = 25^\circ\text{C};$ Table 3	-	-	105	W
Static characteristics						
$R_{DS(on)}$	drain-source on-state resistance	$V_{GS} = 10\text{ V}; I_D = 20\text{ A};$ $T_j = 25^\circ\text{C};$	-	8.2	12	$\text{m}\Omega$
Dynamic characteristics						
Q_{GD}	gate-drain charge	$I_D = 20\text{ A}; V_{DS} = 44\text{ V};$ $V_{GS} = 10\text{ V};$	-	14.8	-	nC
Avalanche ruggedness						
$E_{DS(AL)S}$	non-repetitive drain source avalanche energy	$I_D = 61.8\text{ A}; V_{sup} \leq 55\text{ V};$ $R_{GS} = 50\Omega; V_{GS} = 10\text{ V};$ $T_{j(init)} = 25^\circ\text{C};$ unclamped	-	-	129	mJ

描述参数的一般格式是提供正式的符号和正确的参数名称。所有相关的条件和信息都列在参数名称之后。参数的数值和单位都列在后面的两列中。所有条目都符合标准 IEC60747-8。

在数据手册的特性章节中，详细地描述了快速参考数据中的参数。下面的列表就是对一些关键参数的介绍和解释：

V_{DS} – 在器件关闭状态下，漏极和源极两端能保证的最大电压。数据手册中的这一参数是针对于大多数情况下用的温度范围，而不是器件的整个温度范围。

I_D – 在器件完全导通状态下，焊接衬底持续维持在 25 °C 时能够承载的最大持续电流值。在表 1.1 提供的例子中， I_D 要求 V_{GS} 为 10 V。

P_{tot} – 在器件焊接衬底持续维持在 25 °C 时能够承载的最大持续功率。

$R_{DS(on)}$ （漏极和源极间导通状态下的阻抗）– 在描述的条件下的导通状态下器件的典型和最大阻抗。 $R_{DS(on)}$ 会随着 T_j 和栅极和源极间的电压 V_{GS} 显著变化。数据手册中的曲线就显示了在不同条件下变化的 $R_{DS(on)}$ 值。

Q_{GD} （栅极和漏极间电荷）– Q_{GD} 和 Q_{GS} , $Q_{G(tot)}$ 一起，是关于开关损耗的一个非常重要的开关参数。 Q_{GD} 和 $R_{DS(on)}$ 成反比。因此要想得到最佳的电路性能，均衡地选择合适的 $R_{DS(on)}$ 和 Q_{GD} 是十分重要的。

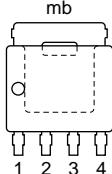
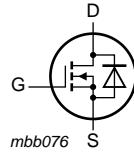
Q_{OSS} （输出电荷）– 在现代 MOSFET 技术中，其他影响开关性能的参数大部分都已经优化了， Q_{OSS} 就变得越来越重要。

$E_{DS(AL)S}$ （非重复性的漏极源极间的雪崩能量）– $E_{DS(AL)S}$ 就是当出现任何超过器件 V_{DS} 限值的电压尖峰或脉冲出现时，器件能允许的最大能量。如果超过这个能量限值，就存在器件损坏的风险。这个参数描述了器件的强度，也就是器件承载过压的能力。

1.2.2 管脚信息

本章节描述了器件的内部连接和大概布局。要注意下面是源极和体二极管连在一起的增强型的 N 沟道 MOSFET 的符号，而且在漏极和源极间并联这一个二极管，就是我们通常所说的功率 MOSFET 中固有的体二极管。如表 2 中所示，N 沟道的 MOSFET 的漏极源极间存在一个体二极管。

表 1-2. 管脚

Pin	Symbol	Description	Simplified outline	Graphic symbol
1	S	source		
2	S	source		
3	S	source		
4	G	gate		
mb	D	mount base: connected to drain	 1 2 3 4	 mbb076

1.2.3 采购信息

采购章节提供了怎样购买器件的信息。

1.2.4 极限值

极限值表格提供了 MOSFET 允许的工作条件范围。这些条件的定义是符合绝对最大限值系统标准 IEC60134 的。器件工作在这些条件之外将不受到质量保证，所以建议不要超过这些限值。如果超过限值工作将会导致立即失效或是寿命缩减。当给出雪崩强度条件时，就意味着 V_{DS} 限值可以在一定程度上被超出。

要想计算极限值是怎样随温度变化的，那就要结合给出的降额曲线一起考虑。

表 3 给出了以 BUK7Y12-55B 的极限值表格作为一个标准极限值表格的例子。

表 1-3. 极限值

符合绝对最大限值系统标准 IEC 60134

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{DS}	drain-source voltage	$T_j \geq 25^\circ\text{C}; T_j \leq 175^\circ\text{C}$	-	-	55	V
V_{DGR}	drain-gate voltage	$R_{GS} = 20 \Omega$	-	-	55	V
V_{GS}	gate-source voltage		-20	-	+20	V
I_D	drain current	$V_{GS} = 10 \text{ V}; T_{mb} = 25^\circ\text{C};$ Table 1; Figure 1	-	-	61.8	A
		$V_{GS} = 10 \text{ V}; T_{mb} = 100^\circ\text{C};$ Table 1	-	-	43.7	A
I_{DM}	peak drain current	$V_{GS} = 10 \text{ V}; T_{mb} = 25^\circ\text{C};$ pulsed; Figure 1	-	-	247	A
P_{tot}	total power dissipation	$T_{mb} = 25^\circ\text{C}$	-	-	105	W
T_{stg}	storage temperature		-55	-	+175	$^\circ\text{C}$
T_j	junction temperature		-55	-	+175	$^\circ\text{C}$
Source-drain diode						
I_S	source current	$T_{mb} = 25^\circ\text{C}$	-	-	61.8	A
I_{SM}	peak source current	$t_p \leq 10 \mu\text{s}; \text{pulsed};$ $T_{mb} = 25^\circ\text{C}$	-	-	247	A
Avalanche ruggedness						
$E_{DS(AL)S}$	non-repetitive drain-source avalanche energy	$I_D = 61.8 \text{ A}; V_{sup} \leq 55 \text{ V};$ $R_{GS} = 50 \Omega; V_{GS} = 10 \text{ V};$ $T_{j(init)} = 25^\circ\text{C}; \text{unclamped}$	-	-	129	mJ
	repetitive drain-source avalanche energy	see Figure 3 [1] [2] [3]	-	-	-	mJ

[1] 单次雪崩限值被限制在结点最大温度 175°C 。[2] 重复雪崩限值被限制在结点的平均温度为 170°C

[3] 更多的信息可以参考应用笔记 AN10273 (本书的第二章)

V_{DS} (漏极源极间电压) – 在规定温度范围内, 器件处于关闭状态时, 器件漏极和源极两端能够保证承载的最大电压值。对于 BUK7Y12–55B, 温度范围是 +25 °C 到 +175 °C。若工作在 25 °C 以下, 由于雪崩击穿的正温度系数的原因, V_{DS} 的限值将随温度减小。本章的 1.2.4.1 部分就由提到这一点。

V_{GS} (栅极源极间电压) – 器件栅极和源极两端能够承载的最大电压值。NEXPERIA 的一些数据手册对于直流和脉冲规定了不同的 V_{GS} 值。在这种情况下, 直流数值是器件在这个结点温度范围和整个生命周期内的栅极电压。而脉冲数值是指在最大结点温度情况下, 幅值越高脉冲宽度要越短, 在指定脉冲宽度范围内所能允许的门极电压幅值, 就是脉冲数值。

栅极氧化物的寿命会随着温度的上升和栅极电压的升高而减小。这就意味着引用的低结点温度的 V_{GS} 的寿命或限值要明显高于高结点温度下的数值。在比较不同供应商的数据手册中的数值时, 这一点非常重要。

V_{DGR} (漏极栅极间电压) – 通常和 V_{DS} 限值是相同的。

I_D (漏极电流) – 在描述的条件下, 器件允许承载的最大持续电流。这个值会与封装构造和导致最大结点温度的最大电流有关。因为这取决于假定的焊接衬底温度 T_{mb} , 器件的热阻 R_{th} 和最大结点温度下的 $R_{DS(on)}$ 。

要注意一些供应商引用硅材料的理论限值, 而在特性曲线中标明封装影响的电流值。

I_{DM} (漏极峰值电流) – 在 10 μs 或更短的脉冲下, 器件能够承载的最大漏极电流值。

P_{tot} (总功率损耗) – 在焊接衬底维持在 25 °C 时, 器件允许的最大功率损耗。总功率损耗是指保持焊接衬底为 25 °C, 器件达到最大结点温度时所用的功率。对于 BUK7Y12–55B 计算的总功率损耗是 105 W, 在实际中是很难控制消耗这么多功率的情况下还能保持焊接衬底温度是 25 °C。换而言之, P_{tot} 是用来表明器件的热传导性能有多好, 最大结点温度能达到多高的参数。

要注意一些其他的厂商引用将器件焊接在1英寸的PCB铜箔上的性能结果。在实际中，这个信息是相当没用的，因为半导体厂商没有对器件怎样冷却进行控制。可以参考本书的第四章。AN10874（本书的第四章）描述了在设计阶段可以使用的用于确保PCB布局可以提供优化的散热性能的几种不同技术。

T_{stg} （储存温度）– 是指不影响器件可靠性的可以存储的温度范围。长期存储时应该用惰性气体来阻止器件性能恶化，例如管脚锈蚀。

T_j （结点温度）– 是指器件的工作温度范围。通常结点温度 T_j 是和储存温度 T_{stg} 是一样的。如果超过这个温度范围，器件参数将会超出数据手册中的数值范围，器件的寿命也将缩减。

I_s （源极电流）– 在 1.2.2 章描述过的，MOSFET 中的体二极管能承载的最大持续电流值。漏极电流 I_D 也适用同样的考虑。

I_{SM} （源极峰值电流）– MOSFET 中体二极管保证能承载的最大脉冲电流值，漏极最大电流 I_{DM} 也同样适用同样的考虑。

$E_{DS(AL)S}$ （非重复性的漏极源极雪崩能量）– 在特定的条件下，器件允许的单次最大过电压脉冲能量值。举个例子，条件是保持焊接衬底温度为 25 °C 时允许的漏极最大持续电流。允许的雪崩能量是指保持器件焊接衬底温度为 25 °C 时，能使器件温度从 25 °C 上升到最大结点温度 T_j 的脉冲能量。

雪崩能量是特指漏极最大持续电流来说的。一些厂商规定了不同电流和更高感性负载下的雪崩能量，这显然会在较低的性能的前提下让雪崩能量的数值有明显的上升。在本章的 1.2.4.3 中就给出了一个降额曲线的例子。

$E_{DS(AL)R}$ （重复性的漏极源极雪崩能量）– 当多于一个雪崩事件出现时，任意一个单次雪崩事件能够允许的最大能量数值。在本章的 1.2.4.3 中就列出了重复雪崩工作的热的限值。对于重复雪崩事件除了有能量需求外还有标准的热需求。这些需求在 1.2.5 章中的热特性曲线中进行了详细的评定。在本书的第二章中就详细阐述了雪崩性能。

若已经对重复雪崩能力进行了评定，NEXPERIA 的数据手册就会列出这个参数值。但对于某些非汽车等级的 MOSFET，如果参数没有被评估过，那么在数据手册中就不会显示。

1.2.4.1 降额曲线

紧跟着限值数据表格之后，就会提供降额曲线。它可以帮助设计者计算限值随温度的变化。

1.2.4.1.1 漏极持续电流

下面的过程提供了一个计算 BUK7Y12-55B 漏极最大持续电流的例子。假定这个应用的焊接衬底温度 T_{mb} 是 75 °C。

参考图 1-1 中的曲线，它描述了漏极持续电流和焊接衬底温度之间的函数关系。

图 1-1 表明焊接衬底为 75 °C 时，漏极最大电流已经从 25 °C 时的 61.8 A 减小到了 50 A。

曲线上所标注的最大电流，指的是在对应的焊接衬底温度 T_{mb} 下，使结点温度 T_j 升高到最大结点温度 175 °C 的电流。如果 $R_{DS(on)}$ 引用的是最大结点温度 T_j 下的最大值，那么 $P = I^2 \times R_{DS(on)}$ 就代表了在最大结点温度 T_j 下的功率。因此允许的电流是和允许的功率的平方根成比例的。

对于给定的焊接衬底温度 T_{mb} 下的功率是和允许的温升成比例的。下面展示的降额曲线是基于下面的公式的：

$$(公式 1) \quad I_D^2(T_{mb}) \propto \frac{T_j - T_{mb}}{T_j - 25} {}^\circ C$$

$$(公式 2) \quad I_D(T_{mb}) = I_D(25) \times \sqrt{\frac{T_j - T_{mb}}{T_j - 25}} {}^\circ C$$

在允许的最大结点温度 175 °C 时，电流已经降到了 0 A。

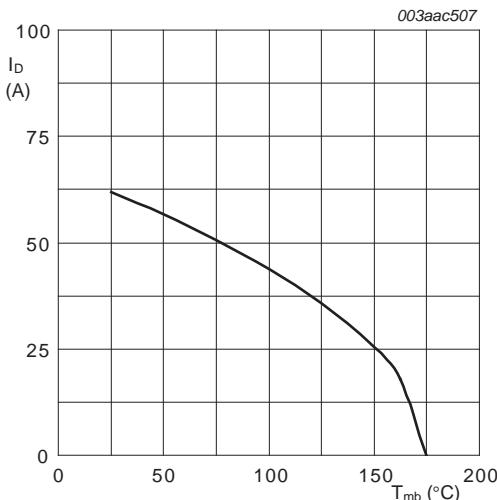


图 1-1. 漏极持续电流和焊接衬底温度的函数关系

1.2.4.2 功率损耗

功率损耗会随着不同的温度变化，在这种情况下功率损耗曲线是标准化的，与 25 °C 时允许的功率损耗值成反比例。

例如：

通过观察图 1-2 中的曲线，在焊接衬底温度为 75 °C 下允许的功率值约为 25 °C 下允许的功率值得 66 %。

图 1-2 中的图形数据表明在 25 °C 时最大持续功率损耗 P_{tot} 是 105 W。

公式 3 是用来计算功率损耗的公式：

$$(公式 3) P_{tot}(T_{mb}) = P_{tot}(25^{\circ}\text{C}) \times \frac{T_j - T_{mb}}{T_j - 25^{\circ}\text{C}}$$

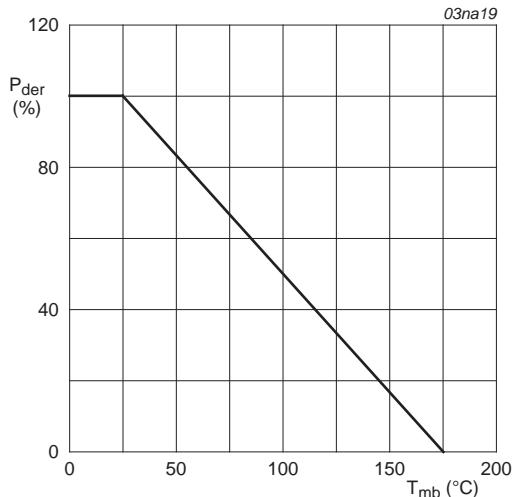
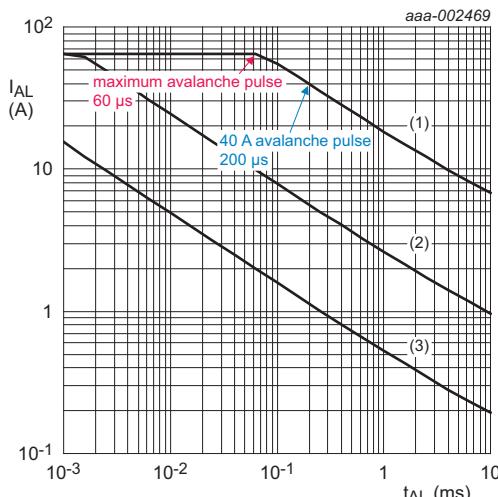


图 1-2. 标准化的总功率损耗和焊接衬底温度的函数关系

图 1-1 和图 1-2 中提供的曲线要和限值表格相结合着来看。这些摘取的信息，用来帮助计算允许的最大电流和相对于温度下的功率损耗。

1.2.4.3 雪崩强度

在本书的第二章 (AN10273) 中详细阐述了雪崩强度。



单次和重复雪崩限值

- (1) 单次脉冲; $T_j = 25 \text{ } ^\circ\text{C}$
- (2) 单次脉冲; $T_j = 150 \text{ } ^\circ\text{C}$
- (3) 重复

图 1-3. 雪崩电流和雪崩周期的关系

以 MOSFET BUK7Y12-55B 为例, 参考第二章节, 从限值表 3 中可以得到以下信息:

当 $I_D = 61.8 \text{ A}$, $V_{sup} \leqslant 55 \text{ V}$, $R_{GS} = 50 \Omega$, $V_{GS} = 10 \text{ V}$ and $T_{j(init)} = 25 \text{ } ^\circ\text{C}$ 非钳位, 最大允许的雪崩能量 $E_{DS(AL)S}$ 是 129 mJ 。

通常一个雪崩事件是一个三角脉冲波的形状, 所以平均功率的计算是 $(0.5 \times V_{DS} \times I_{DS})$ 。

本书的第二章就陈述了击穿电压是限值电压的 130 %, 也就是 $55 \text{ V} \times 1.3$ 。

图 1-3 表明 25 °C 时的最大电流刚刚超过 60 A (限值表格 3 中展示的实际上是 61.8 A)。

可以从图 1-3 中读到最大的雪崩能量的时间是 60 μ s。

这意味着允许的最大的雪崩能量是 $0.5 \times (55 \text{ V} \times 1.3) \times 61.8 \text{ A} \times 60 \mu \text{ s} = 133 \text{ mJ}$ 。

这个值接近于限值表格 3 种提到的 129 mJ。

如果有些 MOSFET 供应商引用 40 A 下的雪崩能量值, 图表展示现在的雪崩时间是 200 μ s, 现在的雪崩能量是 $0.5 \times (55 \text{ V} \times 1.3) \times 40 \text{ A} \times 200 \mu \text{ s} = 286 \text{ mJ}$, 这种情况下, 雪崩事件强度就落在安全工作区域 SOA 之外。

1.2.4.4 安全工作区域 SOA

安全工作区域曲线是数据手册中最重要的部分之一。

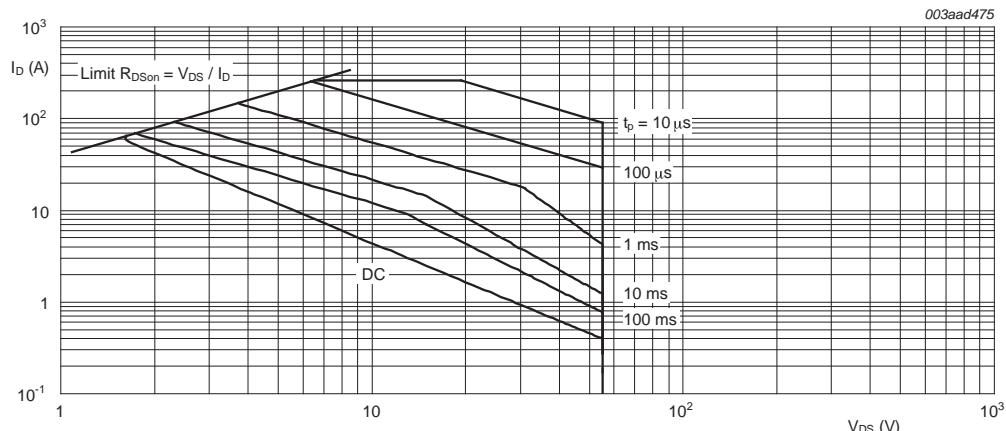


图 1-4. 安全工作区域 ; 漏极持续和尖峰电流和漏极源极间电压的关系

安全工作曲线表明了 MOSFET 允许的电压, 工作电流和时间的包络曲线。这些值是针对于初始的焊接衬底温度 T_{mb} 是 25 °C 和单一脉冲电流的。这个复杂的问题将在 1.3.1 章的附录中进行进一步的讲解。

1.2.5 热特性

本章阐述了对于不同占空比的脉冲，热阻抗和脉宽的关系。这个信息被用来决定在特定的工作条件下器件能达到的温度，同时也用来确认是否在保证的工作范围内。

图 1-5 展示了热特性。因为 MOSFET 是由几种不同材料共同制成的，所以热阻抗随着脉冲宽度变化。对于较短的脉宽，热容更重要，对于较长的脉宽，热阻更重要。

热特性是用来检查是否一个特定的超过直流限值的功率脉冲会导致结点温度 T_j 超过它的安全最大限值。

表 1-4. 特性表格

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$R_{th(j\text{-mb})}$	thermal resistance from junction to mounting base	see Figure 5	-	-	1.42	K/W

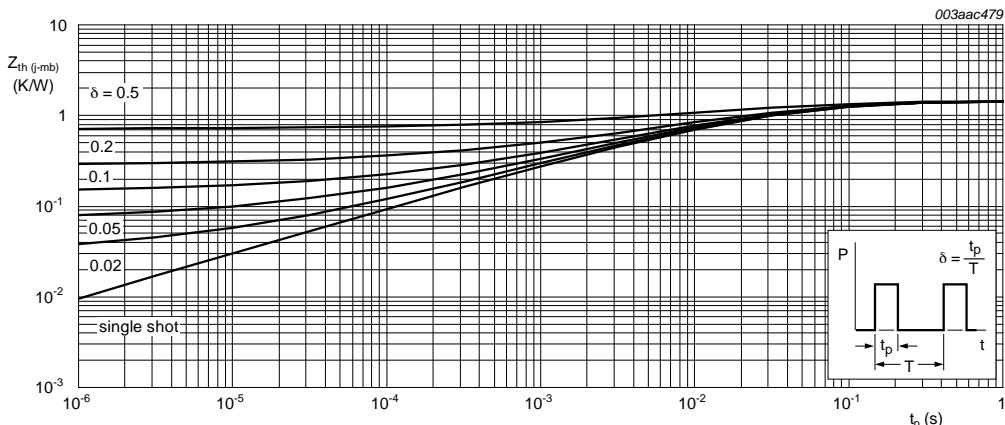


图 1-5. 热特性

因为热阻是稳定状态下测量出的器件阻碍热量流动的能力。热阻抗是指器件对瞬时热事件的响应。所以热阻 R_{th} 和热阻抗 Z_{th} 是相关的。它涉及到器件中各个部分的热容和这些部分之间的热阻。在直流条件下, Z_{th} 等于 R_{th} 。公式 4 表明了对于一个特定的功率损耗的温度上升。

$$(公式 4) \Delta T_j = |Z_{th(j-mb)}| \times Power$$

在 1.3.1.2 章的附录中会讨论实际计算的例子。

1.2.6 电气性能

本章用来决定一个 MOSFET 适合用在一个特定的应用中, 本章和前面两章不同, 前面两章是用来判定 MOSFET 是否会在应用中存活下来。除非有额外的规定, 本章中例子都是来自于 BUK7Y12-55B 的数据手册。

1.2.6.1 静态特性

本章中列出的参数中的第一部分就是静态特性, 表格 1-5 就是一个例子:

表 1-5. 静态特性

与表格有关的常量或限值, 如电压, 电流和温度。

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$V_{(BR)DSS}$	drain-source breakdown voltage	$I_D = 250 \mu A; V_{GS} = 0 V; T_j = 25^\circ C$	55	-	-	V
		$I_D = 250 \mu A; V_{GS} = 0 V; T_j = -55^\circ C$	50	-	-	V
$V_{GS(th)}$	gate-source threshold voltage	$I_D = 1 mA; V_{DS} = V_{GS}; T_j = 25^\circ C$	2	3	4	V
		$I_D = 250 mA; V_{DS} = V_{GS}; Tj = -55^\circ C$	-	-	4.4	V
		$I_D = 1 mA; V_{DS} = V_{GS}; T_j = 175^\circ C$	1	-	-	V

表 1-5. 静态特性 (续)

与表格有关的常量或限值，如电压，电流和温度。

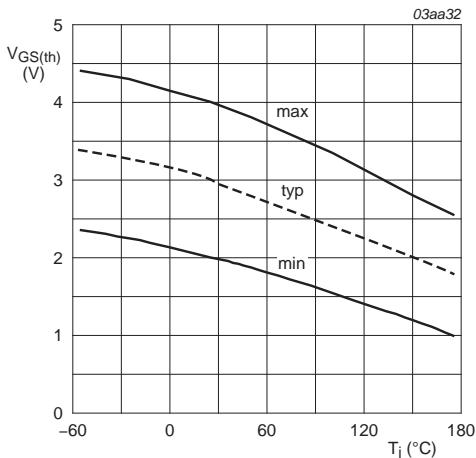
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
I_{DSS}	drain leakage current	$V_{DS} = 55 \text{ V}; V_{GS} = 0 \text{ V}; T_j = 25^\circ\text{C}$	-	0.02	1	μA
		$V_{DS} = 55 \text{ V}; V_{GS} = 0 \text{ V}; T_j = 175^\circ\text{C}$	-	-	500	μA
I_{GSS}	gate leakage current	$V_{DS} = 0 \text{ V}; V_{GS} = 20 \text{ V}; T_j = 25^\circ\text{C}$	-	2	100	nA
		$V_{DS} = 0 \text{ V}; V_{GS} = -20 \text{ V}; T_j = 25^\circ\text{C}$	-	2	100	nA
$R_{DS(on)}$	drain-source on-state resistance	$V_{GS} = 10 \text{ V}; I_D = 20 \text{ A}; T_j = 175^\circ\text{C}$	-	-	27.6	$\text{m}\Omega$
		$V_{GS} = 10 \text{ V}; I_D = 20 \text{ A}; T_j = 25^\circ\text{C}$	-	8.2	12	$\text{m}\Omega$

$V_{BR(DSS)}$ (漏极源极间的击穿电压) – 关于扩展参数的列表与解释，参见 1.2.4 节。本章列出了器件在整个温度范围内处于关闭状态下漏极和源极两端能够保证承受的最大电压值。温度范围是从 -55°C 到 $+175^\circ\text{C}$ 。在电压和温度范围内，BUK7Y12-55B 的漏极和源极两端流过的电流要确保在 $250 \mu\text{A}$ 以下。若器件温度低于 $+25^\circ\text{C}$ ，则 $V_{BR(DSS)}$ 为小于等于 50 V ；若器件温度为 $+25^\circ\text{C}$ 至 $+175^\circ\text{C}$ ，则 $V_{BR(DSS)}$ 为小于等于 55 V 。

温度对关闭状态下的特性的影响是双重的。漏电流会随温度而升高，进而将器件导通。漏电流升高的同时，击穿电压也会随温度增大。

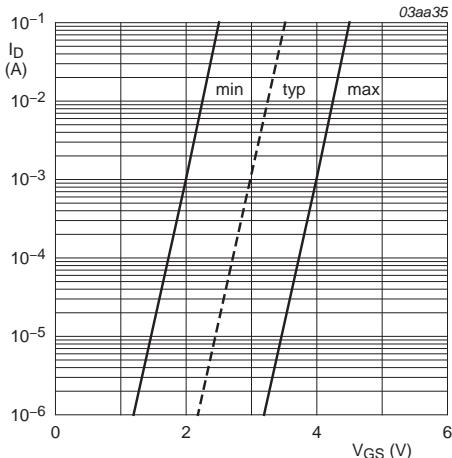
$V_{GS(th)}$ (栅极源极门限电压) – 这是决定 MOSFET 导通或者关闭的重要参数。一般情况， $V_{GS(th)}$ 是在 $V_{DS} = V_{GS}$ 时定义的。但是有些时候也用一个固定电压的 V_{DS} ，如 10 V 。要注意门限电压的定义是针对于栅极和源极短路在一起时的特定电流值的，这和教科书上的定义是不同的。教科书中的参数描述了 MOSFET 的物理状态的变化，与 MOSFET 芯片大小无关。而在数据表中使用的参数是指特定电流下的，取决于芯片的大小，因为电流与芯片面积成比例。

数据表中的门限电压以最适合的常规测量方式定义的，而不是器件实际上通常被用到的那样。因此图 1-6 提供了可以支持参数的曲线。



栅极源极间门限电压和结点温度的关系

$$I_D = 1 \text{ mA}; V_{DS} = V_{GS}$$



漏极电流和栅极源极电压的关系

$$T_j = 25 \text{ °C}; V_{DS} = 5 \text{ V}$$

图 1-6. 阈值电压参数的支持图

第一个图表展示的是器件在整个额定的温度范围内门限电压的变化，包括了典型值和限制曲线。

因此对于 25 °C 时的 BUK7Y12-55B，如果 V_{DS} 和 V_{GS} 都小于 2 V，那么所有的器件都会承载小于 1 mA 的电流。如果 V_{DS} 和 V_{GS} 都大于 4 V，那么所有器件将可以承载大于 1 mA 的电流。在 175 °C 时较低的限值已经降到了 1 V，而较高的限值也已经降到了 2.5 V。下限值通常更为重要，因为它决定器件何时应保证关断，以及相关应用需要具有多少噪声裕量。

第二个图表展示了器件怎样在门限电压附近导通。对于 BUK7Y12-55B，栅极电压上升小于 1 V 的电压，电流将会上升 100000 倍。示例给出了一个当漏极-源极电压固定在 5 V 下的情况。

I_{DSS} (漏极漏电流) – 保证器件在其关断状态下的最大额定漏极和源极电压时可传输的最大泄漏电流。重要的是要注意高温状态下的 I_{DSS} 有多大, 那才是最坏情况。

I_{GSS} (栅极漏电流) – 是指 MOSFET 保证允许栅极通过的最大漏电流值。当计算需要多大电流才能保持器件导通时 I_{GSS} 尤为重要。因为这个漏电流会通过绝缘层, 这个值也不像 I_{DSS} 那样取决于温度。

$R_{DS(on)}$ (漏极源极间的导通电阻值) – 这个是最重要的参数之一。之前介绍的参数保证了器件关闭时的功能, 如何关闭以及漏电流的大小。那些参数对电池容量的影响尤为重要。

$R_{DS(on)}$ 是当器件导通时, 衡量 MOSFET 的导通开关特性的一个方法。也是决定功率损耗和效率的关键参数。当 MOSFET 完全导通时, 导通电阻 $R_{DS(on)} \times I_D^2$ 就是功率损耗。功率 MOSFET 能够在完全导通时承载几十到几百安培的电流。

MOSFET 的功率损耗使晶圆的温度超过了它自己的焊接衬底温度。 $R_{DS(on)}$ 也随着 MOSFET 晶圆的温度上升而成比例的增大。对于所有 NEXPERIA 封装过的 MOSFET, 推荐的最大结点温度是 175 °C。

下面以 BUK7Y12-55B 的数据手册作为一个例子:

$R_{th(j-mb)}$ 表征在器件结点和焊接衬底之间, 每瓦功耗引起的温升变化值, 这里 $R_{th(j-mb)} = 1.42 \text{ K/W}$ 。

对于 150 K ($T_{mb} = 25^\circ\text{C}$, $T_j = 175^\circ\text{C}$) 的温升来说, 最大的功率损耗 = $150 / 1.42 = 105.63 \text{ W}$ 。

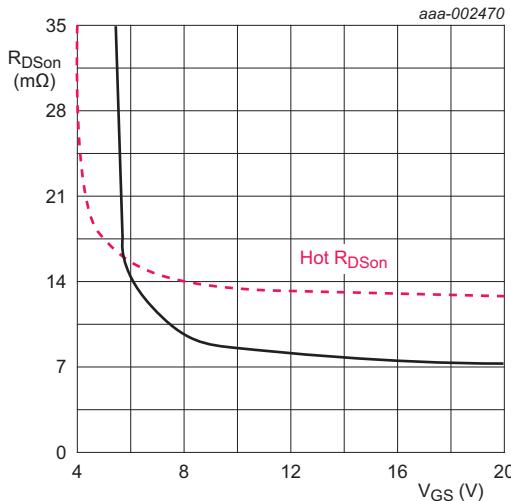
在结点温度为 175 °C 下, 最大的 $R_{DS(on)} = 27.6 \text{ m}\Omega$ 。

因此, 在稳定状态下, $T_{mb} = 25^\circ\text{C}$, $T_j = 175^\circ\text{C}$, $P = 105.63 \text{ W} = I_{ma}^2 \times R_{DS(on)(175^\circ\text{C})}$ 。
因此:

$$(公式 5) \quad I_{max} = \sqrt{\frac{P_{(max)175^\circ\text{C}}}{R_{DS(on)175^\circ\text{C}}}} = \sqrt{\frac{105.63 \text{ W}}{0.0276 \Omega}}$$

= 61.86 A (在数据手册中进行了向下取整处理 61.8 A)。

MOSFET 的 $R_{DS(on)}$ 取决于栅极和源极间的电压，并且存在一个较低的数值，低于该值则该参数急剧上升。对于不同的栅极驱动， $R_{DS(on)}$ 随温度的变化比率是不同的。为了表明不同，图 1-7 中的红色虚线展示了高温下的 $R_{DS(on)}$ 值。

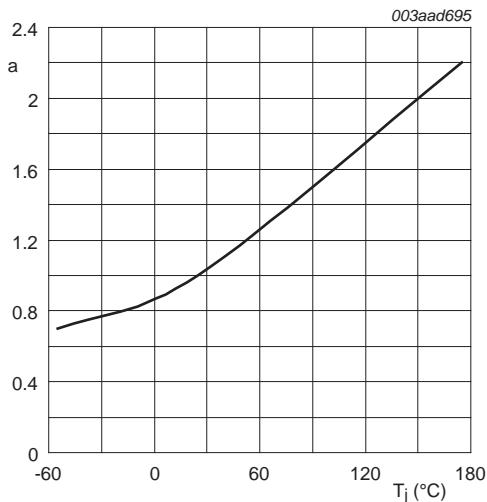


本图表只是以阐述为目的，并不能作为任何器件 $R_{DS(on)}$ 性能的参考。

图 1-7. 在 25°C 和高温下，漏极源极间的导通电阻值与栅极源极间电压的关系。

若一个应用需要在较低栅极源极电压下，拥有好的 $R_{DS(on)}$ 性能，那么 MOSFET 将会被制成拥有较低的门限电压，例如 BUK9Y12-55B。然而低门限电压的器件将意味着高温时关闭状态的电压余量要小很多。这个较低的关断电压余量经常意味着高温下选择较高门限电压的器件关断更安全。

在图 1-8 中展示了一条电阻值怎样随温度上升的典型曲线。



$$a = \frac{R_{DS(on)}}{R_{DS(on)} 25^\circ C}$$

图 1-8. 标准化的漏极源极导通电阻值和结温的关系。

1.2.6.2 动态特性

动态特性决定了器件的开关性能。这些参数中的几个参数高度依赖于测量条件。因此，比较具有不同标准条件的供应商数据手册之前，需理解动态特性。表格 1-6 就是一个简单的动态特性表格。

表 1-6. 动态特性

与表格有关的常量或限值，如电压，电流和温度。

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$Q_{G(\text{tot})}$	total gate charge	$I_D = 20 \text{ A}; V_{DS} = 44 \text{ V};$ $V_{GS} = 10 \text{ V}$	-	35.2	-	nC
Q_{GS}	gate source charge		-	9.24	-	nC
Q_{GD}	gate drain charge		-	14.8	-	nC
C_{iss}	input capacitance	$V_{DS} = 25 \text{ V}; V_{GS} = 0 \text{ V}; f = 1$	-	1550	2067	pF
C_{oss}	output capacitance	$\text{MHz}; T_j = 25^\circ\text{C}$	-	328	394	pF
C_{rss}	reverse transfer capacitance		-	153	210	pF
$T_{d(on)}$	turn-on delay time	$V_{DS} = 30 \text{ V}; V_{GS} = 10 \text{ V}; R_L$	-	19.3	-	ns
T_r	rise time	$= 1.5 \Omega; R_{G(\text{ext})} = 10 \Omega$	-	29.4	-	ns
$T_{d(off)}$	turn-off delay time		-	43.2	-	ns
T_f	fall time		-	22	-	ns

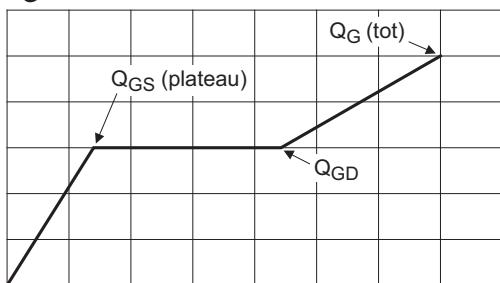
1.2.6.1 棚极电荷

$Q_{G(\text{tot})}$, Q_{GS} 和 Q_{GD} 都是从同样棚极电荷曲线中来的参数。他们描述了在一定的条件下，MOSFET 如果开关需要多少的棚极电荷。在高频开关应用中这一点尤其重要。当在漏极棚极和源极间有显著的电压电流同时变化时，在开关过程中会有大量的功率损耗。在器件关闭状态下，虽然有显著的电压，但是电流值却可以忽略不计。在完全导通时，存在显著的电流和较低的电压值。

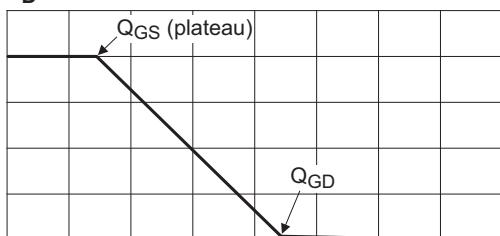
棚极电荷依赖于门限电压，开关动态和将会按开关工作的负载。阻性负载和感性负载是不一样的。

图 1-9 中展示了一个棚极电荷曲线的例子：

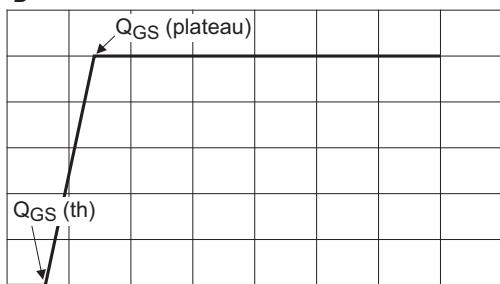
V_G



V_D



I_D



aaa-002471

图 1-9. 漏极和源极间电压和电流曲线和栅极电荷曲线

由于容值随电压和电流变化，所以在决定开关性能的时候最好参考栅极电荷值而不是容值。当 MOSFET 的驱动电路受限于一定的电流或是需要快速开关时，这一点尤其重要。

栅极电荷曲线描述了当 MOSFET 的漏极施加了一个特定的电流和电压时器件将发生的变化。测试电路的工作表明在栅极电压曲线期间，要么给器件施加一个固定的电压，要么施加一个固定的电流。

在这期间，因为 MOSFET 中增加的电荷能让导通更容易，这就让漏极源极电压开始下降。因此尽管栅极和源极间电压是一定的，漏极栅极电压却在下降。

最终电容量停止上升，此后任何栅极电荷的增多都会导致栅极源极间电压的上升。有时这个特性被称作“米勒平台”，相应的时间叫做米勒电容上升。米勒平台也就是指栅极漏极电荷 Q_{GD} 。

在这期间，在器件的漏极和源极间有显著的电压和电流，所以 Q_{GD} 是决定开关损耗的重要参数。

一旦到达了米勒平台，栅极源极间电压又一次上升，但是这次的容值要比之前 Q_{GS} 达到的容值要大。栅极电荷曲线梯度在米勒台阶以上有所下降。

栅极电荷参数受测量条件的影响很大。不同厂商经常引用不同条件下的栅极电荷参数，这就需要在比较不同来源的栅极电荷时特殊注意。

较高的电流会导致较大的栅极源极电荷值，因为平台电压同样会很高。较高的漏极源极电压，因为米勒平台上升，会导致栅极漏极间电荷和总栅极电荷增多。

栅极电荷开关阶段的漏极和源极间的电流和电压可参考图 1-10。

如果 MOSFET 从关闭状态下 ($V_{GS} = 0 \text{ V}$) 开始，栅极电荷的增多会导致器件栅极源极间电压的升高。在这种模式下，是在源极和漏极间施加了一个固定 V_{DS} 电压。

当栅极和源极间电压达到了电压限值, 这个限值是特定漏极和源极间电压限制的漏极电流所对应的栅极和源极间的电压值。MOSFET 的容值是在增加的, 但栅极电压保持不变。这个就是平台电压和栅极源极间电荷 Q_{GS} 。电流越大, 平台电压越大 (详见图 1-10)。

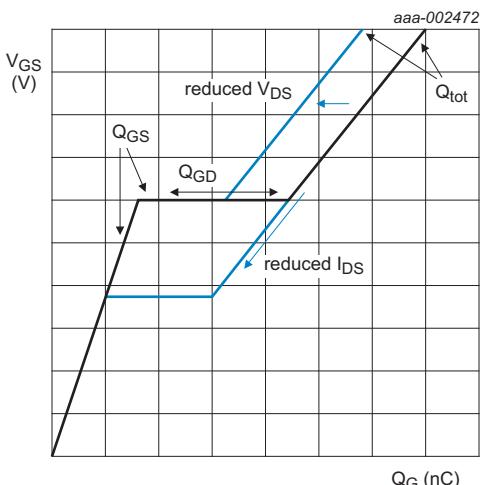


图 1-10. 栅极电荷曲线的特性

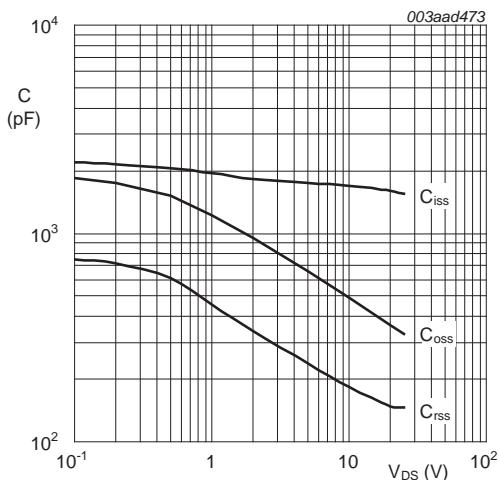
1.2.6.2.2 电容

原因已经探讨过, 电容通常不如栅极电荷参数那么重要。但是这些参数仍然列在了数据手册中。通常会列出下面三个电容值参数:

- C_{ISS} (输入电容) 是指在栅极与其他两个端子 (源极和漏极) 之间的电容。
- C_{OSS} (输出电容) 是指漏极和其他两个端子 (栅极和源极) 之间的电容。
- C_{RSS} (反向传输电容) 是指在漏极和源极间的电容。

半导体电容一般取决于测量容值时的电压和频率。尽管许多供应商都规定了测量频率为 1 MHz，在不同条件下比较容值也是很困难的。因此，容值随漏极和源极间的电压变化（详见图 1-11）。然而容值也会随栅极和源极间电压变化。这也是为什么栅极电荷曲线会随着不同电压变化。

在栅极电荷曲线中的电荷与电压和容值的关系是 $\Delta Q = \Delta C \times \Delta U$ 。在不同的栅极电压下有不同的梯度。容值随着栅极源极间电压变动显著变化。



$$V_{GS} = 0 \text{ V}; f = 1 \text{ MHz}$$

图 1-11. 容值和漏极源极间电压的关系

1.2.6.2.3 开关时间

大多数厂商提供阻性负载的开关时间。因为这个参数受测试电路中栅极电阻的值影响很大，所以当比较不同厂商的数据时要格外注意。在快速开关应用中，MOSFET 的栅极电阻经常引用电容时间常数，因为时间常数等效为电阻和电容。

1.2.6.3 二极管特性

如果 MOSFET 用在了所谓的第三象限, 二极管特性就很重要。以 MOSFET 代替二极管以便减少压降 (来源于二极管固有的正向压降) 时, 通常采用第三象限法。在这种情况下通常是在 MOSFET 导通之前, MOSFET 的寄生二极管存在一小段导通时间。对于这样的应用来说, 二极管的开关参数就很重要。另外二极管的反向恢复性能对功率损耗和振铃影响也很大, 这会引起一些 EMC 的问题。

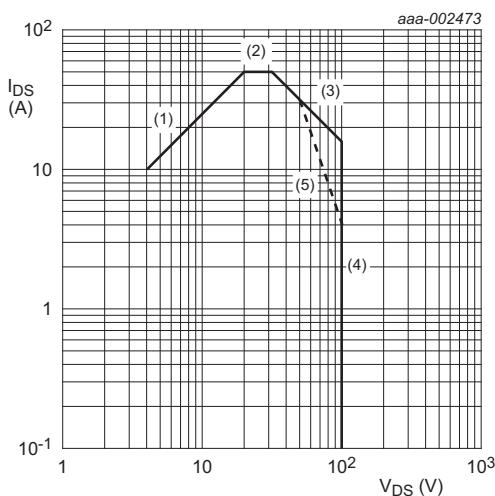
1.2.7 封装外形

这章描述了封装外形尺寸和误差。

1.3 附录

1.3.1 安全工作区域 (SOA) 曲线

为了强调关键性能, 图 1-12 提供了一个假定的 MOSFET 的理想化的 SOA 曲线。对于这个假定 MOSFET 的单次脉冲长度的数据, 已经突出展示了与理想曲线不同的区域。



- (1) 最大的漏极脉冲电流 (I_{DS} 是常量) $R_{DS(on)}$ 限值 (V_{DS}/I_{DS} 是常量)
- (2) 最大的漏极脉冲电流 (I_{DS} 是常量)
- (3) 最大的脉冲功率损耗 ($V_{DS} \times I_{DS}$ 是常量)
- (4) 最大的允许电压 (V_{DS} 是常量)
- (5) 线性模式降额 – 在区域 (3) 中展示了与理想性能有差异的地方, 这是由于工作在正反馈机制下, 并且存在潜在的热失控的原因。

图 1-12. 对于假定 MOSFET 的单次脉冲时间下的理想安全工作区域曲线

虚线 (5) 曲线部分强调了与理想曲线不同的地方。实际上在线性模式降额变得重要的区域，有一条斜率变化的曲线。

R_{DS(on)} 限值:

曲线的区域 (1) 就是 R_{DS(on)}。公式 6. 展示了限值线。

$$(公式 6) \frac{V_{DS}}{I_{DS}} \leq R_{DS(on)} (175^{\circ}C)$$

这个限值是指当 MOSFET 完全导通，就像一个闭合的开关并连接一个阻值不会超过高温下 R_{DS(on)} 的电阻一样。

恒定电流区域

曲线的区域 (2) 就是恒定电流区域。它是指器件最大的漏极脉冲电流，这个电流值是受限于例如器件封装内部连接线的能力。

最大功率损耗 (线性模式) 限值

在这个区域，MOSFET 就像是一个栅极电压控制的电流源。这就意味着会同时存在显著的电压和电流并导致显著的功率损耗。线段 (3) 是理想化的曲线，虚线部分是与理想背离的部分。

SOA 曲线中的区域 (5) 部分的限制因素是指由三角形的电流和电压脉冲产生的热量。即使在理想的状况下，曲线也取决于器件的瞬时热阻抗值，这一点会在 1.2.5 章中介绍。

瞬时热阻抗值会随脉冲宽度变化，这是由于 MOSFET 中的不同材料有着不同的热阻和热容。这个差异可以将产生热量的结点到焊接衬底之间等效成一个 RC 网络。公式 7 就是用于这个区域的理想曲线的计算公式。

$$(公式 7) P = I_D \times V_{DS} = \frac{T_{j(max)} - T_{mb}}{Z_{th(j-mb)}} = Constant$$

理想的曲线精确地描述了有效的高电流密度的情况。然而对于低电流密度的部分却过于优化了。例如对于区域（3）的右下部分，低电流密度和高电压在线性模式中会导致热失控。热失控会在接下来的章节中介绍。

线性模式中的热失控

在这个区域，MOSFET 就像是一个栅极电压控制的电流源。这就意味着会同时存在显著的电压和电流并导致显著的功率损耗。线段（3）是理想化的曲线，虚线部分是与理想背离的部分。

SOA 曲线中的区域（5）部分的限制因素是指由三角形的电流和电压脉冲产生的热量。即使在理想的状况下，曲线也取决于器件的瞬时热阻抗值，这一点会在 1.2.5 章中介绍。

瞬时热阻抗值会随脉冲宽度变化，这是由于 MOSFET 中的不同材料有着不同的热阻和热容。这个差异可以将产生热量的结点到焊接衬底之间等效成一个 RC 网络。公式 7 就是用于这个区域的理想曲线的计算公式。

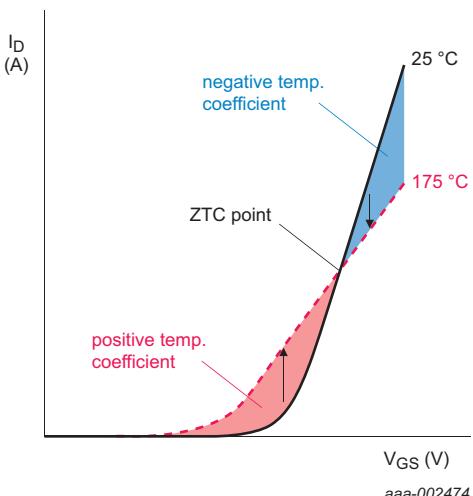


图 1-13. 一个假定的 MOSFET 的传输特性，展示了正的和负的温度系数

在高电流下电阻明显增大，意味着自身的加热导致了低电流。在低电流下门限电压显著下降，意味着自身的加热导致了门限电压的降低。这一点让 MOSFET 更有效地导通，从而导致了大电流和热失控发生的风险。

因此，对于一个给定的 V_{DS} ，存在一个特定的电流值，也叫做零温度系数点 ZTC。低于 ZTC 时是正反馈机制，存在热失控的风险。高于 ZTC 是负反馈机制，热量达到平衡状态。

这一效应减小了在低电流和高的漏极和源极间电压时的安全工作区域 SOA 性能。恒定功率的损耗曲线必须向区域 (5) 那样下降。对于短时间的开关情况，这个效应并不显著。但是如果想减小电磁干扰，将开关的时间变得比较长的话，这个效应就变得重要甚至致命。

电压限制区域

在区域 (4) 表明了器件要限制 V_{DS} 电压低于击穿电压。在快速参考手册中就提供了 25 °C 及以上温度下的 V_{DS} 值。在图 1-12 中假定 MOSFET 的 V_{DS} 限值是 100 V，而对于 BUK7Y12-55B 的 V_{DS} 限值是 55 V。

1.3.1.1 高于 25 °C 的安全工作区域

要想利用 SOA 曲线的话，要有两个主要的假设：

1 工作温度为 25 °C

2 是一个矩形波

但是一些脉冲并不是矩形波也没有发生在 25 °C，对于这种情况就可以利用公式 8。

$$(公式 7) \quad T_{j(rise)\max} = T_{j(max)} - T_{j(amb)} = \frac{2}{3} P_{av} \cdot Z_{th\left(\frac{t_{av}}{2}\right)}$$

这里的 $T_{j(\max)}$ 是晶圆最高温度 175 °C, $T_{j(amb)}$ 是指系统的周围温度。例如, 在汽车应用中就有两个主要的环境温度: 驾驶舱的温度 85 °C 和在发动机舱靠近发动机附近的 105 °C。

值得注意的是在做最坏情况分析时, 环境温度有可能出现误解。这是由于器件导通之前, MOSFET 焊接衬底的温度可能会很高。例如设计中有 10 个 MOSFET, 9 个工作。那么第 10 个器件的焊接衬底的温度就会和其他 9 个导通的器件的温度很接近。所以如果环境温度是 105 °C, 导通的 9 个器件的焊接衬底的温度是 125 °C, 那么第 10 个 MOSFET 的焊接衬底的温度将会是 125 °C, 而不是 105 °C。在这种条件下的最坏情况分析计算才是更为保守稳妥和更合适的 (公式 9)。

$$(公式 9) \quad T_{j(rise)\max} = T_{j(max)} - T_{j(amb)} = P_{av} \cdot Z_{th(t_{av})}$$

注意: 在非脉冲的直流应用中可以将 $R_{th(j-mb)}$ 替代 $Z_{th(j-mb)}$, 超过 100 ms 的脉冲, 可以认为 Z_{th} 和 R_{th} 是一致的。

1.3.1.1.1 计算案例

计算在 $V_{DS} = 40$ V, 25 °C 的情况下 BUK9277-55A 的最大直流漏极源极电流 I_{DS} 。重新列出公式 10, 带入主要变量 I_{DS} (P_{av} 是平均功率, 在直流条件下也就是 $I_{DS} \times V_{DS}$)。因为是直流, 所以可以用 R_{th} 替代 Z_{th} 。

$$(公式 10) \quad T_{j(rise)} = I_{DS} \times V_{DS} \times Z_{th(av)}$$

$$(公式 11) \quad \frac{T_{j(rise)}}{V_{DS} \times R_{th}} = I_{DS}$$

$$(公式 12) \quad \frac{175\text{ }^{\circ}\text{C} - 25\text{ }^{\circ}\text{C}}{40\text{ V} \times 2.93\text{ K/W}} = 1.28\text{ A}$$

因此在这些条件下的最大直流限值是 1.28 A。

1.3.1.2 安全工作区域曲线和热特性的应用案例

在线性模式工作时考虑下面的条件:

- 对于器件 BUK7Y12-55B， 拥有下面参数的方波电流:

- $I_{pulse} = 20 \text{ A}$
- $V_{pulse} = 40 \text{ V}$
- $f = 2 \text{ kHz}$
- $t_{pulse} = 100 \mu\text{s}$
- $T_{amb} = 25^\circ\text{C}$

1.3.1.2.1 计算步骤

最开始要查看安全工作曲线 SOA 来确定单脉冲是否会引起问题。通过观察 SOA 曲线，可以看到 20 A, 40 V 的脉冲落在了 100 μs 和 1 ms 之间。这就表明这个脉冲落到了可接受的范围。

用频率 2 kHz 和脉宽 100 μs 来计算脉冲的占空比。计算后占空比的结果为 0.2。热特性曲线表明了对于 100 μs，占空比为 0.2 的线拥有的瞬时热阻抗为 0.4 K/W。

对于这个方波脉冲的功率损耗为 $20 \text{ A} \times 40 \text{ V}$ ，等于 800 W。

利用公式 8 对于 100 μs 的脉冲的温升为 $800 \text{ W} \times 0.4 \text{ K/W}$ ，等于 320 K。算上起始温度为 25 °C，那么这么温升的就会导致最终温度为 345 °C。因为 MOSFET 的结点温度不能超过 175 °C，那么这个 MOSFET 就不适合这个电路应用。

如果应用要求的是一个单脉冲，曲线表明对于 100 μs 的脉冲的瞬时热阻抗是 0.1 K/W，那么温升就是 $800 \text{ W} \times 0.1 \text{ K/W}$ ，等于 80 K。同样对于起始温度为 25 °C 的最终温度为 105 °C。就是说器件可以承受这个脉冲，到此 SOA 曲线的确认就完成了。

1.3.1.2.2 对于高起始温度的降额

安全工作区域曲线计算的例子是以焊接衬底为 25 °C 为前提的。若焊接衬底在较高的起始温度下，因为器件允许的温升会减小，那么 SOA 必须要做降额处理。脉冲允许的功率损耗也会随温升的减小而成比例的降低。当焊接衬底为 25 °C 时，允许的温升是 150 °C。当焊接衬底温度是 100 °C 时，允许的温升只有原来的一半（75 °C）。允许的功率损耗也会是 25 °C 时的一半。由于线性工作模式的影响，电流会保持不变，但是漏极源极电压要减小。

图 1-14 展示了 BUK7Y12-55B 在 100 °C 时的降额。

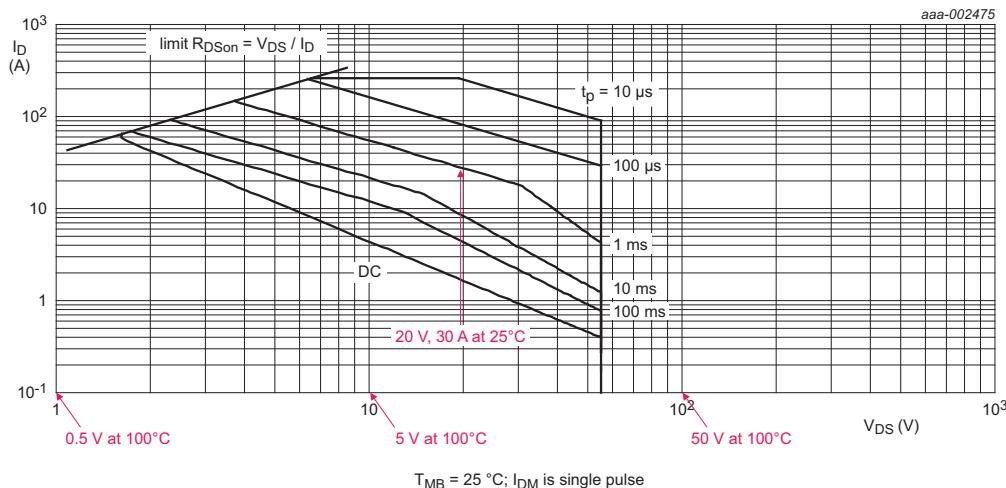


图 1-14. SOA 曲线在 100 °C 下的降额

举个例子：

问：BUK7Y12-55B 可否承受 100 °C 下，1 ms 脉宽，30 A 和 15 V 的脉冲呢？

答：在 25 °C 下，可以看到 20 V 的 V_{DS} 可以允许 30 A 电流在 1 ms 内流过，因此在 100 °C 下允许 10 V 的 V_{DS} 。

在 100 °C 下，30 A，15 V，1 ms 的脉宽已经超出了安全工作区域，所以结论为不可以使用。

1.4 参考文献

- [1] The Impact of Trench Depth on the Reliability of Repetitively Avalanche Low-Voltage Discrete Power Trench nMOSFETs - Alatise et al, IEE Electron Device Letters, Volume 31, No7, July 2010, pages 713-715.
- [2] Semiconductor Devices - Physics and Technology S.M.Sze, 1985, John Wiley & Sons.
- [3] Application Note AN10273 (Chapter 2 of this book) - Power MOSFET single-shot and repetitive avalanche ruggedness rating.
- [4] Application Note AN10874 (Chapter 4 of this book) - LFPAK MOSFET thermal design guide.

第二章: 功率 MOSFET 单次和 重复雪崩强度限值

应用笔记: AN10273

第二章: 功率 MOSFET 单次和重复雪崩强度限值

(应用笔记 AN10273)

2.1 介绍

近年来电子应用有了显著的进步，更坚固的功率 MOSFET 的需求就不可避免的增多了。器件强度就是对于感性负载开关动作时，在非钳位状态下，所能承受的雪崩击穿电流的能力。一个功率 MOSFET 的雪崩强度性能通常用单次 UIS (Unclamped Inductive Switching, 非钳位感性开关) 雪崩能量或 $E_{D(S)I(S)}$ 来表示。这就给雪崩模式提供了一个快速容易的方法来定量雪崩强度性能。然而却没有必要在一个应用中反映真实的雪崩能力（参见 Ref. 1, Ref. 2 和 Ref. 3）。

本章阐述了 UIS 工作的基础理论。它阐述了器件在 UIS 工作下，怎样用一个合适的方法来定量一个功率 MOSFET 的安全工作条件。本章也包含了对多次雪崩强度性能的讨论和怎样才能更安全的使用。

2.2 单次和重复雪崩的定义

单次雪崩事件就是器件在应用中由于错误的条件导致出现雪崩事件，例如电器过载。电路应用中是没有预先为这类雪崩做预防设计的。

然而重复雪崩是指电路应用中雪崩式 MOSFET 的预期工作模式。这里说的雪崩式设计的性能，而且不依赖于雪崩事件发生的次数。

客户想让 MOSFET 在雪崩电流限值之外的任何工作状况,需要结合具体的应用来考虑分析。可以联系当地的销售团队来获取更多的信息。

2.3 功率 MOSFET 单次雪崩事件的理解

研究人员和行业上已经制定了一个器件的单次雪崩的能力（参见 Ref. 1，Ref. 2 和 Ref. 3）。用下面图 2-1 展示的简单的 UIS 电路来进行测试。

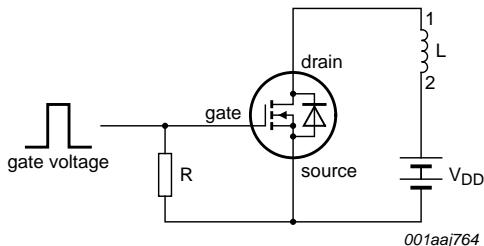


图 2-1. 用于评估 MOSFET 强度的 UIS 负载的测试电路

2.3.1 单次 UIS 工作

如图 2-2 那样，在栅极提供一个电压脉冲来导通 MOSFET，负载电流根据电感量 L 和漏极电压 V_{dd} 开始爬升。图 2-3 和图 2-4 就展示了这种现象。在栅极电压脉冲结束的时候，MOSFET 被迫关闭。电感中的电流继续流过，这就引起 MOSFET 两端的电压迅速上升。这个过电压被钳在了击穿电压 V_{BR} ，一直持续到电流下降到 0，正如图 2-3 中展示的那样。通常， V_{BR} 是：

$$(公式 1) \quad V_{BR} \approx 1.3 \times V_{(BR)DSS}$$

在 MOSFET 关闭之前流过的峰值电流就是 UIS 事件的漏极源极雪崩电流 $I_{DS(AL)S}$ 。在图 2-4 中就阐述了 $I_{DS(AL)S}$ 。下面的表达式就决定了与电感值有关系的雪崩电流衰减的速率。

$$(公式 2) \quad \frac{dI_{DS(AL)S}}{dt_{AL}} = -\frac{V_{BR} - V_{DD}}{L}$$

图 2-5 展示了 MOSFET 中的最大的漏极源极间雪崩功率损耗。它是由击穿电压 V_{BR} 和非重复性的漏极源极间雪崩电流 $I_{DS(AL)S}$ 共同作用的结果。参见图 2-3 和图 2-4。雪崩能量损耗是在平均功率 P_{av} 之下的，可以用下面的公式进行估算：

$$(公式 3) E_{DS(AL)S} = \frac{P_{DS(AL)M} \times t_{AL}}{2}$$

或者

$$(公式 4) E_{DS(AL)S} = \frac{1}{2} \cdot \frac{V_{BR}}{V_{BR} - V_{DD}} \cdot L I_{DS(AL)S}^2$$

另外一个 MOSFET 雪崩事件中的关键参数是结点温度。在雪崩事件 τ 开始之后，下面的公式就可以用来决定在给定的时间内雪崩事件内瞬时的结点温度的变化：

$$(公式 5) \Delta T_j(\tau) = \int_0^\tau P_{AV}(t) \frac{dZ_{th}(\tau-t)}{dt} dt$$

这里的 Z_{th} 是功率 MOSFET 的瞬时热阻抗，或者用以下的公式近似表达 ΔT_j 的最大值：

$$(公式 6) \Delta T_{j(max)} \approx \frac{2}{3} P_{DS(AL)M} Z_{th(t_{AL}/2)}$$

假设 $T_{j(max)}$ 发生在 $t_{AL}/2$ ， $Z_{th(t_{AL}/2)}$ 是雪崩事件一半时间时的热阻抗测量值。

因此由于雪崩事件导致的最大结点温度是：

$$(公式 7) T_{j(max)} \approx \Delta T_{j(max)} + T_j$$

这里的 T_j 是 MOSFET 关闭之前的结点温度。

2.3.1.1 单次 UIS 波形

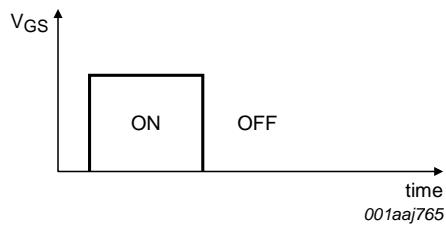
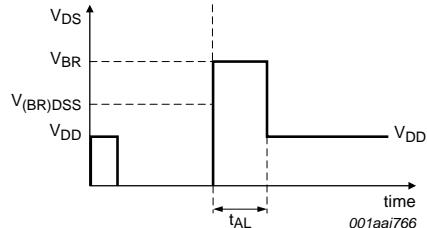
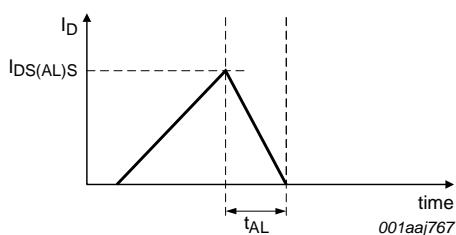
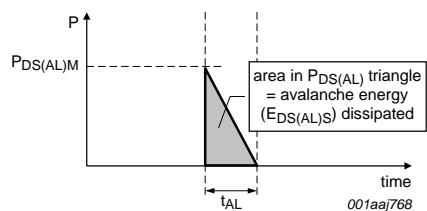
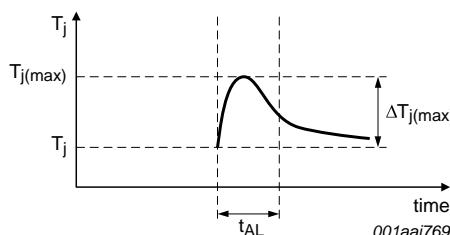
图 2-2. 栅极源极电压 V_{GS} 图 2-3. 漏极源极间电压 V_{DS} 图 2-4. 漏极电流 I_D 图 2-5. 漏极源极间雪崩功率峰值 $P_{DS(AL)M}$ 

图 2-6. 在一次雪崩事件期间 MOSFET 的瞬时结点温度曲线

2.3.2 单次雪崩强度限值

MOSFET 的单次雪崩事件的失效机理是由于结点温度超过了最大温度限值。在这种情况下, MOSFET 会产生灾难性的损坏。如图 2-6 中, 如由雪崩事件导致的瞬时温度超过了推荐的限值, 器件的风险增高。为了达到最佳的稳定性, 这里的限值是由最大温度降额而来。

Blackburn 已经在 Ref. 2 中详细地讨论了一个通常的方法来用合适的手段来量化器件单次雪崩能力。他把雪崩电流和初始结点温度纳入考虑。用允许的最大雪崩电流和初始结点温度的关系来定义器件的单次 UIS 事件的安全工作范围。允许的最大雪崩电流设定后, 就导致安全工作的最大结点温度 175 °C 永远也不会超出。图 2-7 就是用公式 7 绘制出的。

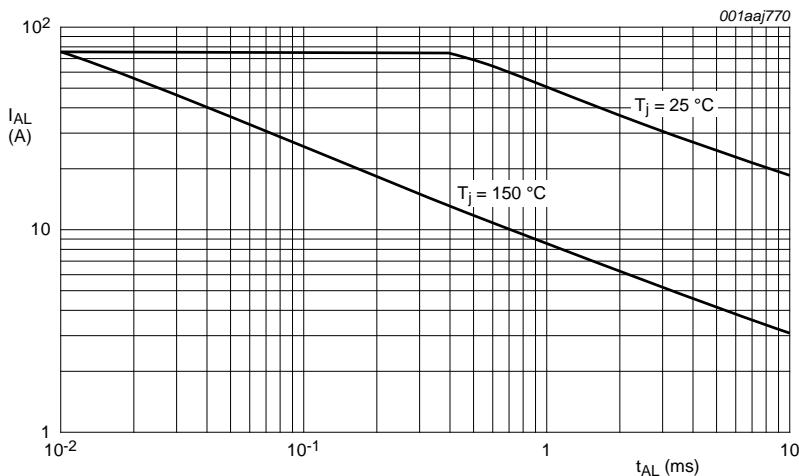


图 2-7. 最大结点温度为 175 °C 的 BUK764R0-55B 的单次雪崩强度安全工作区域 (SOAR) 曲线

图 2-7 中的 SOAR 曲线展示了器件单次雪崩的能力。结点温度为 25 °C 的曲线表明了 T_j 初始为 25 °C, 在给定的 t_{AL} 下, 最大允许的 $I_{DS(AL)S}$ 。最大的 I_{AL} 导致了允许的最大结点温度 $T_{j(max)}$ 175 °C, 也就是说有 150 °C 的 $\Delta T_{j(max)}$ 。

在 SOAR 曲线下面的区域是安全工作区域 SOAR。同样地, 150 °C 的结点温度曲线是针对初始 T_j 为 150 °C 时的最大工作限值。在 $\Delta T_{j(max)}$ 为 25 °C 时引起的最大 $I_{DS(AL)S}$ 会导致 T_j 上升到最大 175 °C。再次强调曲线以下才是 SOAR。

导致器件灾难性的雪崩失效时的最大结点温度大约为 380 °C, 远远超过了限定的结点温度 175 °C。然而使器件长期工作在限值 $T_{j(max)}$ 以外, 会造成有害影响, 是不推荐这样使用的。

2.4 功率 MOSFET 重复雪崩事件的理解

正如之前讨论过的, 重复雪崩是指工作中包含重复单次雪崩事件。直到近年来, 大多数厂商都避免提供与功率 MOSFET 重复雪崩能力有关的数据。这主要是由于这种工作情况的复杂性和以及识别此种工况下元器件物理衰减过程的难度而决定的。

由于雪崩事件具有创伤的性质, 重复雪崩工作可能会是对 MOSFET 有害的。即使出现了一个低于单次 UIS 限值的个别雪崩事件也是有害的。这种工作引入了额外的参数, 如频率, 占空比和雪崩事件中的热阻抗。然而降低单次限值来定义多次重复雪崩的 SOAR 是可以实现的。

2.4.1 重复 UIS 工作

图 2-1 中展示了重复的UIS工作的测试电路。提供给栅极的是如图 2-8 所示的频率和占空比的一串电压脉冲。导致器件的击穿电压 V_{BR} 和流过负载的漏极电流 I_D 和单次 UIS 是一样的。此时的 I_D 是由漏极和源极的重复雪崩电流 $I_{DS(AL)R}$ 决定的，详见图 2-9。

图 2-10 展示了由重复 UIS 工作导致的漏极源极间雪崩功率 $P_{DS(AL)R}$ 。要想找到 $P_{DS(AL)R}$ 的值，要先用公式 3 来计算单次雪崩事件的能量 $E_{DS(AL)S}$ 。然后将 $E_{DS(AL)S}$ 带入到下面的表达式中来计算 $P_{DS(AL)R}$ 的值。

$$(公式 8) \quad P_{DS(AL)R} = E_{DS(AL)S} \times f$$

2.4.1.1 重复 UIS 波形

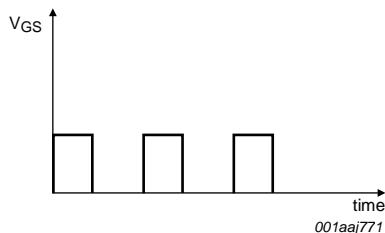


图 2-8. 栅极电压 V_{GS}

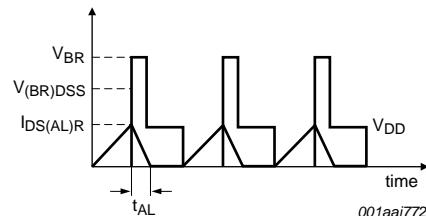


图 2-9. 漏极源极间电压 V_{DS} 和重复漏极源极间电流 $I_{DS(AL)R}$

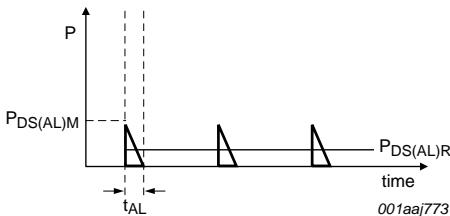


图 2-10. 重复漏极源极间功率 $P_{DS(AL)R}$



图 2-11. 在重复雪崩事件中 MOSFET 瞬时结点温度

2.4.2 器件的温度

功率 MOSFET 在重复雪崩模式下的温升展示在图 2-11 中。 $T_{j(init)}$ 温度是由焊接衬底温度 T_{mb} 和导通时产生的温升 ΔT_{on} 组成的。

$$(公式 9) \quad T_{j(init)} = T_{mb} + \Delta T_{on}$$

另外还存在一个稳定的由平均重复雪崩功率损耗导致的温升 ΔT_j 。

$$(公式 10) \quad \Delta T_j = P_{DS(AL)R} \times R_{th(j-a)}$$

这里的 $R_{th(j-a)}$ 是指应用中的器件的结点到环境的热阻。如果把公式 9 和 10 结合在一起就得出了平均结点温度 $T_{j(AV)}$ 。

$$(公式 11) \quad T_{j(AV)} = T_{j(init)} + \Delta T_j$$

2.5 重复雪崩强度限值

通过广泛地研究, 清楚地发现当雪崩发生时不止存在一种失效或是损坏模式。对于重复雪崩工作, 温度并不是唯一的限制因素。然而, 通过限定温度和重复的雪崩电流, 可以定义出安全的使用环境, 使得器件不会出现退化。这样的话也就相当于允许器件在重复 UIS 条件下工作。

图 2-12 展示了 BUK764R0-55B 的单次和重复雪崩 SOAR 曲线, 这里的 Rep. Ava 代表重复雪崩 SOAR 曲线。

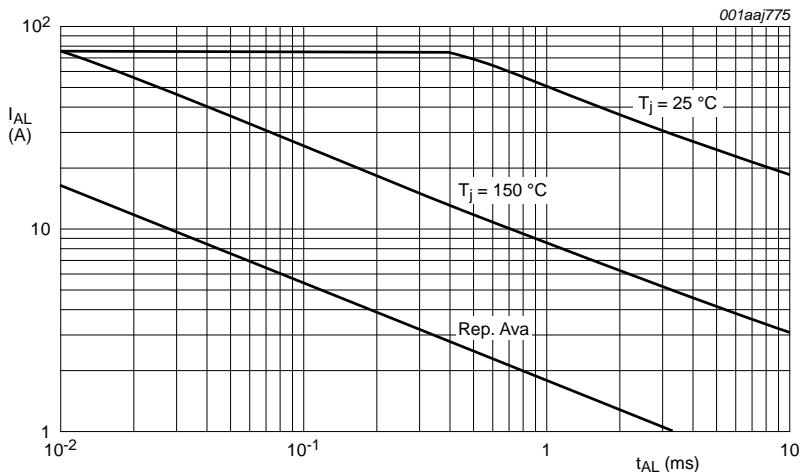


图 2-12. 分别展示了限定 $T_{j(max)}$ 为 175 和 $T_{j(av)}$ 为 170 时的 BUK764R0-55B 的单次和重复雪崩 SOAR 曲线。

器件要想安全地工作在雪崩模式下，必须要满足下面的两个条件：

1. $I_{DS(AL)S}$ 不能超过重复雪崩 SOAR 曲线。
2. $T_{j(av)}$ 不能超过 170 $^\circ\text{C}$ 。

2.6 结论

对于功率 MOSFET 能够承受单次和重复雪崩事件，本章节提供了简单的设计原则和安全工作区域 SOAR。

2.7 示例

用下面的应用例子来检测雪崩工作的情况是否可以接受。

2.7.1 单次雪崩案例

- 器件为 BUK764R0-55B，详见图 2-12
- $L = 2 \text{ mH}$
- $I_{DS(AL)S} = 40 \text{ A}$
- $R_{th(j-a)} = 5 \text{ K/W}$
- $V_{(BR)DSS} = 55 \text{ V}$
- $V_{DD} = 0 \text{ V}$

2.7.1.1 计算步骤

1. 基于以上信息，可以用公式 2 来计算出 $t_{AL} = 1.11 \text{ ms}$ 。在图 2-12 中对应出 I_{AL} 和 t_{AL} 的工作点，该点在 $T_j = 25^\circ\text{C}$ 和 $T_j = 150^\circ\text{C}$ 的两条 SOAR 曲线之间 $T_j = 25^\circ\text{C}$ 和 $T_j = 150^\circ\text{C}$ 的两条 SOAR 曲线之间。这表明我们的这个应用是可行的。
2. 进一步检验，数据手册中的 $Z_{th(556 \mu s)}$ 大概为 0.065 K/W ，利用公式 6 计算出结点温升 $\Delta T_{j(max)}$ 为 124.8°C 。

基于以上的计算，如果器件的结点起始温度小于 50°C ，那么这样的应用条件就是可以接受的。

2.7.2 重复雪崩案例

- 器件为 BUK764R0-55B，详见图 2-12
- $L = 0.5 \text{ mH}$
- $I_{DS(AL)R} = 6 \text{ A}$
- $f = 3 \text{ kHz}$
- $R_{th(j-a)} = 5 \text{ K/W}$
- $T_o = 100^\circ\text{C}$
- $V_{(BR)DSS} = 55 \text{ V}$
- $V_{DD} = 0 \text{ V}$

2.7.2.1 计算步骤

1. 将以上信息带入公式 2 中, 得到 t_{AL} 约为 0.042 ms。在图 2-12 中找到对应的 I_{AL} 和 t_{AL} 的工作点, 落在了“Rep. Ava” SOAR 曲线限界以下。这就表明这个应用条件是有可能被接受的, 满足条件 1。
2. 用公式 3 计算非重复漏极源极间的雪崩能量 $E_{DS(AL)S} = 9 \text{ mJ}$ 。
3. 用公式 8 计算重复漏极源极雪崩功率 $P_{DS(AL)R} = 27 \text{ W}$ 。
4. 用公式 10 计算重复雪崩的温升 $\Delta T_j = 135 \text{ }^\circ\text{C}$ 。
5. 用公式 11 计算出在重复雪崩工作中结点的平均最高温度 $T_{j(AV)} = 235 \text{ }^\circ\text{C}$, 所以条件 2 没有满足。

基于以上的计算, 这个应用可以满足安全重复雪崩的工作的第一个条件, 但是不能满足条件 2, 因为 $T_{j(AV)}$ 已经超过了 170 $^\circ\text{C}$ 。

要想让此应用可以进行, 设计者必须要减小 $T_{j(AV)}$ 来满足条件 2。可以通过提高器件的散热性能, 减小热阻到 2.5 K/W, 这样 $T_{j(AV)} = 167.5 \text{ }^\circ\text{C}$, 就满足了安全工作的条件 2。

2.8 参考文献

- [1] **Turn-Off Failure of Power MOSFETs** - D.L. Blackburn, Proc. 1985 IEEE Power Electronics Specialists Conference, pages 429 to 435, June 1985.
- [2] **Power MOSFET failure revisited** - D.L. Blackburn, Proc. 1988 IEEE Power Electronics Specialists Conference, pages 681 to 688, April 1988.
- [3] **Boundary of power-MOSFET, unclamped inductive-switching (UIS), avalanche-current capability** - Rodney R. Stoltenburg, Proc. 1989 Applied Power Electronics Conference, pages 359 to 364, March 1989.

第三章: RC 热阻模型的使用

应用笔记: AN11261

第三章: RC 热阻模型的使用

(应用笔记 AN11261)

3.1 介绍

电阻和电容的网络可以用于建立一个 RC 热阻模型。这个模型表示了在 SPICE 环境下的 MOSFET 的热性能。本章提供了原理背后的一些基本理论和怎样应用建立的模型。我们也描述了几种利用 RC 热阻模型的方法和工作实例。

3.2 热阻抗

如图 3-1, RC 模型是来源于热阻抗 Z_{th} 。这个图展示了器件在瞬时功率脉冲下的热性能。可以通过施加逐步变化的功率脉冲, 测量器件上的功率损耗, 从而得到对应的 Z_{th} 。

一个器件如果承受了 $> 1s$ 的功率脉冲, 稳定状态, 已经达到了热平衡, 那么 Z_{th} 平台就变成了 R_{th} 。 Z_{th} 表明了材料具有热惰性的事实。热惰性是指温度并不是立刻变化的。导致的结果就是器件能够在较短的时间内承受相当大的功率。图 3-1 中的 Z_{th} 曲线是针对于不同占空比的重复脉冲。同时曲线也说明了由于有效功耗产生的有效温升。

为了支持这一观点, 表格 3-1 中已经列出了 BUK7YR6-40E 数据手册中的结点到焊接衬底的热阻 $R_{th(j-mb)}$ 。图 3-1 中的 Z_{th} 曲线也是来自于 BUK7YR6-40E 的数据手册。

表 3-1. 稳定状态下的 BUK7YR6-40E 的热阻抗

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$R_{th(j\text{-mb})}$	thermal resistance from junction to mounting base	see Figure 1	-	-	1.58	K/W

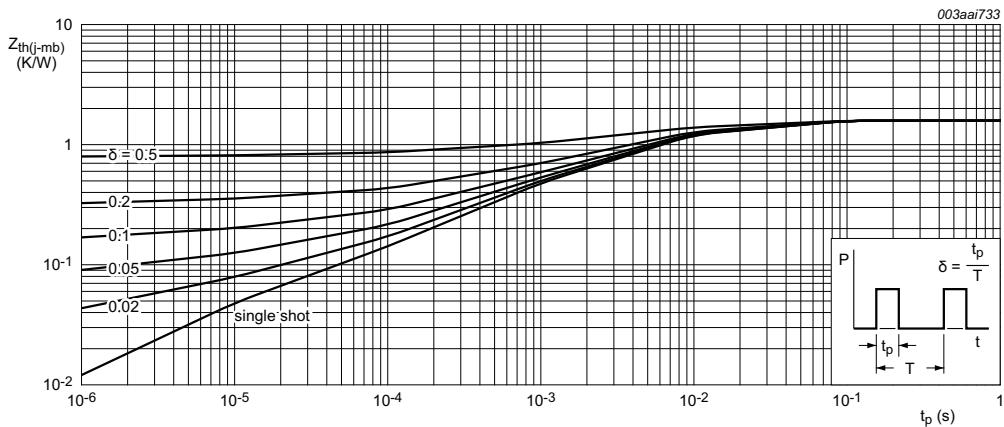


图 3-1. BUK7YR6-40E 的结点到焊接衬底的瞬时热阻抗与脉冲宽度的函数关系

3.3 结点温升计算

要想计算功率 MOSFET 内部结点的温升，我们必须要知道器件功率和作用到器件的脉冲宽度。如果功率脉冲是方波，那么就可以从 Z_{th} 表格中读出热阻抗的值，这个 Z_{th} 和功率就会产生结点的温度上升。

如果器件功率是恒定的，就可以用稳定状态下的热阻抗 R_{th} 。同样地，温升是功率和 R_{th} 的产乘积。

如果是瞬时的正弦曲线或脉冲，MOSFET 的结点温升的计算就变得复杂了。

计算 T_j 的正确方法是利用卷积积分。下面的计算利用了功率对时间的函数和 Z_{th} 曲线对时间的函数。在 Ref. 2 可以看到用卷积积分产生的温度图形。

$$(公式 1) \quad T_{j(rise)} = \int_0^{\tau} P(t) \cdot \frac{d}{dt} Z_{th}(\tau - t) dt$$

然而在这个公式里面困难的是 $Z_{th(\tau-t)}$ 并没有用数学方法定义清楚。

一种替代的方法是把波形近似成一系列的矩形脉冲，然后叠加在一起。

虽然这种方法相对简单，但是也存在自己的缺点。越复杂的波形，如果想更精确就需要叠加更多的矩形波。为了表达 Z_{th} 与时间的函数关系，利用热的电气分析表达一系列的 RC 方程或是 RC 阶梯。可以在 SPICE 环境中表示 Z_{th} 来更容易地计算结点温度值。

3.4 热和电气参数间的关系

表 2 总结了热性能和电气参数的比较。如果半导体器件的热阻和热容是已知的，那么分别可以用电阻和电容来表示他们。把电流当作功率，电压当作温差，这样热网络就可以简化成一个电路网络。

表 3-2. 基本参数

Type	Resistance	Potential	Energy	Capacitance
Electrical (R = V/I)	R = resistance (Ohms)	V = PD (Volts)	I = current (Amps)	C = capacitance (Farads)
Thermal (R _{th} = K/W)	R _{th} = thermal resistance (K/W)	K = temperature difference (Kelvin)	W = dissipated power (Watts)	C _{th} = thermal capacitance (thermal mass)

3.4 RC 热模型的建立

我们要讨论的 RC 热模型是 Foster 模型。这些模型是通过经验拟合 Z_{th} 曲线而得出的，图 3-2 就是一个一维的 RC 网络。Foster 模型中的 RC 值并不取决于器件在网络中的几何位置。因此这些值并不能通过器件材料计算得到，而是要用其他的模型技术。最后建立的模型也是不能被分割或是互相连接使用的，如在 RC 网络中加入散热焊盘。

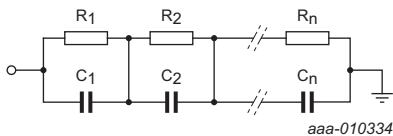


图 3-2. Foster 的 RC 热模型

Foster 热模型可以简单地表达成如 3.2 章所介绍的热阻抗 Z_{th}。例如通过测量加热和冷却的曲线就可以产生 Z_{th} 曲线。公式 (2) 就可以应用与产生图 3-3 中的拟合曲线：

$$(公式 2) \quad Z_{th(t)} = \sum_{i=1}^n R_i * \left[1 - \exp\left(-\frac{t}{\tau_i}\right) \right]$$

$$(公式 3) \quad \text{Where: } \tau_i = R_i * C_i$$

模型中的 R_i 和 C_i 是图 3-2 中描绘的逐步建立起来的热模型中的热阻和热容。在分析表达式中的参数，可以应用最小二乘拟合算法来进行优化，直到对时间的响应符合瞬时系统的反应。这就允许工程师可以对具有复杂功率状况的器件进行一个瞬时影响的快速计算。

独特的表达式，“i”，同时也存在于电容充电公式中。图 3-3 展示了 R_i 和 C_i 怎样共同联合产生了 Z_{th} 。

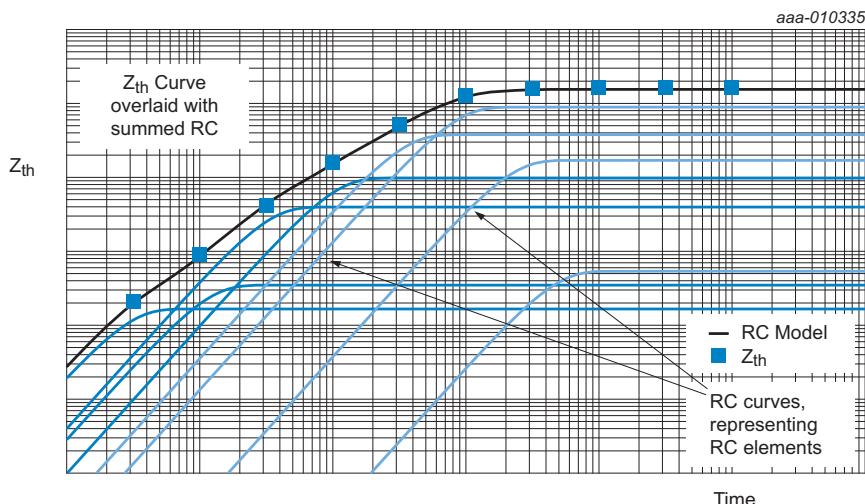


图 3-3. Foster RC 热模型

对于 NEXPERIA 大部分的汽车等级的功率 MOSFET 产品都提供了 Foster RC 热模型。可以通过图 3-4 中展示的方法来找到热模型，详见图 3-4。

The screenshot shows the NEXPERIA website for the BUK7Y7R6-40E MOSFET. At the top, there's a navigation bar with 'SEARCH', 'Products', 'Applications', 'Support', and 'About'. Below the navigation, the product name 'BUK7Y7R6-40E' is displayed along with a small image of the MOSFET chip. The main content area includes a brief description of the product: 'N-channel 40 V, 7.6 mΩ standard level MOSFET in LFPAK56'. Below this, there are two buttons: 'Download Datasheet' and 'Buy Online'. Further down, there are tabs for 'Product Details', 'Documentation' (which is underlined and circled in red), 'Support', and 'Ordering'. The 'Documentation' section lists 17 items, each with a file name, title, type, and date. One specific item, 'BUK7Y7R6-40E_RC_Thermal_Model', is highlighted with a red circle and a red arrow pointing to it from below.

File name	Title	Type	Date
BUK7Y7R6-40E	N-channel TrenchMOS standard level FET	Data sheet	2013-05-07
AN10123	Power MOSFET single-shot and repetitive avalanche ruggedness rating	Application note	2015-12-10
AN10874	LFPAK MOSFET thermal design guide	Application note	2011-01-27
AN11113	LFPAK MOSFET thermal design guide - Part 2	Application note	2011-11-16
AN11158	Understanding power MOSFET data sheet parameters	Application note	2014-02-04
AN11160	Designing I _C C Snubbers	Application note	2012-10-01
AN11156	Using Power MOSFET ZtH Curves	Application note	2012-10-10
AN11243	Failure signature of Electrical Overstress on Power MOSFETs	Application note	2012-10-29
AN11261	Using RC Thermal Models	Application note	2014-05-19
AN11192	Using power MOSFETs in parallel	Application note	2016-07-13
R_10067	High Efficiency HVAC blower motor control	Report	2016-04-14
ZS017631	Discrete Semiconductors Selection Guide 2016	Selection guide	2016-02-16
BUK7Y7R6-40E	BUK7Y7R6-40E Spice model	SPICE model	2013-02-21
TN00508	Power MOSFET Frequently asked questions and answers	Technical note	2016-10-31
BUK7Y7R6-40E_RC_Thermal_Model	BUK7Y7R6-40E Thermal design model	Thermal designs	2013-02-24
BUK7Y7R6-40E	BUK7Y7R6-40E Thermal model	Thermal model	2013-02-25
SGT166	plastic, single-ended surface-mounted package; 4 terminals; 4.9 mm x 4.45 mm x 1 mm body	Outline drawing	2017-01-31

图 3-4. NEXPERIA RC 热模型文件

3.6 热仿真示例

3.6.1 示例1

RC 热模型是从热阻抗 Z_{th} 曲线生成出来的。这个例子展示了怎样利用 SPICE 仿真软件将 RC 模型绘制出一条 Z_{th} 曲线。这会让你从数据手册中更容易地读出热阻抗值。

本例和以后的例子都是利用 BUK7Y7R6-40E 的 RC 热模型。 T_{mb} 代表焊接衬底的温度。它被处理成等温线，在本例中设定为 0 °C。如图 3-5 中的脉冲，是消耗在 MOSFET 上 1 W 功率的单次脉冲。对于单次脉冲，脉冲之间的时间是无限长的，因此占空比 $\delta = 0$ 。结点温度 T_j 代表了瞬时热阻抗 Z_{th} 。

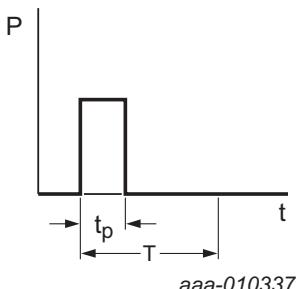


图 3-5. 单次脉冲

公式 4 和公式 5 展示了在这个仿真中，为什么 T_j 可以用来代表瞬时热阻抗 Z_{th} 。

$$T_{mb} = 0 \text{ } ^\circ\text{C}$$

$$P = 1 \text{ W}$$

$$(公式 4) \quad T_j = T_{mb} + \Delta T = 0 \text{ } ^\circ\text{C} + \Delta T = \Delta T$$

$$(公式 5) \quad \Delta T = P * Z_{th} = 1 \text{ W} * Z_{th}$$

公式 5 表明了当 $P = 1 \text{ W}$ 时, 热阻抗 Z_{th} 的数量级和 ΔT 相等。

下面的步骤是用来建立和运行仿真的:

1. 在 SPICE 中建立如图 3-6 的 BUK7Y7R6-40E 的 RC 热模型。
2. 设定电压源 V_{mb} 的值为 0, 也就是 T_{mb} 的值。
3. 设定电流源的值 I_1 为 1。
4. 新建一个仿真并设定运行时间为 1 s。
5. 运行仿真。
6. 绘制出 T_j 点的电压波形。

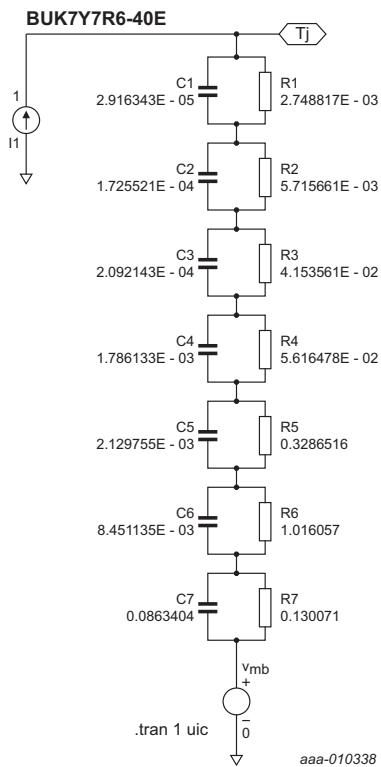


图 3-6. SPICE 软件环境中建立的 BUK7Y7R6-40E 热模型

图 3-7 中的仿真结果展示了结点的温度 (T_j 点的电压)，也是 BUK7Y7R6-40E 的热阻抗值。可以利用 SPICE 软件中的标尺功能来读出不同时间下的热阻抗 Z_{th} 。

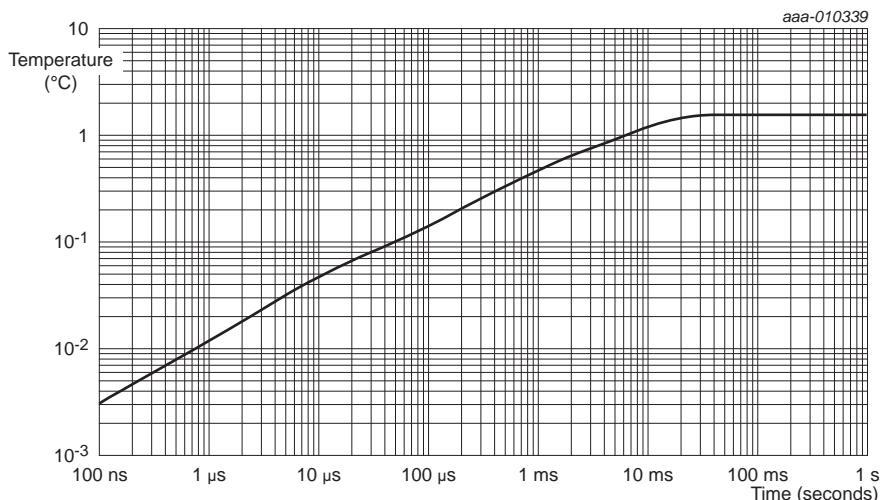


图 3-7. 仿真之后的 T_j 曲线

在这个例子中的电流源设定为 1 A 来代表器件承载 1 W 的功率。这就可以很容易的改变电流源的值来代表任意的功率。通过仿真命令，可以更改成任意时间段来表示方波脉冲的范围。

3.6.2 示例 2

产生功率分布曲线的另一个方法是采用实际电路中的测量值。功率测量值可以通过总结观察到的点变化或是从示波器捕捉到的波形中获得，并可以与对应时间参数保存以 csv 格式文件，然后导入 SPICE 仿真软件中。

这里也提到了两个其他的产生功率分布的方法。一个是用 PWL 文件。另一个是用 SPICE 中 MOSFET 的电路模型产生的功率。前者方法只是画出了轮廓。

PWL 文件可以用于 SPICE 仿真的源中。表 3 就是标准的 PWL 文件的内容。它可以列出电流，电压或像本例中的功率，与时间参数的对应值。在一个 excel 表中输入这些值并保存成 csv 格式的文件，就可以产生这样的 PWL 文件，或者是将示波器捕捉到的波形输出成 csv 格式文件，实际的文件中不应该包含任何列的标题。

按照 3.6.1 章中的示例 1 描述的相同的步骤，在 SPICE 环境中来执行这个过程。但是有些地方除外：

- 1) 设定电流源属性，指定其从 PWL 文件读取数值，并指向一个 csv 文件，如本例表 3 中，包含了功率分布的 csv, C:\Pulse file\filepulse.csv
- 2) 设定焊接衬底 T_{mb} (V_{mb}) 为 125 °C。
- 3) 设定仿真时间为 3.5 s。

表 3-3. 用在 PWL 文件中的数据示例

Time (seconds)	Power (Watts)
0	0
0.000001	30
0.015	30
0.015000001	6
1.1	6
1.100001	6
1.100002	20
1.5	20
1.500002	20
1.500003	0
1.6	0
1.600001	20
1.615	20
1.615001	6
2.9	6
2.900001	0
3	0
3.000001	30
3.015	30
3.015001	6

仿真结果展示在图 3-9 中。同时标示出了结点温度和热阻抗值。从图中可以看出，在 3 ms 下的热阻抗 Z_{th} 值和 R_{th} 值，是和图 3-10 中是一致的。它同时表示了 BUK7Y7R6-40E 数据手册中的热阻抗波形。

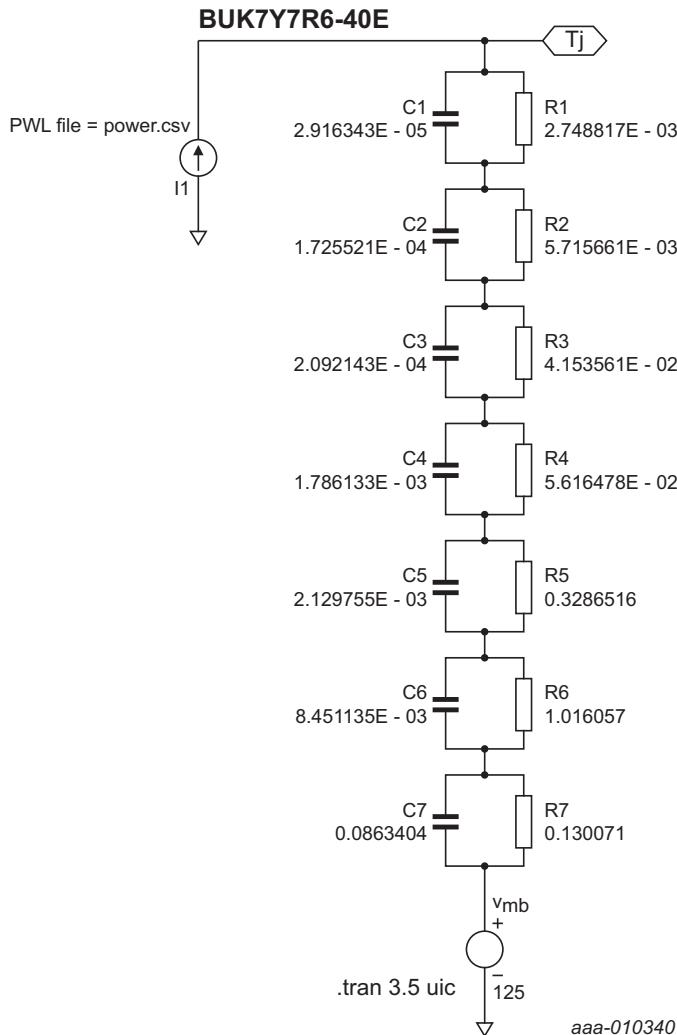


图 3-8. 基于 BUK7Y7R6-40E 热模型的 SPICE 电路，执行 PWL 文件

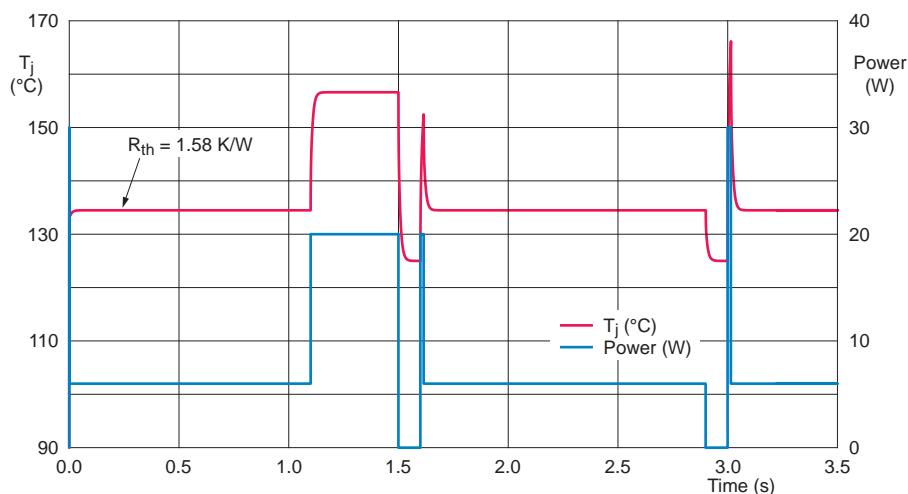


图 3-9a. 仿真结果

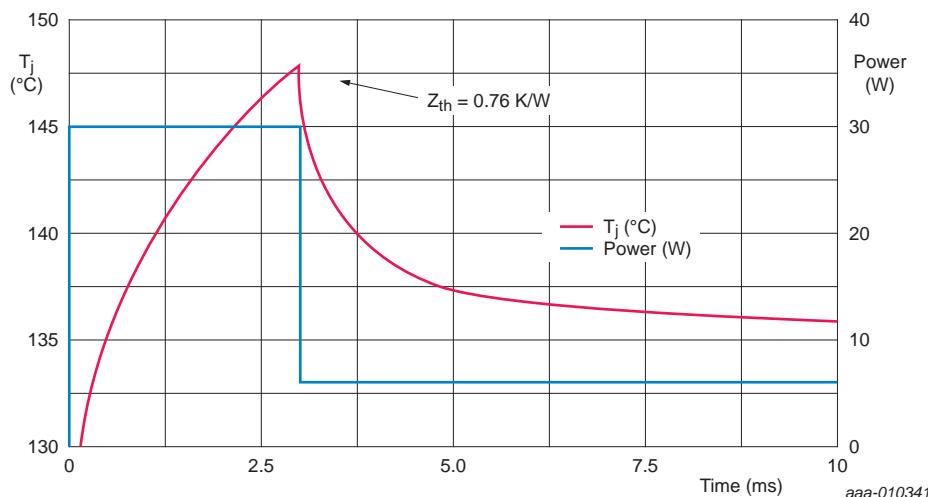
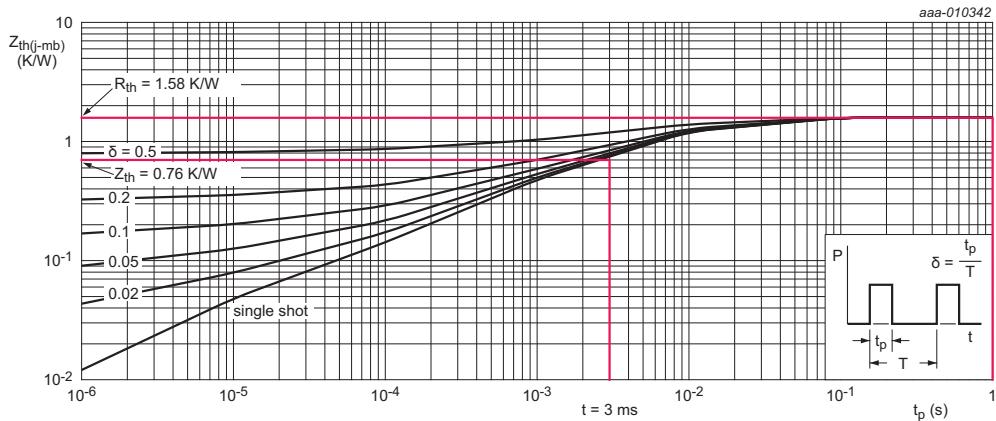


图 3-9b. 减小 a 的时间轴来展示第一个功率脉冲



在图 3-9 中展示的热阻和热阻抗值已经用红线在图 3-10 中标注出。

图 3-10. BUK7Y7R6-40E 的瞬时热阻抗

3.6.3 示例 3

这个例子是用来展示怎样用 MOSFET 电路产生的功率分布进行热仿真。

按照 3.6.1 章中的步骤，建立 BUK7Y7R6-40E 的热模型，然后设定焊接衬底的温度为 85 °C。

搭建出如图 3-11 的 MOSFET 电路，并设定电流源的功率值。供电电压为 14 V，负载电阻为 0.1 Ω。栅极驱动电压设定为 10 V。设定为运行 50 个循环，1 ms 的周期和 50 % 的占空比。

可以用公式 (6) 来计算得 MOSFET 的功率损耗，或者用公式 (7)，将栅极电流考虑进去，提高功率损耗计算的精度。

$$(公式 6) \quad P = V_{ds} * I_d$$

用下面的公式来提高计算精度：

$$(公式 7) \quad P = V_{ds} * I_d + V_{gs} * I_g$$

现在就可以将热模型中的电流源定义成:

$$(公式 8) I = V_{(d)} * I(V_d) + V_{(g)} * I(V_g)$$

图 3-11 展示了电路和热模型电路之间的联系。

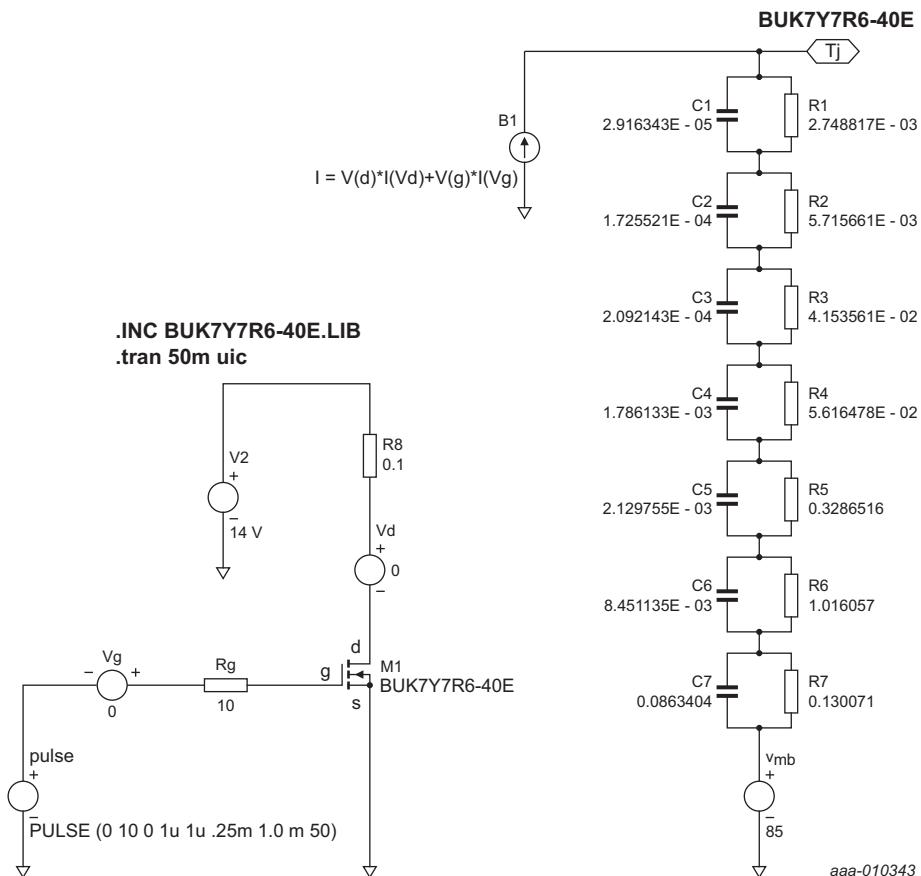


图 3-11. SPICE 电路阐述了怎样将电路和热模型结合在一起

图 3-12 展示了仿真出的 T_j 结果。最大结点温度值，还可以根据数据手册中的值，按照 Ref. 1 的步骤计算得到。

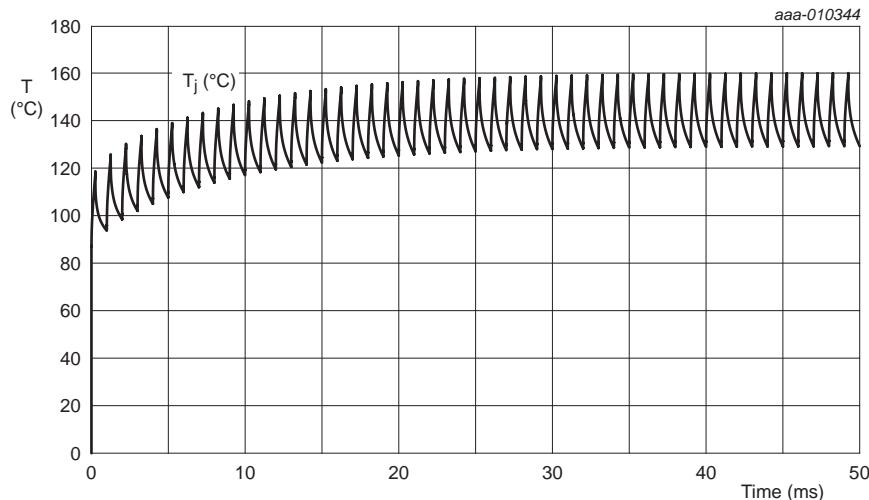


图 3-12. 利用图 3-11 中提供的电路，推断出的结点温度 T_j 上升

3.7 讨论

RC 热模型并不是完美的，构成半导体的材料的材质是具有温度特性，这也意味着热阻也是一个依赖温度的参数。而在欧姆定律中，电阻是不随电压变化的常数，所以相应的电和热的参数并不是完全对称一致的，但至少给热仿真建立了一个良好的基础。

在功率电气系统中，硅的热阻值相当于总阻抗的 2 % 到 5 %。由于热依赖性导致的误差相对来讲是相当小的，所以在大多数情况下是可以忽略不计的。为了获得更基准的分析，在 RC 模型中可以用压敏电阻来替代无源电阻。对于这些电阻，温度的变化会反应到电压的变化。

在以上模型中，另一个限制条件时 MOSFET 的焊接衬底 T_{mb} 设定成了恒定的，只有在极少数的应用中会考虑 T_{mb} 温升。这个温升是通过计算由焊接衬底到周围温度间的平均功率导致的温度得来的。当脉冲大于 1 s 时，热量开始从 MOSFET 本身传递到周围环境中，意味着这种情况超出了热模型的使用范围。在这种情形中，必须要将 MOSFET, PCB, 散热片以及其他材料的热模型考虑进来，然而这些部分还不能纳入到建立的 RC 模型中。

3.8 总结

NEXPERIA 的网页上是有 NEXPERIA 功率 MOSFET 的 RC 热模型的。可以将这个模型用在 SPICE 或者其他仿真软件中来模拟结点温升。这就给做热设计的工程师提供了一个快速，简单和高精度的方法。

3.8 参考文献

- [1] Application note AN11156 – “Using Power MOSFET Z_{th} Curves” . Nexpria
- [2] Application note AN10273 (Chapter 2 of this book) – “Power MOSFET single-shot and repetitive avalanche ruggedness rating” . Nexpria
- [3] Combination of Thermal Subsystems Modeled by Rapid Circuit Transformation. Y.C. Gerstenmaier, W. Kiffe, and G. Wachutka

第四章: 基于 LFPAK 封装的 MOSFET 热设计 - 第一部分

应用笔记: AN10874

第四章: 基于 LFPAK 封装的 MOSFET 热设计 — 第一部分

(应用笔记 AN10874)

4.1 介绍

4.1.1 热分析的需求

在当今电路设计中功率 MOSFET 是比较常见的器件，经常被用在多种开关电路中，根据不同的应用，电流值可以从几个 mA 到几十个 A。功率 MOSFET 受欢迎的原因是相比于双极型系列，功率 MOSFET 系列产品更容易驱动，而且现在还具有多种封装、电压和导通阻抗 $R_{DS(on)}$ 的 MOSFET 可供选择。

当然 MOSFET 并不是完美的开关器件，也不是不可损坏的，电路设计者必须要意识到下面关于热方面的一些条件：

- 当 MOSFET 完全导通时，将产生 $I^2 R_{DS(on)}$ 的功率损耗（这里的 $R_{DS(on)}$ 是指器件导通时的阻抗）。
- $I^2 R_{DS(on)}$ 的功率损耗将在器件内部和外部引起温升。
- MOSFET 器件可能因温度过高而损坏或损毁。

当设计 MOSFET 电路时，热的方面是一个重要的关注点，尤其是在一些工作在较高的环境温度的应用中，因为如果想让 MOSFET 工作在规范的性能指标内，那么大多数的器件的结点温度 T_j 都要保持在 175 °C 以下。同时也要记住贴片的 MOSFET 的 PCB 的温度限值是 120 °C。MOSFET 将把 PCB 作为首要的散热方法，器件的功率损耗也会引起 PCB 温度的上升，所以要注意将 PCB 的温度保持在可承受的限值之内。

4.1.2 MOSFET 的热阻 R_{th} 参数及限值

为了提供衡量器件热性能的测量方法，按照行业惯例的 MOSFET 的数据手册都会展示热阻 R_{th} 的图表。“热阻”的概念类似于电阻的概念，在许多关于热管理的文字中都有所描述。

在数据手册中有两个最普通的 MOSFET 热阻值：

$R_{th(j-a)}$: 指器件结点 (die) 到周围环境的热阻。该热阻值为单一热阻值，为所有可能从结点到环境的串联和并联路径的有效效应。一般可能涉及直接来自器件封装表面及经由器件焊点处的 PCB 的热耗路径。

$R_{th(j-mb)}$: 指器件结点到焊接衬底的热阻。焊接衬底通常定义为焊接到 PCB 的点，也是唯一首要的热传导路径。

测量器件热阻图表的条件和方法已经在 JESD51 标准上介绍了，这个标准非常准确地描述了怎样执行测试。因此有些设计者可能认为这些热阻值能满足系统热分析的需要，但不幸的是并非如此，原因如下：

- $R_{th(j-a)}$ 受 PCB 结构和走线的影响很大，而在标准 JESD51 中定义的 PCB 并不能代表实际应用中的 PCB 类型。
- MOSFET 厂家在数据手册中提供的 $R_{th(j-a)}$ 参数值测量条件中，PCB 并没有遵守 JEDEC 的指导意见，而且经常使用隐晦的术语，不同的厂商之间也不一致。
- $R_{th(j-a)}$ 的测试方法未考虑到数个器件及其贴近地安装在同一个 PCB 上的情况（实际应用中的典型布置）。
- 热阻 $R_{th(j-mb)}$ 只是器件从结点到周围散热路径的一部分。

清楚以上信息后，就会发现手册中定义的热阻 $R_{th(j-a)}$ 和 $R_{th(j-mb)}$ 在现实电路和系统的热分析中的应用并不大。公平来讲，JEDEC 标准也并没有打算将 R_{th} 图表用作热设计或者系统分析，从下面 JESD51-2 的注释中可以看到。图表用作热设计或者系统分析。因为从下面的 JESD51-2 的注释中可以看到：

“文档的目的在于勾勒出必要的环境条件，以确保在自然对流的情况下，热阻 $R_{th(j-a)}$ 测量的精确性和可重复性。测量 $R_{th(j-a)}$ 的目的仅仅是为了在特定的环境下对不同封装的热性能比较。该方法不是为了预测也不会预测出特定应用环境下某封装的性能。”

但遗憾的是，尽管在 JEDEC 中已经有清晰的表述，但仍然有设计者试图用数据手册中的 R_{th} 来进行热设计和热分析。

4.1.3 本章的宗旨

现在已经知道数据手册中的 R_{th} 图表并不适合应用在现实电路的热分析中，那么很自然的会问，正确的方法是什么呢？不幸的是没有一个简单的热分析方法可以既适用于复杂的条件又可以提供较适合的精度。涉及到的传热机制都太复杂，有太多相互作用的热通路，以至于无法找到简单而有效的分析方法，一般来说，这种分析只有通过以下一种方法进行：

- 通过电脑仿真，重建场景。

或者

- 构建实际场景，通过实验进行评估。

前者的方法可以产生精确、快速的结果，但要花费昂贵的费用和操作软件的必要技能。后者方法要构建场景和测量代表模型，需要花费时间和费用。。

我们总结了第三种同样有用的方法，尤其是在 PCB 设计的早期，这样既可以把参考毫无用处的热阻值和完全基于原型模拟的仿真连接起来。本章将阐述对于一个典型的 PCB 设计可以应用不同的技术，目的是引导布线向最佳的热性能方向发展。下面是需要考虑的一些因素：

- PCB 的层叠
- 常见不同电路拓扑结构对 PCB 布局的影响
- PCB 的铜箔面积
- 散热过孔的影响
- 器件的摆放和间隔
- 单个 PCB 上多个功率器件的相互影响

文章的方法指出器件摆放的所有可能性和 PCB 的各种层叠情况。有一些工程师当要面临一些新的设计任务，却缺乏一些有用的信息时，有可能会问自己：我怎样才能确保器件工作在安全的温度下呢？本章的目的就是给这些工程师初步的指导。

最后，这个设计指南中包含的信息毫无疑问地只是作为一个起点。原型分析，在把设计转化为产品前，确定其热特性。

4.2 通用的热分析方法

4.2.1 热仿真软件的应用

为了允许对多个参数变量进行快速、灵活的分析，采用热仿真软件进行了本文件所述的热分析。仿真所用到的 MOSFET 模型是，已经通过实验数据验证过的，可以准确反映真实器件的热特性。

常用的热仿真软件是 Mentor Graphics (Flomerics) 公司的“Flotherm”。器件仿真模型可以从 NEXPERIA 网站上免费下载得到。

4.2.2 仿真设置

要考虑 PCB 有如下的通用特性:

- 设计中的 MOSFET 是贴片的，封装是 LFPAK 的。
- PCB 的层数是 1–4 层，但总的厚度为 1.6 mm。
- PCB 的材质是标准的 FR4，最大工作温度是 120 °C。
- 每层铜的厚度 1 oz./ft² (35 μm)。
- PCB 悬浮在自然空气中。

其他一些重要的因素:

- 环境温度是 20 °C。
- 仿真可以支持传导，对流和辐射三种热传递方式。
- 每个 MOSFET 的功率损耗为 0.5 W；
- 没有强迫施加空气冷却，只是自然空气的对流模式。

4.2.3 PCB 的布局和层叠

4.2.3.1 影响 PCB 的布局和层叠的因素

当对 PCB 进行 Layout 设计时，我们无法完全自由的选择如何放置器件和走线连接。通常情况，器件的摆放和走线连接需要反复协调多种因素。影响器件摆放的因素包括:

- 电路的拓扑结构。
- 电磁兼容性 EMC 的设计要求。
- 热性能的设计要求。
- 预先设定好的需要优先放置的特定器件，如连接器。
- 在特性区域内需要提供低电阻或是低电感的电流路径。

如果我们从热方面考虑 PCB 的设计, 为适应设计中的其他一些需求, 理想的 PCB 设计就要做出折中处理。

4.2.3.2 电路的拓扑结构

在影响 PCB 设计的因素中, 电路的拓扑结构是最不容易改变的。毕竟器件未以适当的形式连接在一起, 电路就无法实现预期的功能。电路结构同时也决定哪些 MOSFET 的端子连接到铜箔上, 这样就可以利用铜箔进行有效的散热。对于像 LFPAK 这样的表面贴装封装来说这点尤其重要, 因为在封装之外的主要散热通路是通过器件下面的漏极衬底。因此电路结构对热设计有着重要的影响, 也必然会影响到器件的工作温度。

本指南中将会考虑集中不同的拓扑结构, 确信这些例子为与大量典型的终端客户应用有关。

4.2.3.3 电磁兼容性 EMC 的设计

EMC 设计是极为复杂的话题, 也超出了我们这本书的范畴。但在 EMC 设计中, 划分 PCB 地平面这一规定, 与热设计密切相关。

从 EMC 设计角度, 多层 PCB 应至少有一层铜箔专门用作地平面层, 在该层要少过孔和少分割。这一要求就没有和热设计相冲突, PCB 层中的一个完整的敷铜层的出现可以让板子作为一个整体来加强散热效果。下列分析中, PCB 布局设计都含有专用地平面层。

4.3 一个单独的 LFPAK 器件

本节将要探究单个 LFPAK 器件焊接在几种不同配置 PCB 上时，其热性能的影响因素。此后，在讨论层叠或结构对器件排热的能力时，会使用“热性能”一词。要构建一个热性能影响因素的综合图，首先要从最简单的单层 PCB 开始，然后是系统深入到多层 PCB。

4.3.1 分析1：单层 PCB

最简单的 PCB 的层叠就是单面顶层铜箔结构，只有一层。在分析 1 中，我们将讨论器件结点温度 T_j 和顶层铜箔面积的关系，详见图 4-1。

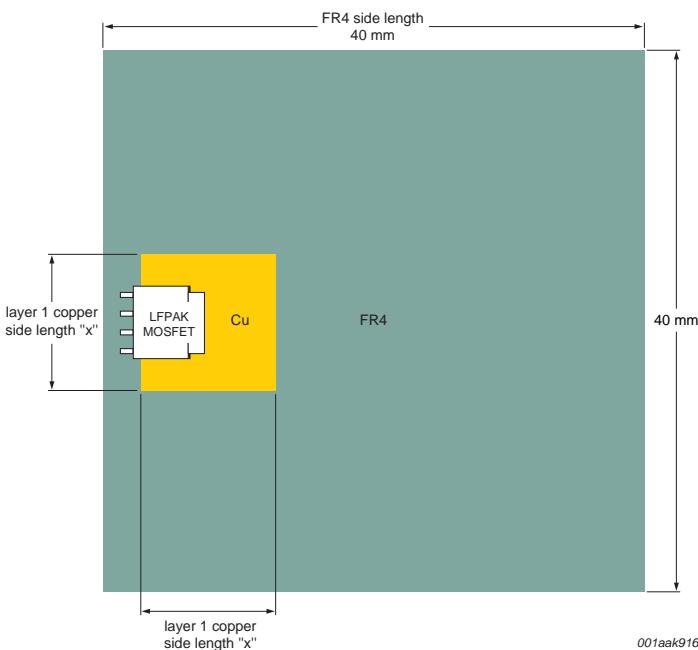
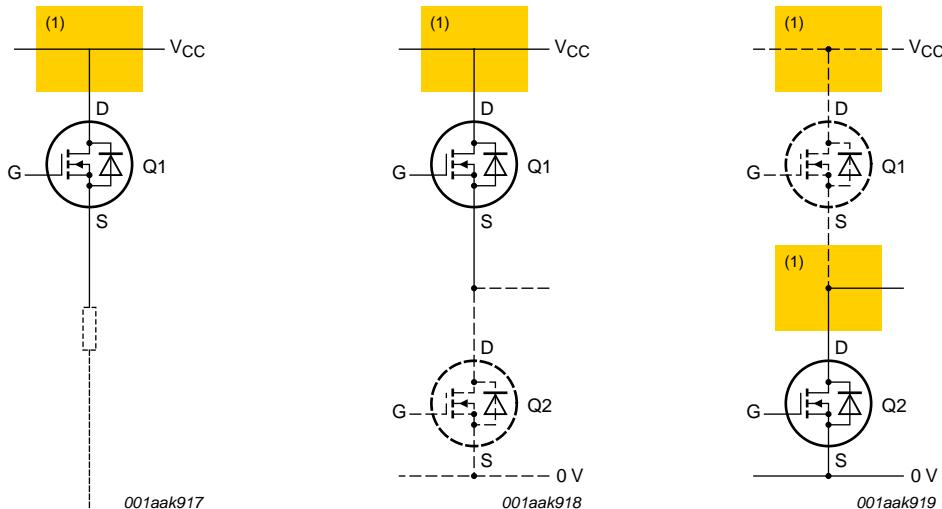


图 4-1. 单个器件；一层 PCB

图 4-1 介绍了 MOSFET 器件焊接在了尺寸为 $40 \times 40 \text{ mm}$, FR 4 材质的 PCB 上, 焊接铜箔为边长为 x 的正方形。图 4-2 中展示了根据这个布局可能存在的三种电路配置。



(1) 平面可以用作散热

- a. 高边开关, MOSFET Q1
- b. 半桥, MOSFET Q1 和 Q2
- c. 半桥, MOSFET Q2 和 Q1

图 4-2. 图 4-1 Layout 对应的三种电路配置

图 4-2 (a) 表明了 MOSFET Q1 是一个高边的负载开关, 器件漏极的管脚连接到 V_{cc} 平面 (黄色表示) 上。图 4-2 中的 (b) 和 (c) 展示的是 MOSFET Q1 和 Q2 组成的半桥电路。再次强调, 两个器件都主要由连接至散热片的平面层冷却, 虽然 Q2 的平面层对应于半桥的中点而非电源层。把 MOSFET 的漏极管脚连接到铜箔上也能达到额外的较少的散热效果。因为源极并不是除了封装之外的主要散热路径, 所以带来的益处是很少的。一般来讲, 主要的散热路径是通过器件封装的漏极焊盘到与之相连的铜箔平面, 本章就会考虑这种情况。

在以不同边长 x 进行模拟后, 我们可以得出器件 T_j 和铜箔面积的关系。图 4-3 就是环境温度为 20 °C, 其关系如图 4-3 所示。

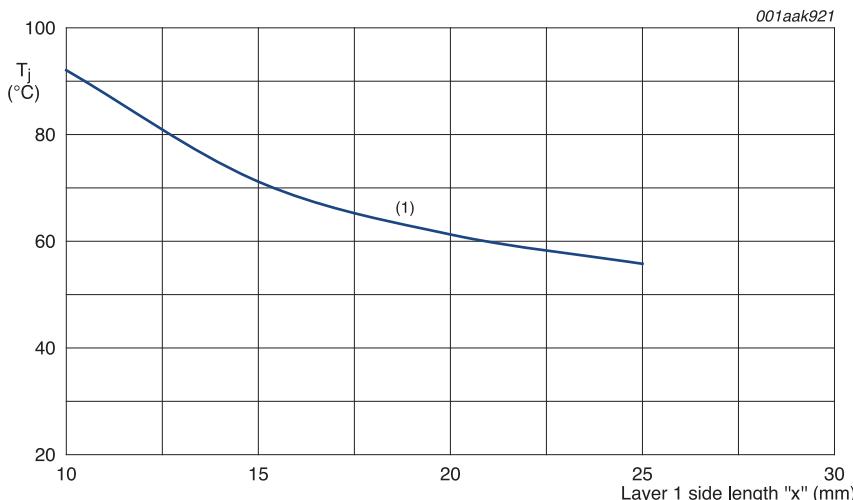


图 4-3. 器件结点温度和单层铜箔边长 x 的关系

图 4-3 的曲线存在两个值得注意的地方:

- 结点温度 T_j 很大程度上依赖于边长 x , 或者说是单层铜箔的面积。
- 给 MOSFET 提供散热的顶层铜箔的能力展示了“效果递减法则”。换句话说, 我们不能期待通过继续加大铜箔面积来持续降低 T_j 。相当于从曲线的形状可以推断 T_j 将永远不会降低到 50 °C 以下。也就是说无论在第一层中提供多大面积的铜箔, T_j 也不可能降到 50 °C 以下。

4.1.1 章陈述了实际上 MOSFET 的 T_j 和 PCB 材质的 T_{PCB} 这两个温度是不可以超出的。对于贴片的 MOSFET, 最大的 T_{PCB} 将通常出现在 MOSFET 衬底中央的下面。对于 LFPAK 封装的 MOSFET, T_{PCB} 通常要比 T_j 低 0.5 °C 以内, 因此我们可以有理由的说 $T_{PCB} \approx T_j$ 。在后面的 LFPAK 封装的分析中也将用到这一假定。从图 4-3 中可以看出对于一个 $T_{PCB}(\text{max}) = 120$ °C 的 PCB 来说, 只要保证环境温度在 45 °C 以下, 即使再小的 PCB 铜箔面积, 我们也不会遇到 PCB 恶化损坏的问题。

4.3.1.1 分析 1 中的 FR4 尺寸影响

4.3.1 章中的 PCB 的面积看似是随意选择的, 而且 PCB 的尺寸在实际应用中也是没有代表性的。然而在本章我们将会发现 FR4 PCB 的中空部分是对器件的 T_j 没有任何影响的。为了证明这一原则, 我们将会用不同尺寸的 FR4 PCB 进行额外的仿真, 如 20 x 20 mm, 30 x 30 mm 和 50 x 50 mm, 结果将会在图 4-4 中展示。

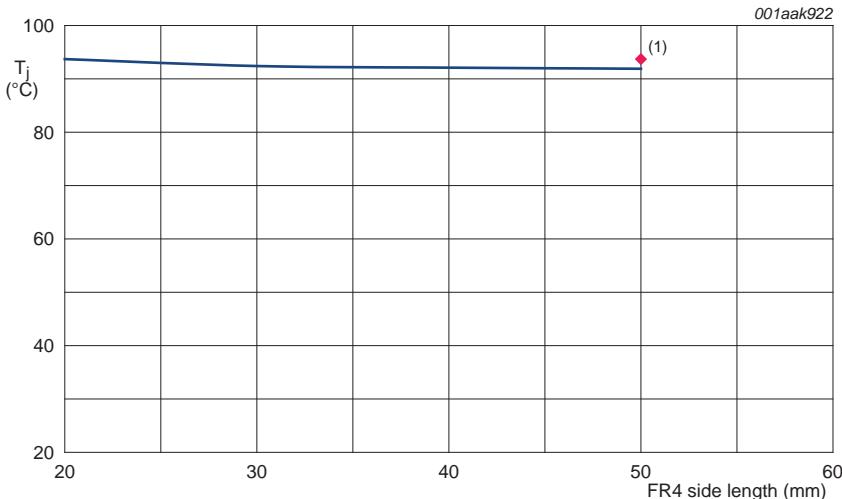


图 4-4. 结点温度和 FR4 边长的关系

图 4-4 的结果论证了未铺铜的 FR4 面积对器件 T_j 几乎毫无影响。这就与前面我们验证过的单层铜箔面积的图 4-3 形成了鲜明的对比。如果我们比较一下铜和 FR4 的导热率，就会很容易的清楚这两个结果不同的原因。铜的导热率大概是 $380 \text{ W}/(\text{m.K})$ ，然而 FR4 的导热性大概是 $0.6 \text{ W}/(\text{m.K})$ ，导热率是衡量热能传导到物质容易程度的系数。显而易见，即使增加 FR4（不良导体）的面积，也无法等效于增加面积小得多的高导热性铜的面积。

我们可以通过加入一些不连接部分的铜箔来阐述 FR4 的绝缘性，例如图 4-5 中的模型。

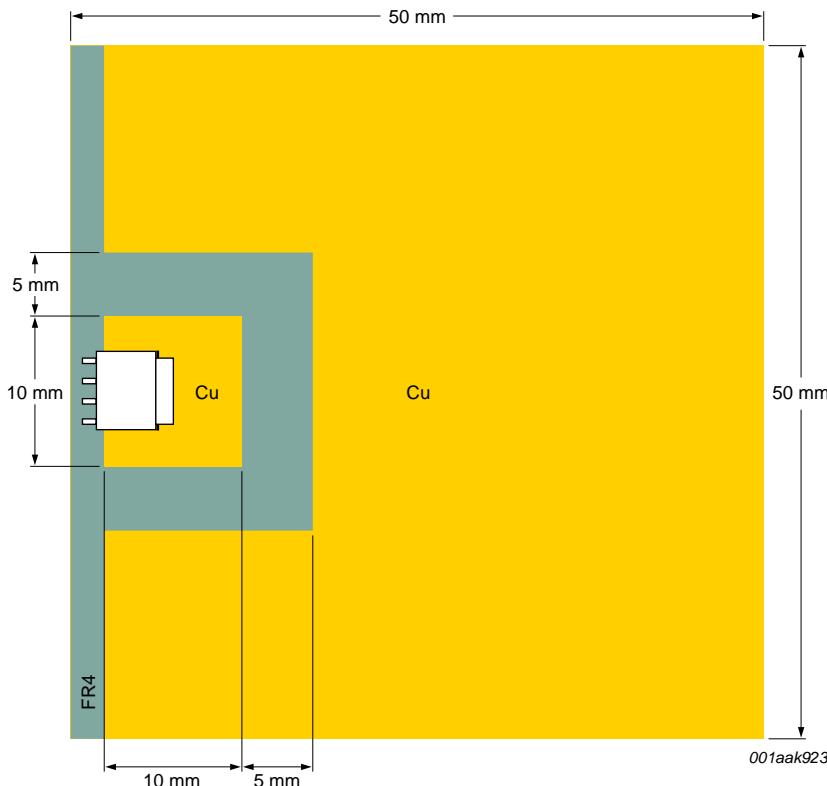


图 4-5. 在 50 x 50 mm FR4 板上加入额外的单层铜箔

图 4-5 展示了在 50 x 50 mm 的 FR4 布局中表层的绝大部分都铺满了铜。器件周围是配有 10 x 10 mm 的铜箔，两块铜箔之间留出了 5 mm 的间隙。尽管我们本来期待额外的表层铜箔可以有效地改善 T_j ，但是事实并非如此。器件和导热性差的 FR4 之间的绝缘间隙，阻碍了热能的传导，使得额外的散热铜箔无法起到作用。FR4 的这种对于热源的热隔绝能力是很重要的，这一点也会在接下来的第 4.4 节“两个 LFPAK 器件”和第 4.5 节“四个 LFPAK 器件”中详细阐述。

4.3.2 分析 2 : 两层 PCB 板

在这个分析中, 我们保持分析 1 中表层铜箔的变化设置。但是对于分析 2 我们在 PCB 第 4 层 (底层固定面积为 $25 \times 25 \text{ mm}$ 的底层铜箔, 因此也就有了两个结果, 在图 4-6 中可以看到底层铜箔的形状。

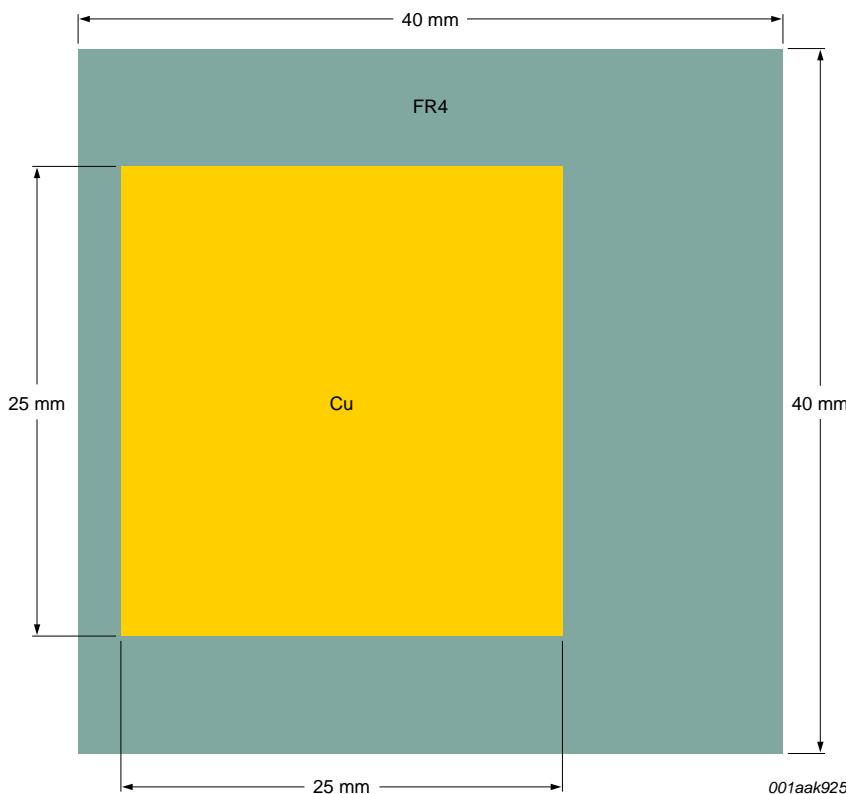
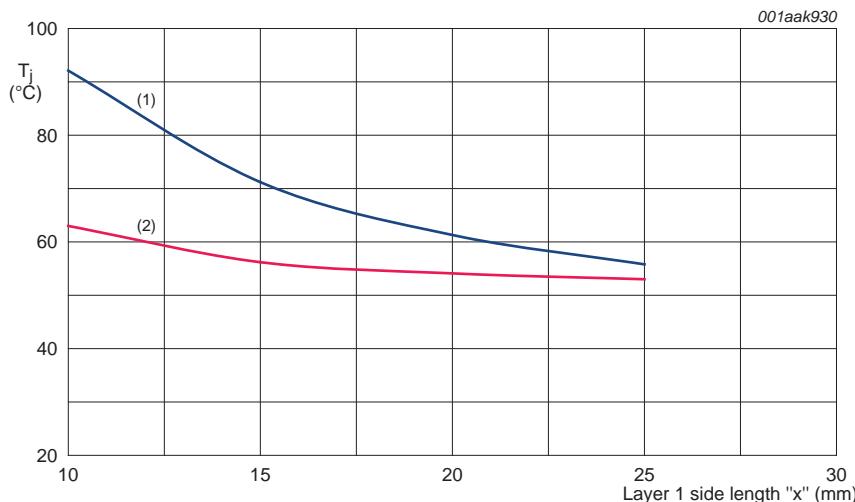


图 4-6. 第四层铜箔

在实际应用中，这层可能是地层或者是电源层，器件和第 4 层并没有直接的电气连接。

正如 4.3.1 章中的分析 1，我们可以再次针对不同边长 x 的表层面积进行仿真，但前提是保持第 4 层铜箔面积依旧是 $25 \times 25 \text{ mm}$ 。图 4-7 展示了仿真结果，并和分析 1 进行了比较。



(1) 仅存在一层

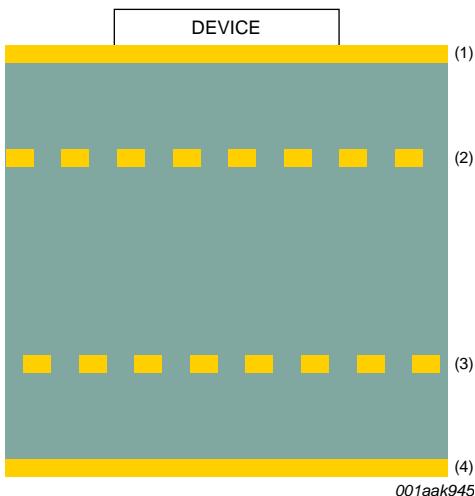
(2) 两层

图 4-7. 对于一层或者两层 PCB 表面铜箔边长 x 和结点温度的关系

图 4-7 展示了即使第四层和器件没有连接关系，加入第四层铜箔也能有效地提高 PCB 的热性能。同时我们也发现 MOSFET 的 T_j 有些不怎么依赖于第一层的铜箔面积了。通过加入第四层铜箔，我们可以将顶层铜箔面积从 $25 \times 25 \text{ mm}$ 减小到大约 $15 \times 15 \text{ mm}$ ，同时又能保持相同的热性能（也就是相同的 T_j ）。当我们希望提高顶层器件的密度时，这将会是一个相当有用的方法。

4.3.3 分析 3 : 四层 PCB 板 第一部分

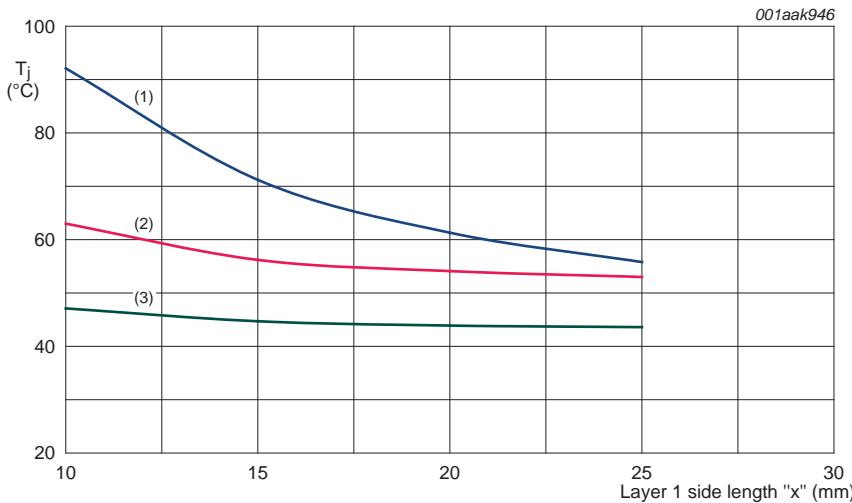
在本章中将会考虑四层板的几种不同的变化。这些变化中最简单的是在分析 2 中的两层板基础上再加入两个中间层。假设这两个额外的中间层是由许多细小的信号线组成，而不是大片的连续的平面。因为很明显并不能对这些层进行细节的仿真，所以就用“百分比覆盖率”的方法来替代。采用这个方法，根据总面积下铜的覆盖率和层厚，可计算出该结构的平均传导率。对于这个分析，我们假定中间层有 50 % 的铜箔覆盖，厚度为 1 oz./ft² (35 μm)，图 4-8 展示了四层板的结构。



- (1) 第一层, 35 μm 厚, 面积可变
- (2) 第二层, 35 μm 厚, 50 % 覆盖率
- (3) 第三层, 35 μm 厚, 50 % 覆盖率
- (4) 第四层, 35 μm 厚, 25 mm x 25 mm

图 4-8. 分析 3 第一部分中的四层板结构

如之前分析一样，我们仍然保持其他层不变，只是改变第一层的面积来做仿真。结果呈现在图 4-9 中，作为对比，同时也加入了分析 1 和分析 2 的结果。再次强调，MOSFET 和第四层并没有连接，而且用的是图 4-2 中一样的电路结构。



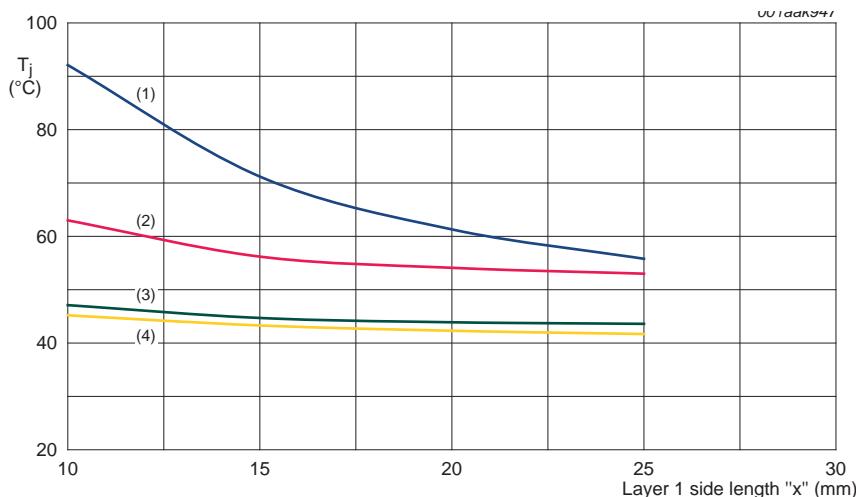
- (1) 仅存在一层
- (2) 两层
- (3) 四层

图 4-9. 对于一层，两层和四层 PCB 顶层铜箔边长 x 和器件结点温度的对应关系

与一层和两层 PCB 的结构相比，加入第 2 层和第 3 层铜箔已经导致了 T_j 相当大的降低，此外可以发现 T_j 已经几乎不依赖于顶层铜箔面积了。这是一个非常有用的结论，因为它告诉我们就像这里描述的四层 PCB 板那样，我们可以将顶层铜箔的面积减小到最小而完全不会影响热性能。这样顶层将会有更多的空间用于贴装其他器件和布线。

4.3.4 分析 3 : 四层 PCB 板 第二部分

对于四层 PCB 板第二部分的分析模型和图 4-8 中的模型并没有什么差别，唯一不同的就是第二层用 100 % 的铜箔覆盖。这也许可以代表一个地平面。另外其他的仿真条件也和原来的一样，图 4-10 展示了仿真结果。



- (1) 仅存在一层
- (2) 两层
- (3) 四层
- (4) 四层 (第 2 层 100 % 覆盖)

图 4-10. 四种 PCB : 一层 , 两层 , 四层和四层中的第二层 100 % 铜箔覆盖的结构下 , 表层铜箔边长 x 和器件结点温度的关系

我们非常有趣地发现第2层的铜箔覆盖率由 50 % 提高到 100 % 后，热性能也产生了小小的提升。换而言之，在降低器件温度方面，内层的效果不如外层。原因是我们知道外层更容易通过对流或者辐射将热量从 PCB 表面带走。然而很明显对于内层并没有暴露在空气中（除了也许会存在的极少的边缘部分）。所以唯一通过内层提高热性能的方法是提高 PCB 层与层之间的热传导性。

4.3.5 分析 4：四层 PCB 板带散热过孔 第一部分

到目前为止我们考虑的情况，连接 MOSFET 漏极的只有表层铜箔，并没有连接到其他层。然而完全可以用几个过孔将 MOSFET 的漏极同时也连接到第四层。该方法与图 4-2 的拓扑结构一致。这一设计出了给器件提供了必要的电气连接，同时也给器件提供了额外的散热路径，这时电气过孔也具有热过孔的性能。

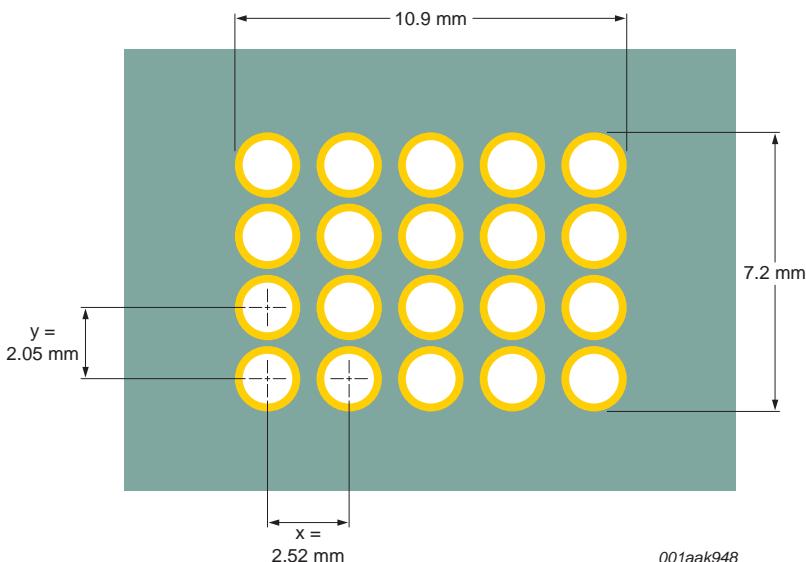
同时我们知道一般来讲在器件下方加入过孔可以提升热性能，但却很难知道需要加几个过孔才是最佳的方案。显然我们并不想在散热性能没有明显改善的情况下加入太多的过孔。因为过孔过多有可能造成 PCB 组装问题（当然，还得支付 PCB 过孔费用）。因此本分析的目的是检验各种过孔的组合对热性能和设计的影响。

本章将用边长为 15 mm 的单层铜箔，并考虑使用表 1 中的过孔。在所有情况中，过孔为空心的，直径为 0.8 mm，PCB 层叠结构如图 4-8，过孔的布局如图 4-11。

表 1. 过孔组合总结

Number of vias			Via pitch x (mm)	Via pitch y (mm)	Overall via pattern dimensions (mm x mm)
Total	x	y			
0	0	0	-	-	-
20 ^[1]	5	4	2.52	2.05	10.9 x 7.2
30	5	6	2.52	1.33	10.9 x 7.5
54	9	6	1.26	1.26	10.9 x 7.1
63	9	7	1.26	1.26	10.9 x 8.4
77	11	7	1.04	1.04	11.2 x 7.1

[1] See Figure 11.



001aak948

Drawing not to scale.

图 4-11. 5 x 4 的过孔组合

不同过孔组合的结果展示在图 4-12 中。

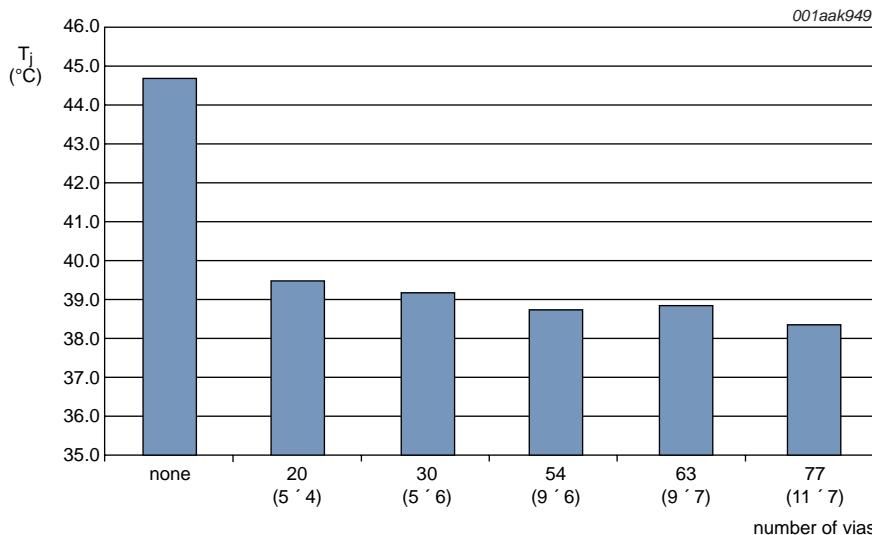
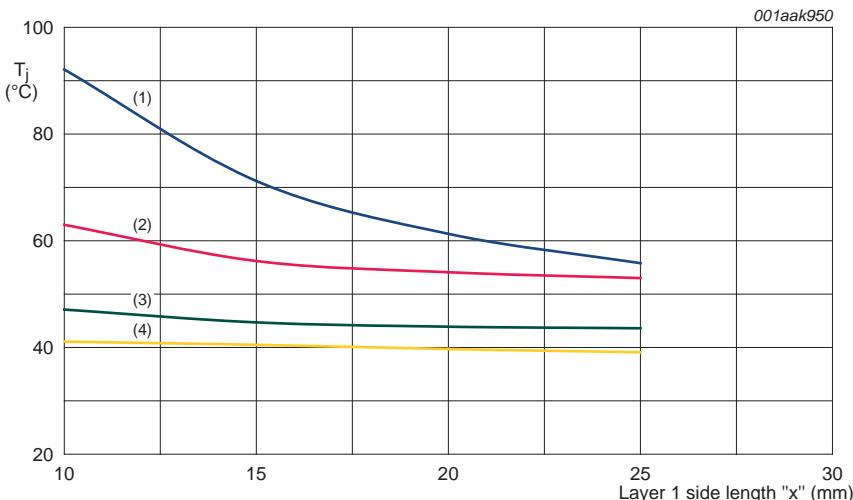


图 4-12. 过孔数量和器件结点温度的关系

图 4-12 表明了从器件下面无过孔到器件下面有 20 个过孔，器件的 T_j 有明显的下降。这清楚表明，热能从 MOSFET 散热片传导至第四层，其结果同预料的完全一致。而有趣的是，尽管在器件下面逐步增加了过孔的个数却没有导致 T_j 额外的降温。这是因为我们加入更多的过孔，虽然使得 PCB 板的层与层之间的热传导增加，但同时也减小了可以暴露在空气中与器件接触的第一层 PCB 铜箔的面积。因此我们并没有看到热性能方面大幅提升。因此结论是通过加入过孔可以提高散热性能，但继续加入过多的过孔，对散热性能不会有明显的提升。

4.3.6 分析 4 : 四层 PCB 板带散热过孔 第二部分

为了论证的完整性，我们也选取不同尺寸的第一层铜箔，对“带过孔的四层 PCB”结构进行了模拟，PCB 的模型和图 4-8 中是一致的，图 4-13 展示了仿真结果。



- (1) 仅有一层铜箔
- (2) 两层铜箔
- (3) 四层铜箔、
- (4) 四层铜箔带 5 x 4 的过孔。

图 4-13. 单层板，两层板，四层板和四层带过孔的板的第一层铜箔边长 x 和器件结点温度的关系

通过仿真结果可以看出，一旦在器件底部的 PCB 板上加入了过孔，器件结点温度将不再依赖于第一层铜箔的面积，而且大概要比不带过孔的四层板低 5 °C。

4.3.7 总结：影响一个单一器件热性能的因素

- 对于焊接在单层板上的器件，它的结点温度受铜箔面积的影响很大。然而根据“效果递减规律”可以发现简单地加大铜箔的面积热性能不会明显的得到提升，从图 4-3 可以看出这一点。在大面积铜箔的条件下，能达到额最低的 T_j 大概为 50 °C。
- 如果保持器件的漏极焊盘面积不变的话，改变 FR4 PCB 的尺寸并不能给器件 T_j 带来明显的变化。同样地，在 FR4 上增加非连接部分的铜箔面积也对 T_j 没有很大影响，详见图 4-4。
- 在一个四层板中，在第二层加入铜箔可以有效地提升热性能，并可以减小器件 T_j 对第一层铜箔的依赖程度，详见图 4-7。
- 对比于单层板和两层板，如果用四层 PCB 板可以明显地提升器件的热性能。另外器件 T_j 对于第一层铜箔面积的依赖程度也进一步地减小了，详见图 4-9 和图 4-10。
- 在器件底部加入过孔可以进一步的提升热性能，但是一旦考虑到“效果递减规律”，即使加入更多的过孔也不会得到明显的提升，详见图 4-12。
- 若器件下面放置了过孔，那么第一层的铜箔面积就几乎对器件 T_j 没有影响了。

在接下来的第 4.4.1 节和第 4.5.4 节中将会使用面积为 15 mm x 15 mm 顶层铜箔，带 20 个过孔，一个器件的模型来进行分析和说明。

4.4 两个 LFPAK 器件

章节 4.3 中考虑的是一个器件焊接在 PCB 上的热性能。本节将分析两颗 MOSFET 器件焊接在 PCB 上的情况，观察器件间隔对 T_j 的影响。为了控制分析中变量的数量，我们将只考虑第一层铜箔面积为 15 mm x 15 mm 的情况。但是在研究器件间隔距离的分析中，我们将 PCB 的尺寸增加到了 120 mm x 80 mm。和前面章节一样我们将从单层板开始并逐渐地增加 PCB 的层数。

PCB 顶层铜箔的配置展示在图 4-14 中。

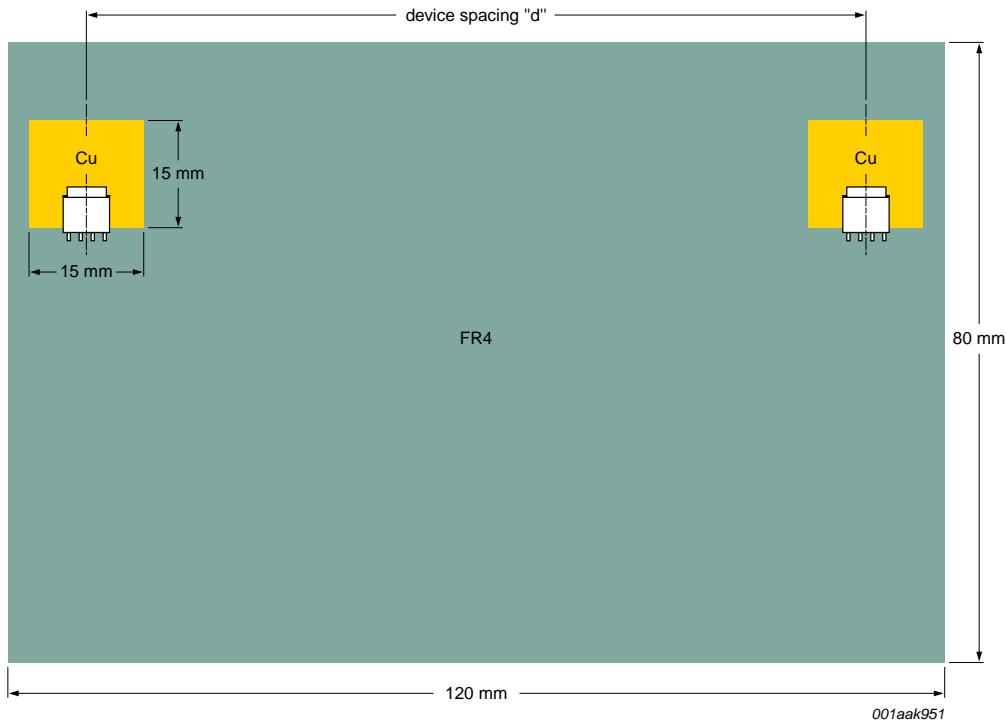
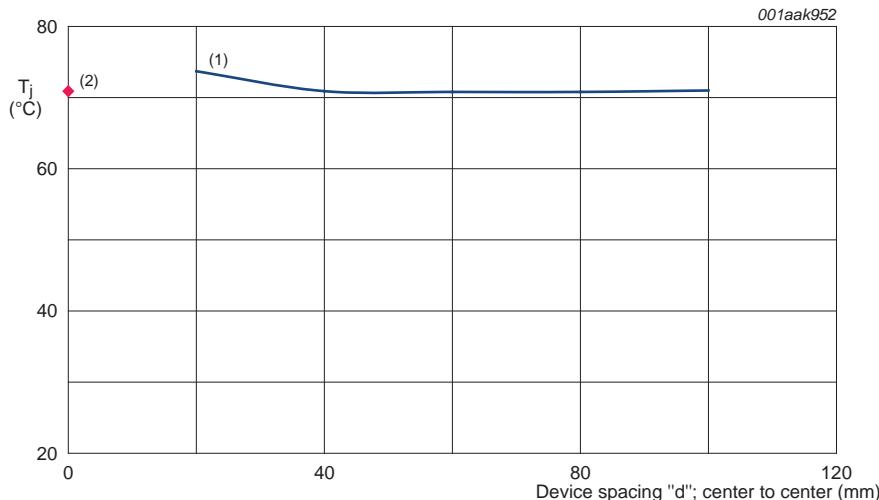


图 4-14. 分析两器件用的 PCB 顶层铜配置

我们要做的仿真是在各种 PCB 结构下的两个器件间隔 “ d ” 对器件 T_j 的影响。间隔 d 从 100 mm 到 20 mm 变化, 100 mm 是指器件焊接在 PCB 边缘时的最大间隔, 就像图 4-14 展示的那样, 而当间隔 d 为 20 mm 时两个器件的表层铜箔区域之间的间隔只有 5 mm。

4.4.1 分析 5 : 单层 PCB 板

单层 PCB 板的仿真结果展示在了图 4-15 中。因为两个器件是基于 PCB 板中心线对称放置的，除了间隔 d ，可以认为两个器件的热性能是相同的，所以下面的 T_j 曲线是可以同时代表两个器件。图中也显示了安装在 PCB 边缘的单个器件的 T_j 。



(1) 仅有一层铜箔

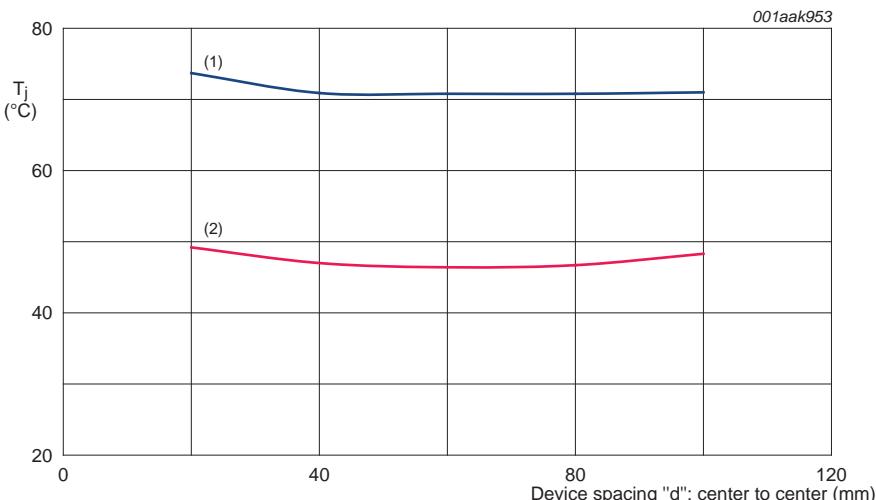
(2) 单一器件

图 4-15. 焊接在单层 PCB 板上的两个器件间隔 “ d ” 和器件 T_j 的仿真结果，同时也给出了单个器件焊接在 PCB 边缘时的仿真结果。

虽然这两个器件焊接在同一块 PCB 板上，但是我们有趣地发现他们表现为两个完全独立的器件，器件 T_j 几乎和单个器件时是一样的，除非器件焊接的比较近时，否则器件并不会明显地受到间隔 d 的影响。原因是正如 4.3.1.1 章中所述，由于 FR4 PCB 的较差的导热性，在大多数情况下可以认为两个器件是有效地相互绝缘的。

4.4.2 分析 6：两层 PCB 板

本节中对两层 PCB 板的分析中，再次使用和 4.4.1 章中分析 5 一样的器件配置情况。但是在分析 6 中我们将在 PCB 的底部第四层加入整层铜箔来构建两层 PCB 板。在实际应用中，这一层可能是地层或者是电源层，器件并没有连接到第四层，所以这不会对我们关注的 PCB 板热性能产生很大差异。分析 6 的分析 5 的仿真结果一起展示在了图 4-16 中。



(1) 仅有一层板

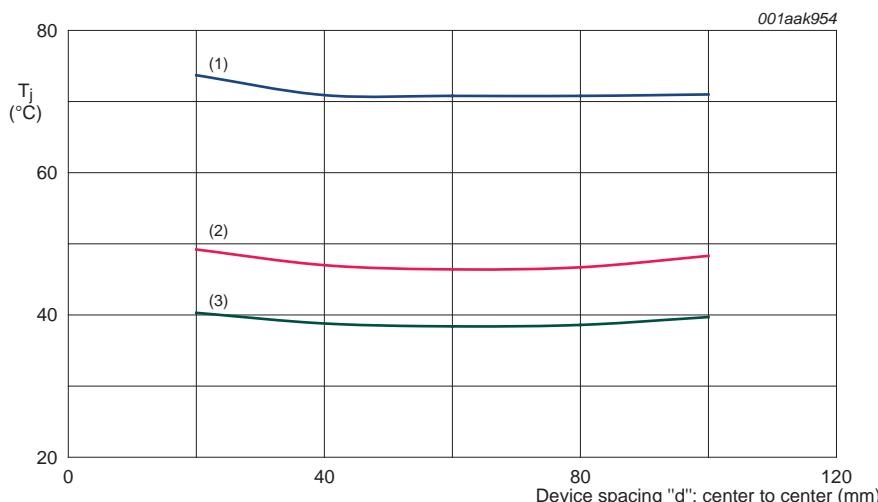
(2) 两层板

图 4-16. 焊接在两层 PCB 板上的两个器件的间隔 “ d ” 与结点温度 T_j 的关系

通过加入第二个铜箔层，可以有效地降低两个器件的结点温度，还有正如我们期望的那样，器件温度仍然不受器件间隔的影响。

4.4.3 分析 7 : 一般的四层 PCB 板

现在将在分析 6 中的两层 PCB 板的基础上再加入两层内层铜箔，构成四层板。与前面章节一样，这两个内层认为是由许多细小的信号线组成的，而不是连续的大块铜箔。内层的仿真将再次使用铜箔覆盖率的方法，这里我们假定覆盖率为 50 %，厚度为 1 oz./ft² (35 μm)。还和以前一样，第四层继续保持不和器件相连。第四层继续由覆盖整个底部的铜箔组成，器件结点温度 T_j 和间隔 “d” 之间的关系展示在了图 4-17 中。



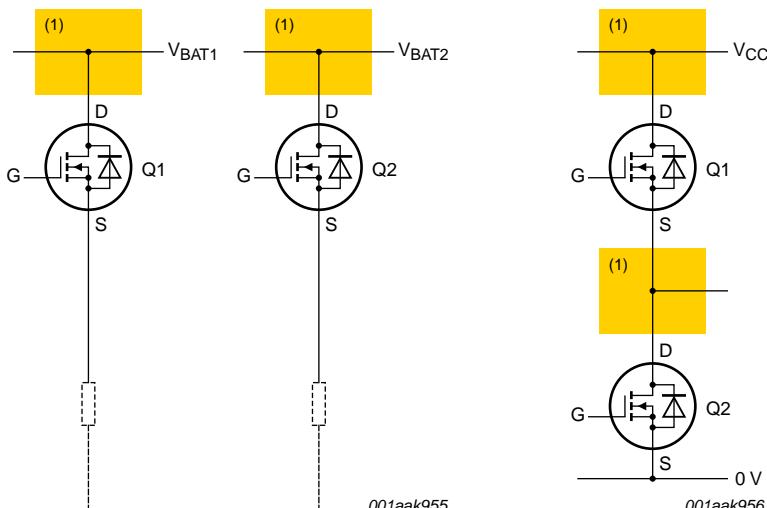
- (1) 仅有一层板
- (2) 两层板
- (3) 四层板

图 4-17. 焊接在四层板上的两个器件间隔 “d” 与结点温度 T_j 的仿真结果

增加了两个内层铜箔的仿真结果在曲线形状上大致和两层 PCB 板是一样的，但是整体上却有 10 °C 左右的下降。

4.4.4 分析 8 : 带过孔的四层 PCB 板 第一部分

在分析 8 和分析 9 中我们将考虑下面这种情况：第一层铜箔（连接至 MOSFET 散热片）同时也通过 5×4 的热/电气过孔组合连接到第四层上，详见 4.3.6 章。第四层铜箔面积将被减小成两块 $15 \text{ mm} \times 15 \text{ mm}$ 的区域，并分别连接到两个 MOSFET 上。采用过孔连通一层或多层达到散热目的时，必须要考虑到电路结构的含义和 PCB 的结构。对于本章要讨论的几种电路结构展示在了图 4-18 中。



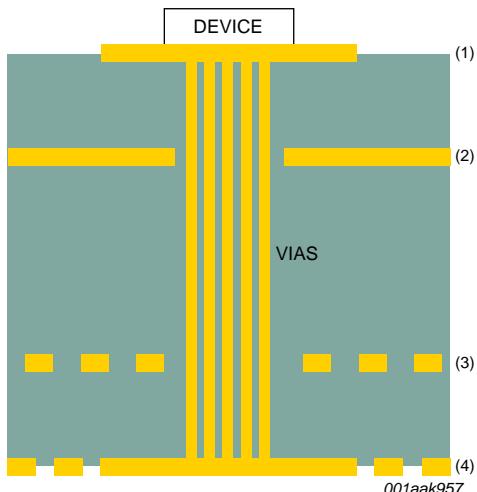
(1) Plane available for cooling

a. 高边负载开关

b. 半桥结构

图 4-18. 两个 MOSFET 的漏极独立地连接到铜箔时，可能的电路结构。

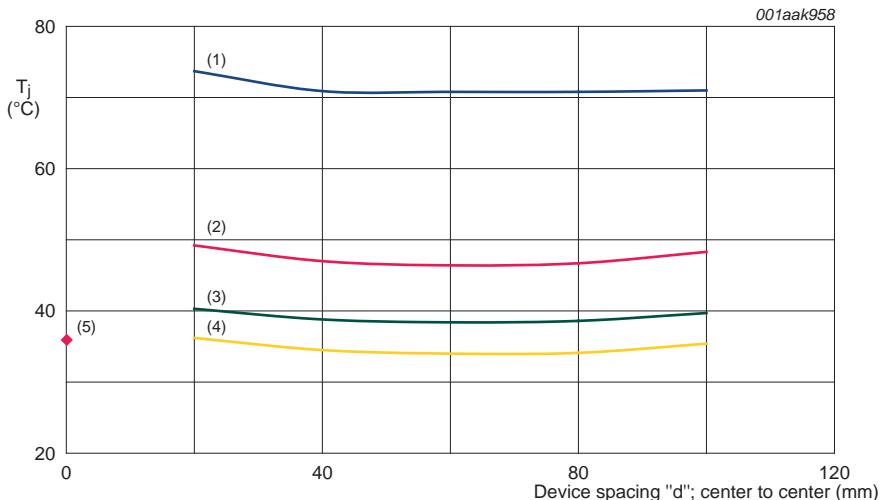
图 4-18 展示了两个MOSFET的漏极独立地连接到铜箔上的可能的电路结构。图 4-18 (a) 展示的是一种常见的汽车应用, 高边驱动, 漏极连接到了不同的电源线上。图 4-18 (b) 是两个 MOSFET 连接成了半桥的结构, 是典型的单向电机驱动或是 DC-DC 降压驱动电路。在这两种案例中, MOSFET 的漏极都不存在共同的电气连接点。对于这些电路修改之后的 PCB 结构展示在了图 4-19 中。



- (1) 第一层 (电源)
- (2) 第二层 (地)
- (3) 第三层 (信号)
- (4) 第四层 (电源和信号)

图 4-19. 修改后的 4 层 PCB 板结构

图 4-19 展示了器件的漏极通过第二层的底层将第一层和第四层连接到了一起，第四层的也是 $15 \text{ mm} \times 15 \text{ mm}$ 的方形铜箔。第三层仍然为信号层。两个器件都以这样的方式配置，我们再一次研究下器件间距 “ d ” 和结点温度 T_j 的关系。仿真结果展示在了图 4-20 中。



- (1) 仅有一层的 PCB 板
- (2) 两层 PCB 板
- (3) 四层 PCB 板
- (4) 四层带过孔的 PCB 板，漏极独立连接
- (5) 半桥电路结构

图 4-20. 焊接在四层带过孔的 PCB 板上的两个器件间距 “ d ” 和器件 T_j 的仿真结果

我们清楚地看到尽管第四层的铜箔面积已经减小了，但在器件下面加入额外的过孔可以导致 T_j 进一步地降低。同时我们也再次看到 T_j 几乎不依赖于器件的间隔。

图 4-20 同时也包含两个 MOSFET 组成的半桥电路的仿真结果。可以参考图 4-18 (b) 的电路结构，将一个器件摆放到了另一个器件的上方，而不是并排地摆放，这样从放置上更为合理。以这种方式摆放，Q1 的源极和 Q2 的漏极距离很近，两个器件以较短且低电感的通路连接。详见图 4-21。

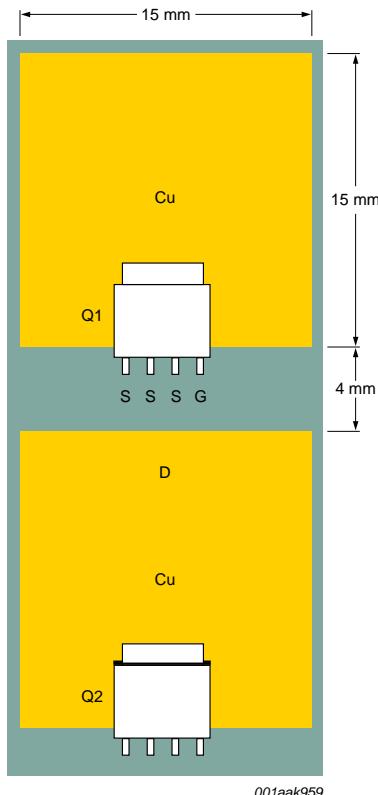
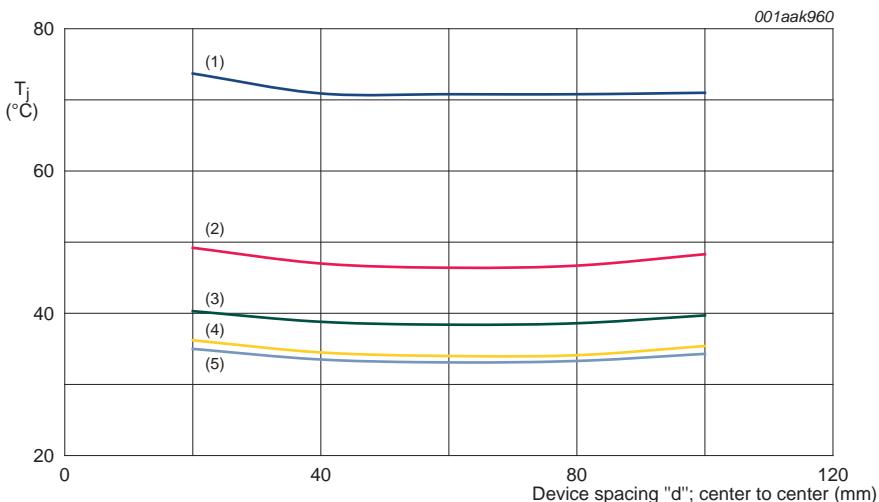


图 4-21. 对于单个半桥电路的两个器件的逻辑摆放图

4.4.5 分析 8 : 带过孔的四层 PCB 板 第二部分

第二个分析将考虑两个器件的漏极连接在一起的情况。这就像图 4-18 (a) 中那样有共同的 V_{BAT} 线。 V_{BAT} 线以第四层上的 $25 \text{ mm} \times 120 \text{ mm}$ 的平面表示, 仿真结果展示在了图 4-22 中。



- (1) 仅有一层的 PCB 板
- (2) 两层 PCB 板
- (3) 四层 PCB 板
- (4) 四层带过孔的 PCB 板, 漏极独立连接
- (5) 四层带过孔的 PCB 板, 并有共同的 V_{BAT} 线

图 4-22. 焊接在四层带过孔的 PCB 板上并有共同的 V_{BAT} 线的两个器件间距 “d” 和器件 T_j 的仿真结果

与之前的例子 (章节 4.4.4) 漏极有单独散热铜面积的范例相比, 热性能几乎没有改善。

4.4.6 总结 : 影响两个器件的热性能的因素

再次强调下，下面的结论都是在第一层铜箔边长为 15 mm 时得出的。

- 对于两个器件焊接在 PCB 板上时，器件 T_j 几乎不依赖于器件的间隔 “d”。仅当器件非常接近时， T_j 才会有明显地上升。这也是和单个器件比有一些不同的地方（详见图 4-15）。器件的 T_j 大概为 71 °C。
- 同单层 PCB 比较，添加第二层铜箔（第四层）后， T_j 约减少 20 °C – 25 °C 左右。从结果曲线中可以看出器件 T_j 对间隔 d 的一些微小的依赖性。仅当器件焊接的非常近或者在 PCB 的边缘时 T_j 才有微小的升高（详见图 4-16）。
- 如果改成四层板，那么与两层板相比器件的 T_j 大概还能降低 9 °C 左右（详见图 4-17）。
- 如果在器件下面的 PCB 板上加入 5×4 的过孔组合，热性能能够进一步地提升，凭借过孔的加入，器件的 T_j 还可以降低 4 °C 左右（详见 PCB）。
- 如果把第四层铜箔合成不分开的一块区域，并不会对器件产生什么明显的影响（详见图 4-22）。

4.5 四个 LFPAK 器件

在这最后一章的探讨中，器件的个数增至四个。我们的分析还会采用和 4.4 章一样尺寸的 PCB，并采用相似的步骤来建立从简单到复杂的 PCB 结构。和以前一样为了控制分析的变量，我们将考虑第一层铜箔的边长为 15 mm。本章将主要把四个器件等间距地摆放在同一条直线上（如图 4-23），但也会考虑如 4.4.3 章描述的那样的两个半桥电路的结构。

PCB 的顶层铜箔的配置展示在了图 4-23 中。

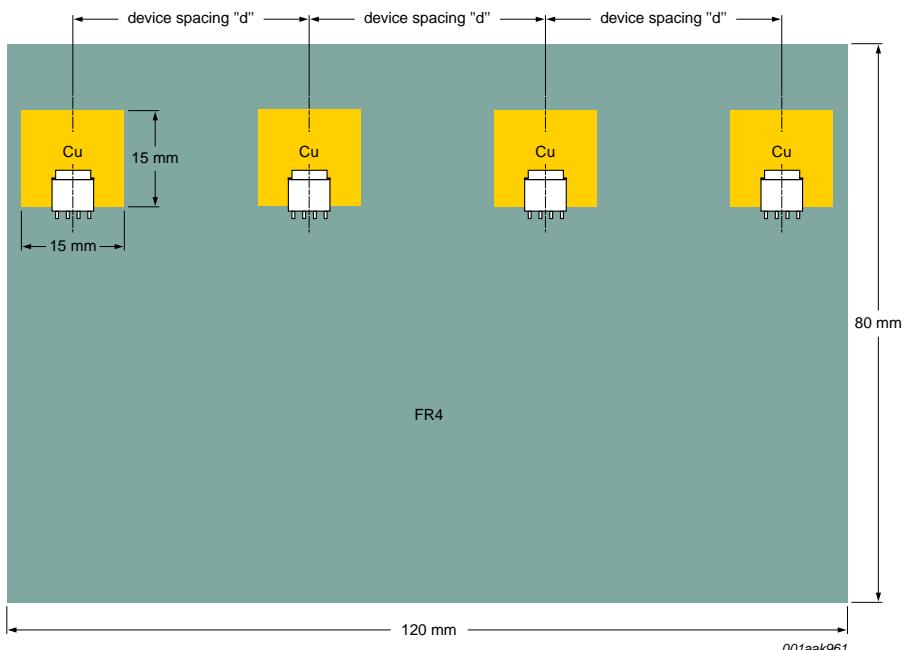
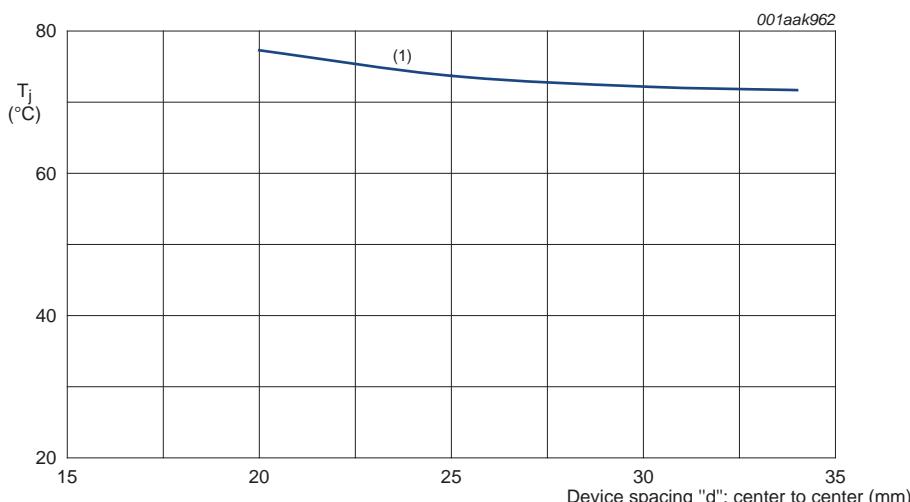


图 4-23. 四个器件：PCB 顶层铜箔的配置

对不同 PCB 层叠进行了仿真，从而研究出间距 d 对器件 T_j 的影响。间距 d 的值从 34 mm 变化到 20 mm，34 mm 是像图 4-23 中展示的最大的间距，而当间距为 20 mm 时，第一层铜箔区域之间的间隔只有 5 mm。

4.5.1 分析 9：单层 PCB 板

下面的图 4-24 展示了单层板的仿真结果。并不像前一节中两个器件的分析那样，该配置下的四个器件的热环境不太相同。中间的两个器件对中间两个器件稍有不利就是来自左右两边的热源，同时摆放在边缘的器件也会有来自一边的热源。在最坏情况下，放置在内部的器件 T_j 大概要比外部器件的 T_j 高 3 °C 左右。为了得到保守结果，下列图表列出了温度略高的内侧器件的 T_j 温度。



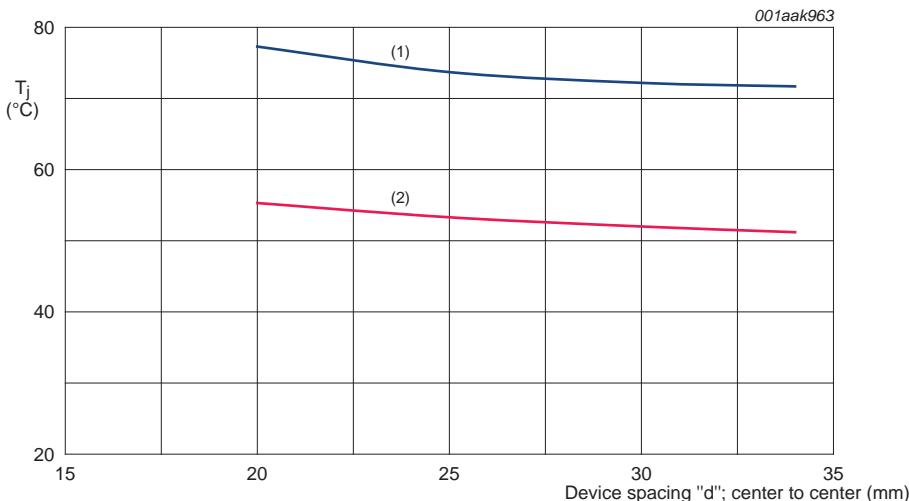
(1) 仅有一层的 PCB 板

图 4-24. 焊接在单层 PCB 板上的器件 T_j 和器件间距 “d” 的关系

在展示出的仿真结果中我们再一次看到了“效果递减规律”：当器件的间隔增加时，曲线开始趋向平缓。因此如果将器件中心间距增加到 30 mm 以上，间距 “d” 对器件温度几乎无影响。

4.5.2 分析 10：一个两层 PCB 板

在本章的探讨中我们将会继续使用分析 9 中的器件间隔的变量。然而在分析 10 中我们将在整个底层加入第四层铜箔，这就构成了两层 PCB 的结构。在实际中，这一层可能是地层或是电源层，尽管她仍然没有和器件相连。为了对比，在图 4-25 中展示了分析 10 和分析 9 两个仿真结果。



(1) 仅有一层的 PCB 板

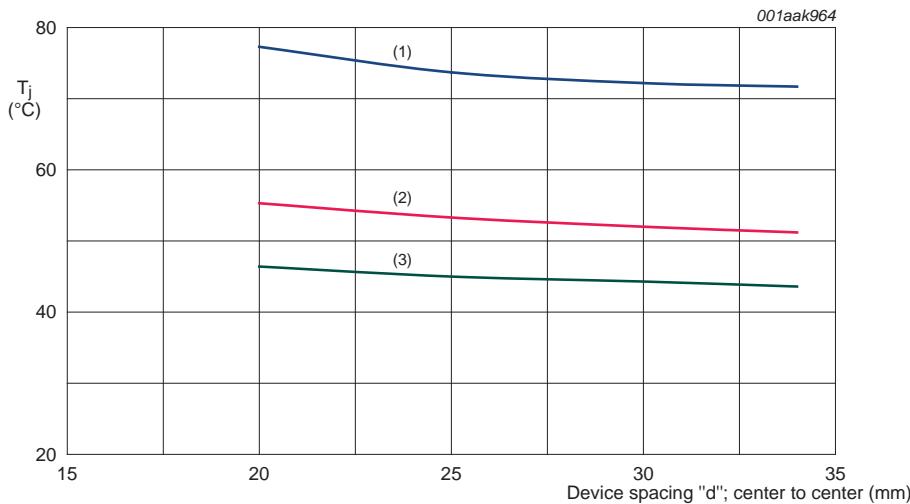
(2) 两层 PCB 板

图 4-25. 焊接在两层板上的器件 T_j 和器件间距 “d” 之间的关系的仿真结果

添加第二层铜箔后，PCB 热导率提高，器件温度大约降低 20 °C。该结果与预期的完全一样，与单个和两个器件配置的结果一致。

4.5.3 分析 11：一个普通的四层 PCB 板

在分析 10 中的两层板的基础上加入两层内部信号层就构成了四层 PCB 板。假定信号层是由很多细小的信号线组成，我们也将继续用铜箔覆盖率的方法进行内层的仿真，假定覆盖率为 50 % 和铜箔厚度为 1 oz./ft² (35 μm)。第四层仍为整平面，覆盖整个底面，未与器件连通，详见图 4-8。器件间距 d 和器件 T_j 的关系的仿真结果展示在了图 4-26 中。



(1) 仅有一层的 PCB 板

(2) 两层 PCB 板

(3) 四层 PCB 板

图 4-26. 焊接在四层 PCB 板上的四个器件的间距 “d” 和器件 T_j 的关系仿真结果

通过加入内部信号层大概能让器件 T_j 降低 8 °C 左右。

4.5.4 分析 12 : 带过孔的四层 PCB 板 第一部分

在本章的分析中我们要考虑的情形是：与 MOSFET 漏极相连的表层铜箔通过过孔连接到了第四层上 15 mm x 15 mm 的铜箔区域，过孔为 4.3.5 章中描述的 5 x 4 组合。对应的电路拓扑结构如图 4-18 所示，但是图 4-18 中展示的是针对于两个器件的，而我们现在是要想图 4-18 (a) 中那样有四路高边驱动并连接在不同的 V_{BAT} 线上。或者说我们应该有两路向图 4-18 (b) 中那样的半桥电路。但对于任意一种情况，MOSFET 的漏极都是独立连接的，PCB 层叠中的第二层为全覆铜接地层。

对于四个高边驱动电路，我们将像分析 9 和分析 11 那样分析器件之间的不同间距对器件 T_j 的影响。但是对于两个半桥电路，我们将会把每个半桥作为一个单元，然后审查如图 4-27 中那样两个半桥单元的间距 d 对器件 T_j 的影响，结果展示在下面的图 4-28 中。

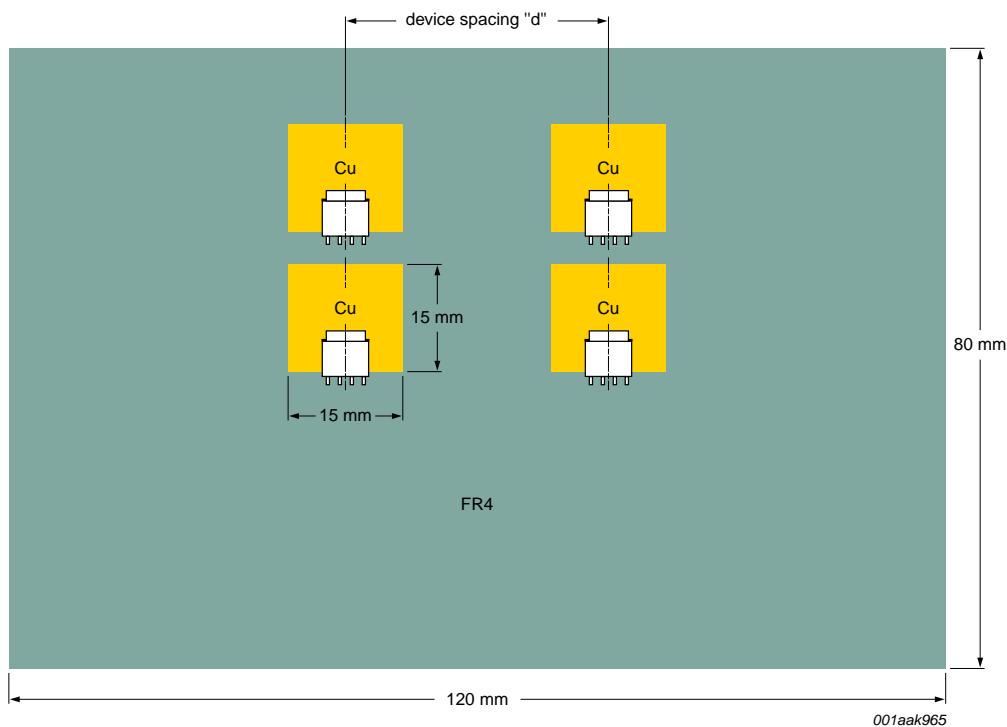
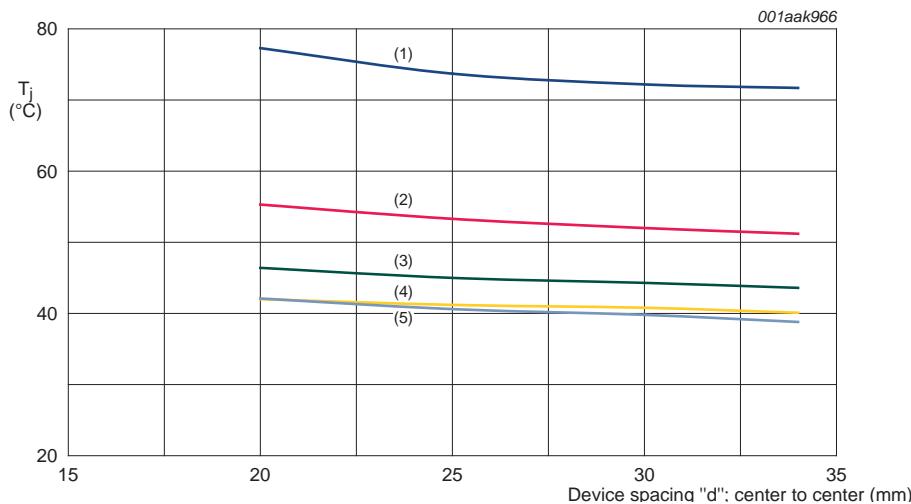


图 4-27. 四个器件以两个半桥式配置方式排列



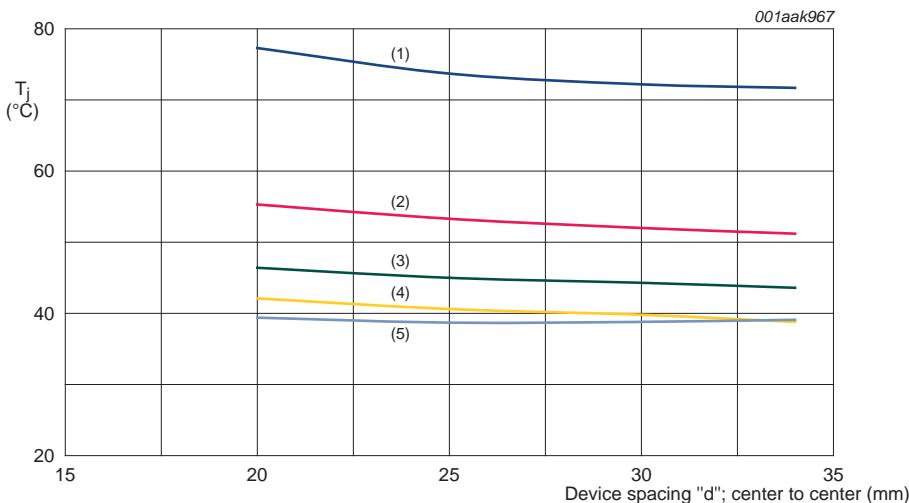
- (1) 仅有一层的 PCB 板
- (2) 两层 PCB 板
- (3) 四层 PCB 板
- (4) 带过孔的四层 PCB 板, 半桥电路的形式
- (5) 带过孔的四层 PCB 板, 独立的漏极

图 4-28. 焊接在带过孔的四层板上的四个器件的间距 “d” 和器件 T_j 的关系的仿真结果

对于两种电路结构, 通过在器件下面加入过孔可以将器件的 T_j 整体降低 4 °C – 5 °C 左右。

4.5.4 分析 12 : 带过孔的四层 PCB 板 第二部分

最后的分析将考虑四个器件的漏极连在一起的情况。图 4-18 (a) 中的电路结构连接到同一个 V_{BAT} 线上时就是这个情况。第四层的 25 mm x 120 mm 的铜箔就代表了共同的 V_{BAT} 线, 图 4-19 展示了 PCB 的结构。仿真结果如图 4-29。



- (1) 仅有一层的 PCB 板
- (2) 两层 PCB 板
- (3) 四层 PCB 板
- (4) 带过孔的四层 PCB 板, 独立的漏极
- (5) 带过孔的四层 PCB 板, 漏极连接在同一个 V_{BAT} 线上

图 4-29. 焊接在带过孔的四层板上的四个器件的间距 “d” 和器件 T_j 的关系的仿真结果

当四个器件摆放的很近时, 的确可以造成很小的器件 T_j 的差异; 然而当器件间距 d 增加时, 器件 T_j 将几乎不受间隔 d 的影响。

4.5.6 总结：影响四个器件热性能的因素

对于边长为 15 mm 的表层铜箔。

- 对于焊接在单层 PCB 板上的四个器件，器件间隔d对器件 T_j 几乎没什么影响。在某些恶劣的情况下，内部的两个器件的温度将会高出 3 °C 左右。器件的 T_j 大概为 72 °C（详见图 4-24）。
- 与单层 PCB 板相比，如果在第四层加入第二个铜箔层，器件的 T_j 将会降低 20 °C 左右（详见图 4-25）。
- 与两层 PCB 板相比，如果变成四层板，器件的 T_j 将会再次降低 8 °C 左右（详见图 4-26）。
- 若在器件的下部加入 5×4 的过孔组合，器件的热性能将会有进一步地提升，器件 T_j 大概能再次降低 4 °C 左右（详见图 4-28）。
- 采用共同（而非单独）的器件第四层铜面积对器件几乎无影响（详见图 4-29）。

4.6 总结

要想确保器件不超出安全工作温度的限值，就更要格外地关注 PCB 的热性能。对于表面贴装的功率 MOSFET 的设计来说，PCB 将会是主要的散热方法。设计时把 MOSFET 的 T_j 和 PCB 的 T_{PCB} 同时保持在限值以下是非常重要的。允许的 T_j 最大温度一般为 175 °C， T_{PCB} 最大温度为 120 °C。由于 MOSFET 器件和焊接 PCB 处之间热耦合紧密，所以我们可以认为 $T_{PCB} \approx T_j$ ，那么安全工作温度的上限将不再是 MOSFET 的结点温度，而是 PCB 的温度（120 °C）。

尝试设计具有“安全”热运行的 PCB 布局时，PCB 设计师可能缺乏参考资料。而且在某些情况下，MOSFET 的数据手册中的 R_{th} 是很模糊的，测量的条件和实际应用也不一致，这就导致我们不能直接使用这个数值。另一方面，要对某一设计的热性能进行详尽的分析，则需要采用模拟软件和 / 或实际原型构造。仿真软件可以在比较短的时间里给出完美的结果，但往往价格昂贵，学习软件操作费时费力。

另一方面是在生产研发阶段为了设计验证，必须要构建原型，但在早期的设计周期中，这样做是非常费时费力。因此便需要编写热设计指南，这样既可以避免参考毫无用处的热阻值，也无需完整的原型模拟或构造。本章的目的就是为使用 Nexperia 半导体 LFPAK 系列 MOSFET 系的设计提供一些指南。

设计指南已经包含了不同数量的 MOSFET（一个，两个和四个）焊接在不同 PCB 的配置上的热性能的仿真结果。考虑的因素有：PCB 层结构的影响，PCB 布局上电路结构的影响，PCB 的铜箔面积，散热过孔的影响，器件的摆放和间距的影响以及在单层 PCB 上放置多个功率器件的情况。本文件无法列举所有器件用法，但是所选的不同配置有望代表常用的“实际”器件用法。

最后，我们再次强调，设计指南中包含的信息仅仅代表一个开始，任一新设计无疑都需要制作原型，确定其热性能特征，而后再将设计付诸生产。

第五章: LFPAK MOSFET 热设计 - 第二部分

应用笔记: AN11113

第五章: LFPAK MOSFET 热设计 — 第二部分

(应用笔记 AN11113)

5.1 介绍

在前一章中，我们讨论了各种不同 PCB 上，不同元器件配置的热性能的热性能。通过分析和比较多种方案，在为 LFPAK MOSFET 提供最佳散热冷却途径方面，可以得出许多结论。

在第四章中讨论的所有 PCB 配置都有一个共同点：它们都处在环境温度为 20 °C 的空气中，在情景中都没有外壳或罩子。然而，在大多数实际应用中，我们不可能将 PCB 暴露在外面或不加密封壳体。为了保护 PCB 不受环境因素影响，以及电磁兼容性的考虑（EMC），几乎要强制 PCB 以某种形式安装在外壳中。外壳不可避免地会干扰 PCB 周围空气的自由流动，这也会对系统的散热性能产生影响。

在本章中，我们将仔细研究外壳的构造和配置是怎样影响功率 MOSFET 器件工作温度的。将要考虑的因素包括：

- 外壳材质和表面处理
- PCB 上方，下方和周围的内部空间
- PCB 底部散热（即 PCB 内表面与外壳内表面）
- MOSFET 器件的顶端散热（器件封装顶部与外壳内表面）
- 封装在外壳中的作用，即 PCB 周围的气隙部分或完全被封装化合物填充
- “模块”与隔板的接近程度

为了使变量合理化，我们只考虑第四章的一个 PCB 配置。外壳加上 PCB 将在下文中称为“模块”。

如同第四章一样，本章介绍的热分析也是使用热仿真软件完成。仿真中使用的 MOSFET 模型已经根据经验数据验证过，并准确模拟真实设备的热性能。

用于分析的热仿真软件是 Mentor Graphics (Flomerics) 的“FloTHERM”软件包。分析中使用的器件模型以及本书中所用到的一些案例可从 Nexperia 网站免费下载得到。

5.2 模块模型

5.2.1 PCB 特性

为了简化变量，我们将采用本书 4.5.4 中的一种 PCB 配置，如图 5-1 中所示：

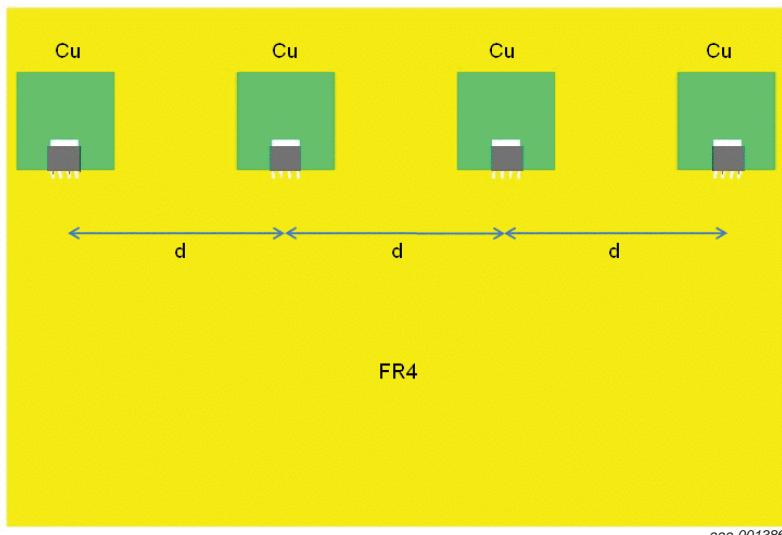


图 5-1. PCB 模型

主要的 PCB 特性有:

- 整体 PCB 的尺寸为 80 mm x 120 mm, 厚度为 1.6 mm
- 标准的 FR4 PCB 材料
- 所有铜箔层都是 1 oz/35 μm 厚
- 顶层铜箔为每个器件 15 mm x 15 mm, 焊接在原件衬底
- 底层铜箔为每个器件 15 mm x 15 mm, 通过过孔与顶层相连
- 内层为 50 % 铜箔覆盖率
- 在每个器件底部都有 5 x 4 过孔组合, 内径为 0.8 mm
- 器件间隔为 $d = 25$ mm
- 每个器件功率为 0.5 W

在第四章中已经验证过, 每个 MOSFET 器件的摆放实际对工作温度的影响很小, 大约在 ± 1 °C 变化。

5.2.2 外壳特性

本章将验证几种外壳特性, 一些常用的性能将自始至终保持不变

- 这个外壳是完全封闭且没有孔和开口
- 外壳的侧壁为 2 mm 厚, 不考虑外壳的材质
- 外壳能够通过对流、传导和辐射的机制进行热量散失

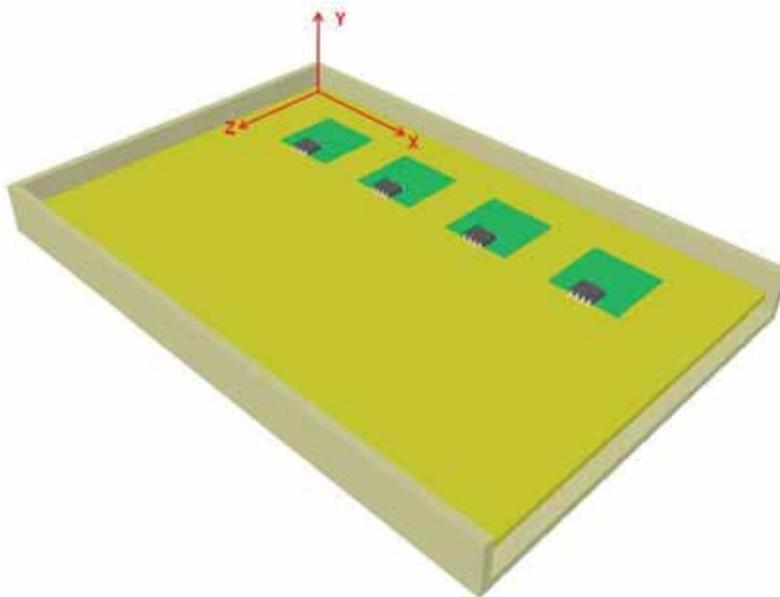
在本手册中本应讨论许多不同外壳材质, 但为了控制变量的数量, 同时也为了提供现实材料的典型分析, 我们将仅使用表 5-1 中的 3 个变量:

表 5-1. 外壳材质及属性的总结

Material	Thermal conductivity (W/m.K)	Surface emissivity
Black plastic	0.2	0.95
Polished aluminium	201	0.04
Anodized (black) aluminium	201	0.8

表面辐射率适用于外壳内表面和外表面。

示例模块如图，外壳的顶部和一个侧面已经做成可透明的，所以 PCB 的位置是可以看见的。



aaa-001387

表 5-2. 模型示意图

5.2.3 轴命名约定

整个章节中我们将考虑把目标模型在空间三个方向上进行移动或更改尺寸。因此我们将涉及到的这些方向进行如图 5-2 的命名约定。

例如，当我们加大 PCB 和外壳短边（X 方向）的间隙时，这意味着和 X- 间隙有关，同样的，在 PCB 的上方和下方的间隙，就认为是 Y- 间隙，以此类推。

5.2.4 周围环境

模块的安装环境具有以下特点：

- 模块处于温度为 20 °C 的自然空气中
- 没有提供空气流动，尽管模块是可以通过外壳上表面的空气对流来产生空气流动
- 模块可通过对流、传导和辐射与环境自由交换热量

5.2.5 潜在的热路径

从 PCB 来的热量有许多可能的散热路径，这些路径是利用三种热的传递机制：对流、传导和辐射，这些将在图 5-3 中进行阐述。

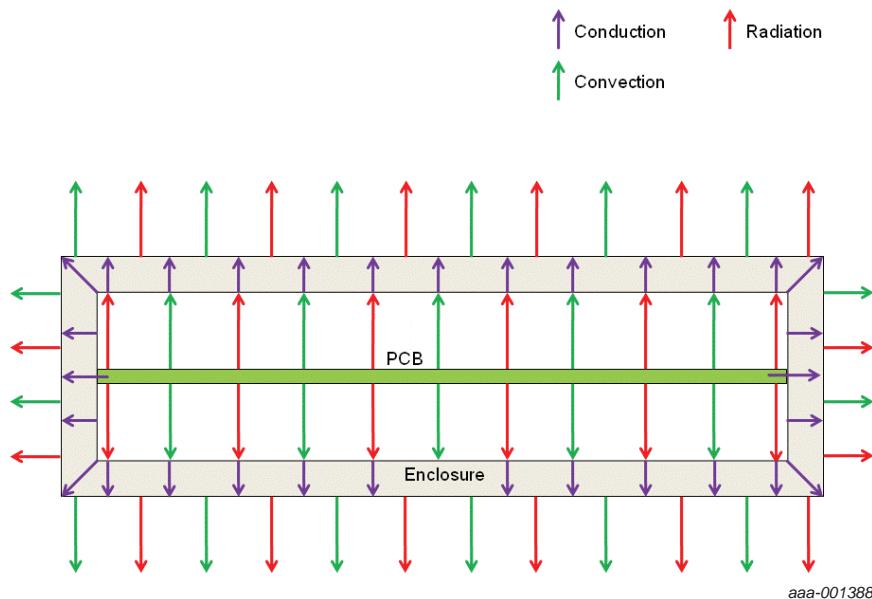


图 5-3. 潜在的散热路径

5.3 Y- 间隙对 T_j 的影响

5.3.1 黑色塑料外壳，X 和 Z 的间隙为 0 的情况

在这第一个分析中，我们将把变量减少到最少，PCB 周围的 X 和 Z 的间隙设定为 0，也就是 PCB 边缘将会和外壳的内壁直接接触。还有外壳为黑色塑料一种情况，在 PCB 上下的 Y- 间隙将会变化，如图 5-4 中展示的那样。

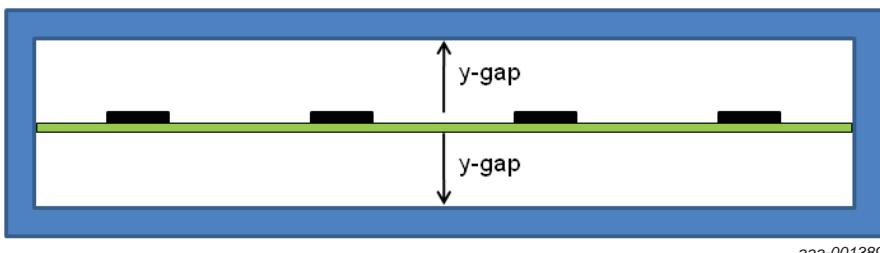
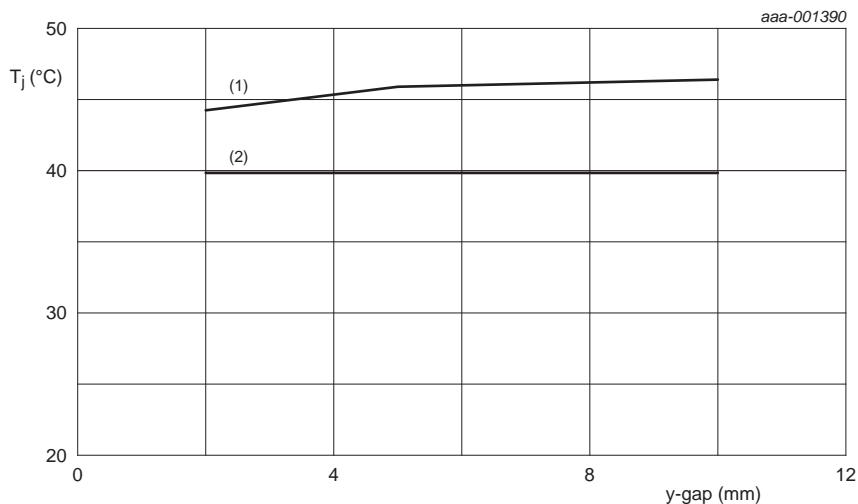


图 5-4. 改变 PCB 上方和下方的 Y- 间隙

我们将从 2 mm, 5 mm 到 10 mm 来改变模块的 Y- 间隙, 然后观察器件 T_j 的变化, 结果如图 5-5 中所示, 同时图中也标出了没有外壳时的温度, 图中温度值是 4 个器件的平均温度。



(1) 黑色塑料外壳中的器件的 T_j

(2) 没有外壳时的器件的 T_j

图 5-5. 器件 T_j 随 Y- 间隙的变化曲线

图 5-5 中展示的曲线有一些有趣的特性:

- 与没有外壳相比, 有外壳的 PCB 上器件 T_j 要高
- 随着 Y-gap 的增大, T_j 也有微小的上升

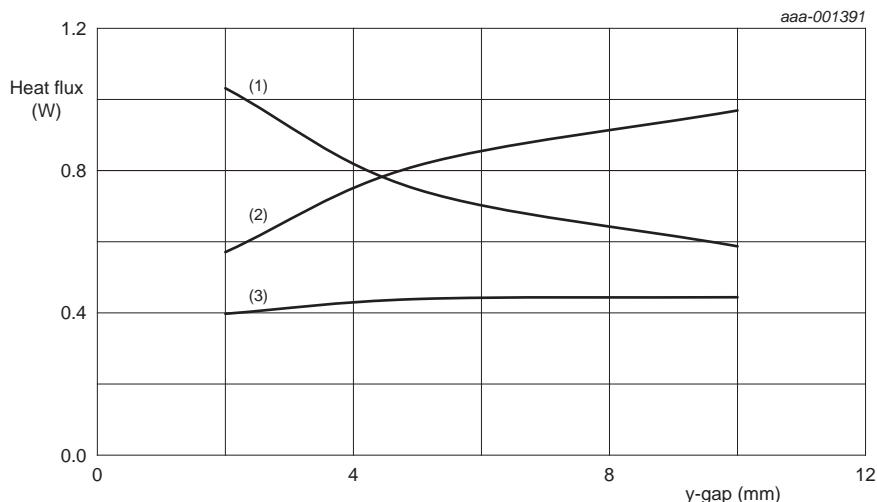
这里的第 1 点和介绍中提到的期望是一致的, 也就是外壳干扰了 PCB 和器件表面通过自然对流的散热, 因此, 安装了壳体 T_j 就会上升是很合理的。

上面的第 2 点是与我们的直觉相反的, 难道不应该是 PCB 周围更多的空间, 散热更有效吗? 为了回答这个问题, 我们要考虑图 5-3 中各种潜在的散热路径。

虽然空气不能出去, 但改变 Y- 间隙应该能增加 PCB 表面可以流通的空气量, 从而提供更好的冷却, 因此应该对散热更好, 然而这并不是我们看到的效果。原因是如果有足够的空间的话, 空气只会以自然对流的方式循环, 当空气接触到 PCB 表面时, 空气将会遇到阻力, 由于空间太小, 如果阻力成为主要力量没那么自然对流就不可能发生。空气也就是静止的, 也可以说是停滞的¹。和实际发生的情况一样, 仿真结果告诉我当 Y- 间隙是 10 mm 时, 外壳内的风速几乎为 0, 最终结果就是通过自然对流的热量散失机制并没有在壳体内发生, 相反, 我们只有空气传导散热, 而空气的传导率很低。(20 °C 时一般为 0.003 W/m.K)

利用 FloTHERM 我们可验证方案中热传递机制的幅值, 图 5-6 展示了分析之后的结果。

1. 这也是为什么, 比如说, 双层玻璃的空气间隙是一个有效的绝热体的原因。有关这种现象的详细解释信息, 鼓励读者研究“努塞特数”和“瑞利数”这两个术语。



(1) 通过空气传导

(2) 辐射

(3) 通过固体材料传导

图 5-6. 在 Y- 间隙上的热量散失机制的变量

从图 5-6 我们可以发现通过空气的传导确实是随着 Y- 间隙的增加而降低。同时通过 PCB 边缘和外壳内壁的传导维持在常量，另一方面，随着 Y- 间隙增加，PCB 的辐射散热有所增加，这是为什么呢？

辐射的热量交换发生在 PCB 和外壳内壁之间，所有涉及到的表面会进行热辐射。但 PCB 的温度要高于外壳内壁的温度，综合效果是热量由 PCB 传向壳体，热量交换的多少取决于几个因素：

- 表面的温度
- 表面的辐射系数（和表面颜色抛光等等有关）
- 表面之间的视角系数

视角系数是衡量接收表面能被发射表面“看到”多少。在这种情况下，随着我们提高了Y-间隙，同时提高外壳内表面的面积，因此就会有更多的面积来接受PCB通过辐射传递出的热量。也要注意，对于任一Y-间隙值，通过三种机制散出的总热量必须要与外壳内的总损耗相等，也就是本例中的 $4 \times 0.5 = 2\text{ W}$ 。

5.3.2 其他两种外壳材质

到目前为止我们只考虑了外壳内部的热量流动。当然，如图5-3所示，也会有其他的热路径，如通过外壳内壁表面，这也会对模块的整体热性能有所影响，热量流动的性质将很大程度上取决于外壳材质的热属性：

- 通过壳体壁的传导受壳体材料传导率的影响
- 从壳体外表面辐射出的热量受模块表面发射率的影响

另外，模块的尺寸也会决定外壳内的热通量的性质。正如我们已经发现的，通过壳体壁和模块外表面散失的热量都是通过对流和辐射进行的。这些因素清晰的连接在一起，所以不要把其中某一项应用到简单的人工分析中。因此我们要用两种不同材质重新执行一遍仿真，结果如图5-7。

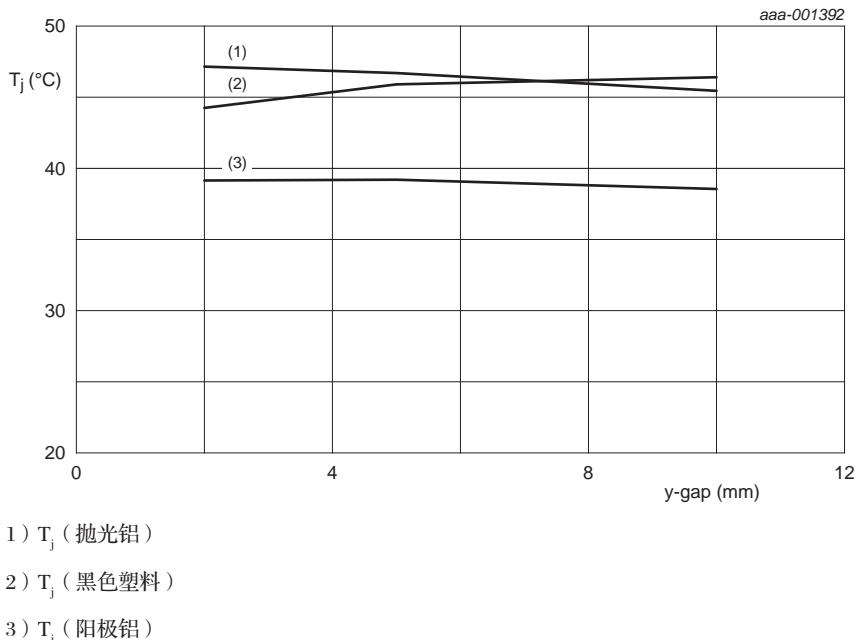


图 5-7. 三种不同材质随着 Y- 间隙变化的表现

在表 5-2 中我们以简单的方式总结一下三种材质的属性：

表 5-2. 材质属性的简单总结

Material	Heat transfer by radiation	Heat transfer by conduction
Black plastic	good	bad
Polished aluminium	bad	good
Anodized aluminium	good	good

黑色塑料和抛光铝都只是在一方面好，另一方面差，因此对于这两种材质的温度会有点高，因为变量性能并不能完全消除。但是，阳极铝材质是两个方面中最好的，即是好的导体，又是好的热辐射材质，所以这个材质的温度要低一些。

5.3.3 总结 : Y- 间隙对器件 T_j 的影响

下面就是从本章观察所得的总结:

1. 与没有外壳相比, 有外壳时会导致内部器件温度升高, 这可以从黑色塑料与抛光铝材质中看出
2. 然而, 阳极铝材质制成的外壳却可以轻微地降低器件温度
3. 外壳内部的空气是停滞的, 所以自然空气对流不能发生
4. 存在于外壳内部的热量损失机制有
 - A. 通过停滞的空气传导
 - B. 直接通过 PCB 的边缘到外壳进行传导
 - C. 辐射
5. 热辐射交换取决于两个不同辐射表面的视角系数, 随着外壳内部空间增大而升高
6. 外壳的材质将影响模块的整体热性能, 特别是材料的热导率和表面发射率
7. 通过考虑三种材质, 阳极铝材质有着最好的导热率及表面辐射系数

5.4 增加 PCB 周围的 X 和 Z- 间隙

目前为止, 我们考虑的所有情况都存在 PCB 边缘和外壳侧壁有直接接触, 尽管接触的面积非常小, 图 5-6 中的图形已经表明了通过此热路径传递的能量是显著的, 数量能达到黑色塑料外壳散热总量的 20 % 左右。

但是，在现实的配置中由于电路绝缘或是其它机械方面的原因，PCB 与外壳侧壁之间需要存在间隙。引入这样的空气间隙将会改变模型内可能的散热路径，还会必然影响焊接在 PCB 上的 MOSFET 器件的温度。

为了研究 PCB 周围空气间隙的影响，重新运行之前的模型，但这次 X 和 Z 间隙只是 5 mm、10 mm，详见图 5-8。

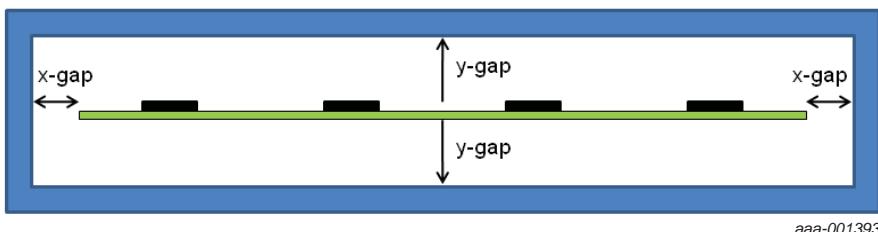


图 5-8. 在 PCB 周围加入间隙

5.4.1 黑色塑料外壳

黑色塑料外壳的结果如图 5-9 所示

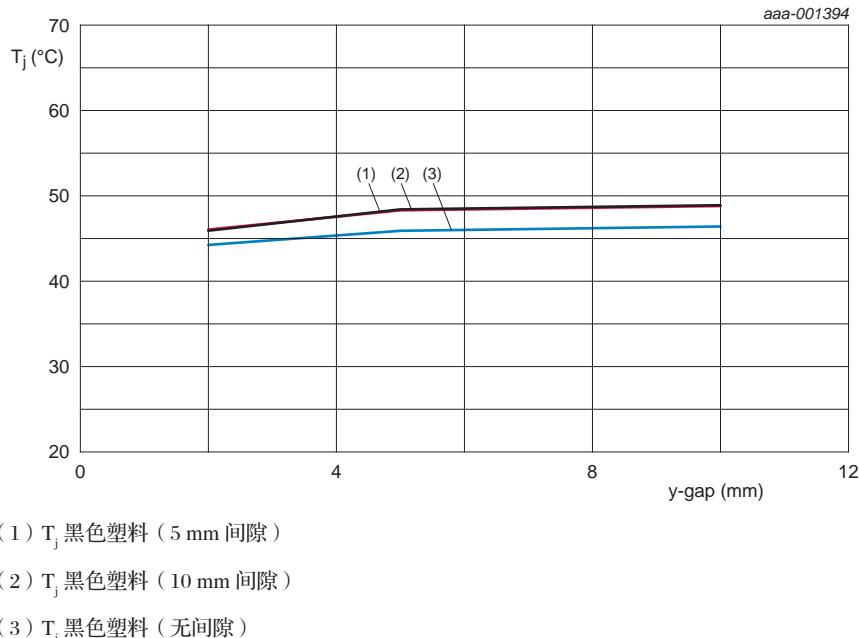
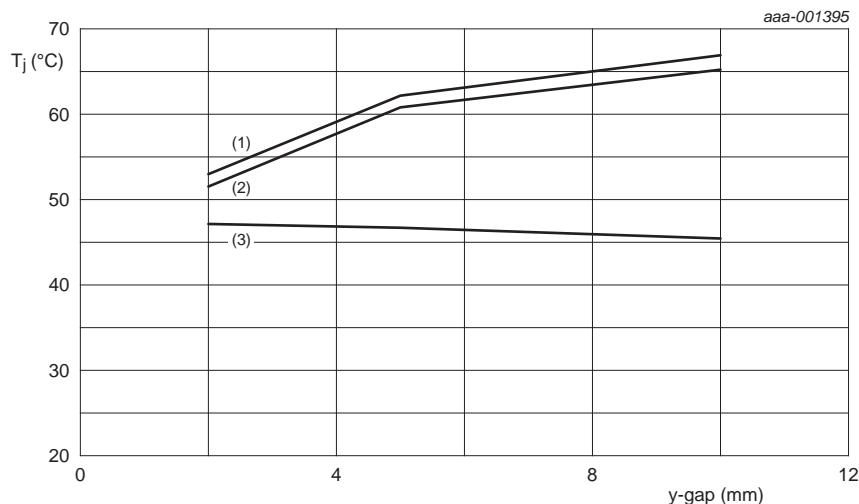


图 5-9. 黑色塑料外壳 X 和 Z- 间隙对 T_j 的影响

虽然当引入间隙后我们看到了一些差别，但效果并不十分明显，大约 $2.5\text{ }^\circ\text{C}$ 。这是因为黑色塑料并不是一个良好的导体，所以对外壳的传导并不是主要的导热路径（见图 5-6）。另外，视角系数增大会导致辐射传递的热量增加，因此去除传导散热路径并不能带来温度上的改变。

5.4.2 抛光铝外壳

我们期待铝外壳有更显著的效果，因为铝的导热性要比塑料强得多，所以去除直接接触的路径将会对 T_j 有更多的影响，抛光处理的铝外壳的仿真结果如图 5-10。



(1) T_j 抛光铝 (5 mm 间隙)

(2) T_j 抛光铝 (10 mm 间隙)

(3) T_j 抛光铝 (无间隙)

图 5-10. 抛光铝外壳 X 和 Z- 间隙对 T_j 的影响

在 PCB 周围加入 X 和 Z- 间隙的结果是值得我们注意的，尤其是当 Y- 间隙增加时。当 Y- 间隙是 10 mm 时，导致近 20 °C 的温度升高。通过去除 PCB 边缘的传导路径，我们便提升了 PCB 和外壳之间的绝缘性：

- PCB 与外壳的直接接触被去除了
- 通过空气流动带走的热仍然很少，因为空气还是静止的
- 热辐射的交换也是很少的，因为铝表面的辐射率也是很低的

5.4.3 阳极铝外壳

对于阳极化处理的铝外壳，增加 X 和 Z- 间隙的效果是不大的，见图 5-11。

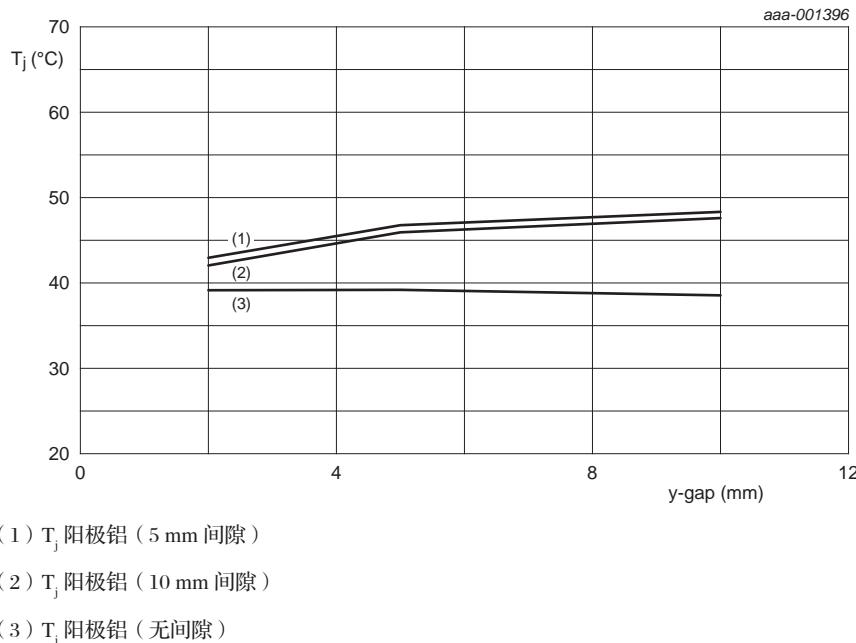
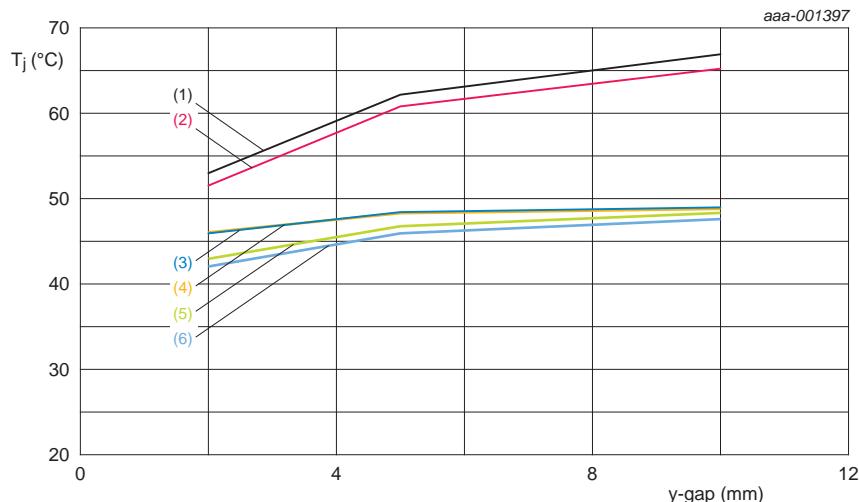


图 5-1. 阳极化处理过的铝外壳 X 和 Z- 间隙对 T_j 的影响

虽然在这种情况下，失去了模型的直接传导路径，但热辐射路径仍然十分有效，归功于外壳材质的表面处理。因此 T_j 并没有像抛光铝材质那样变化大。

5.4.4 并排比较三种外壳

图 5-12 展示出三种外壳的结果，这个图可以让我们比较 PCB 与外壳没有直接接触时，三种不同材质的影响。



- (1) T_j 阳极铝 (5 mm 间隙)
- (2) T_j 抛光铝 (10 mm 间隙)
- (3) T_j 黑色塑料 (5 mm 间隙)
- (4) T_j 黑色塑料 (10 mm 间隙)
- (5) T_j 阳极铝 (5 mm 间隙)
- (6) T_j 阳极铝 (10 mm 间隙)

图 5-12. 三种不同的外壳 X 和 Z- 间隙对 T_j 的影响

图 5-12 展示出三种外壳的结果，这个图可以让我们比较 PCB 与外壳没有直接接触时，三种不同材质的影响。

5.4.5 总结 : 在 PCB 周围加入 X 和 Z- 间隙

- 在 PCB 和壳体之间加上间隙会消除它们之间的直接传导热通路
- 对于黑色塑料外壳，由于塑料是导热性比较差的，所以空间间隙对 T_j 的影响并不明显，但在表面之间的热辐射交换确实良好的
- 对于 Y- 间隙比较大的抛光铝外壳，效果就比较明显，因为铝是良好的热导体，但辐射交换较差
- 阳极铝材料的温度变化介于上面两种材料之间，原因是尽管铝的导热性能好，阳极化处理后的铝提供较好的热辐射交换
- 横向排列来看，对于阳极化处理的铝和黑色塑料的温度曲线十分相似，同时特别是在较大 Y- 间隙时抛光铝 T_j 温度较高
- 外壳的导热率和辐射率也影响从外壳到外壳外表面再到周围的热路径。

5.5 PCB 的封装

目前为止，我们只是考虑了 PCB 处在外壳中的空气之中，然而有时候在外壳内会部分或全部填充上一种封装化合物，一般为了给 PCB 防污和防潮湿，也可以把模块变成一个整体提高机械稳定性。

显而易见，如果我们把外壳内填充一些或全部固体材料，模块的热性能将改变，即使不进行具体的分析，似乎也知道以下方面将会受影响：

- 假设密封物是不导热的，部分或者全部的辐射路径将被去除
- 部分或者全部的外壳内通过空气的传导路径将会改善，前提是密封物要比静止的空气导热率好

在接下来的分析中，我们将研究一个典型的导热率为 0.55 W/m.K 的密封物的影响，为了进行比较，静止空气的导热率为 0.003 W/m.K ，所以尽管密封物的导热性并不是非常高，但却是要比空气高。我们将考虑两种填充方法，一种是密封物刚好到达 PCB 表面，另一种是密封物充满整个空间，见图 5-13。

我们将只检验 X 和 Z- 间隙是 5 mm 的配置，换句话说 PCB 边缘和外壳内壁的间隙是 5 mm，理由如下：

- 需要将变量的数量控制在可控范围
- 在现实应用中，当使用铝制外壳时，可能在 PCB 和外壳之间需要提供电气绝缘
- 还可能在 X 和 Z 轴上，PCB 会是模块中最大的独立对象，因此壳体在这些方向上很可能不会比 PCB 大很多

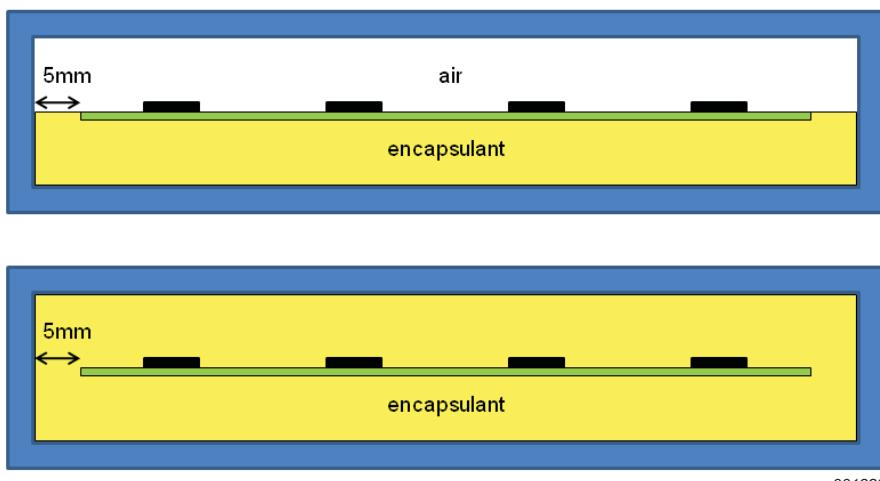
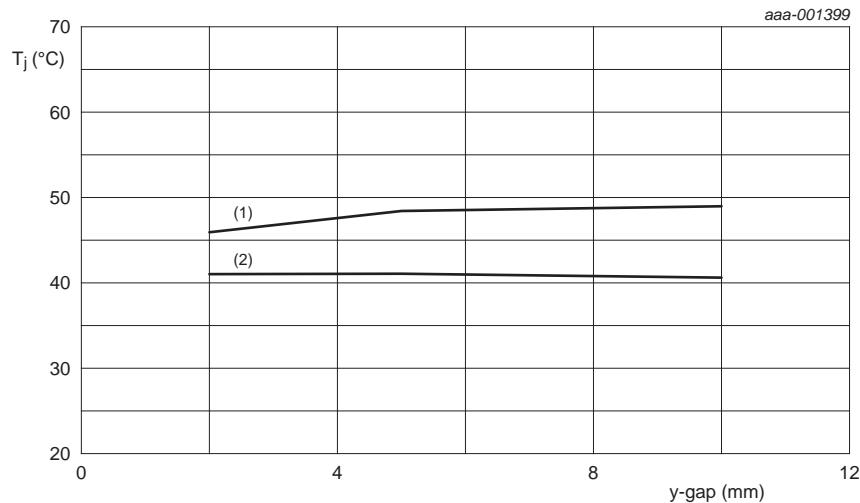


图 5-13. 外壳内部分填充密封物或完全填充的情况

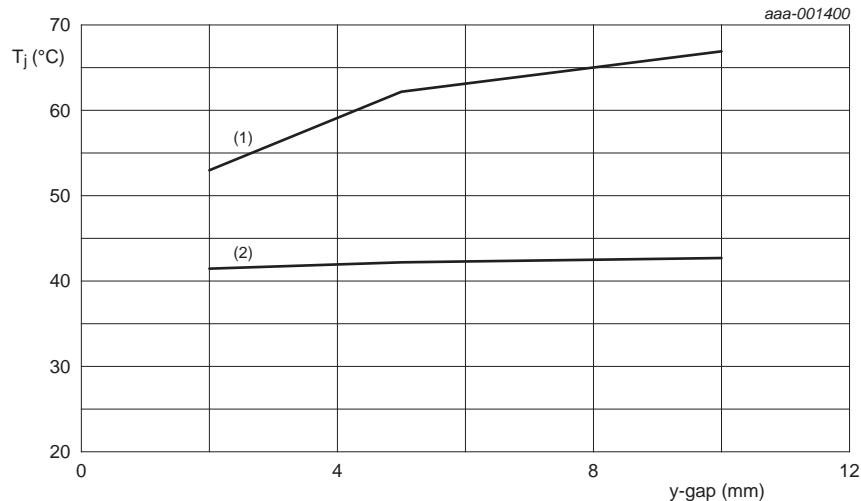
5.5.1 部分填充

三种壳体类型的结果显示在图 5-14、图 5-15 和图 5-16 中，为了更好地比较，每个图形中同时展示没有填充物的结果。



- (1) 5 mm 间隙，无填充物。
(2) 5 mm 间隙，部分填充物。

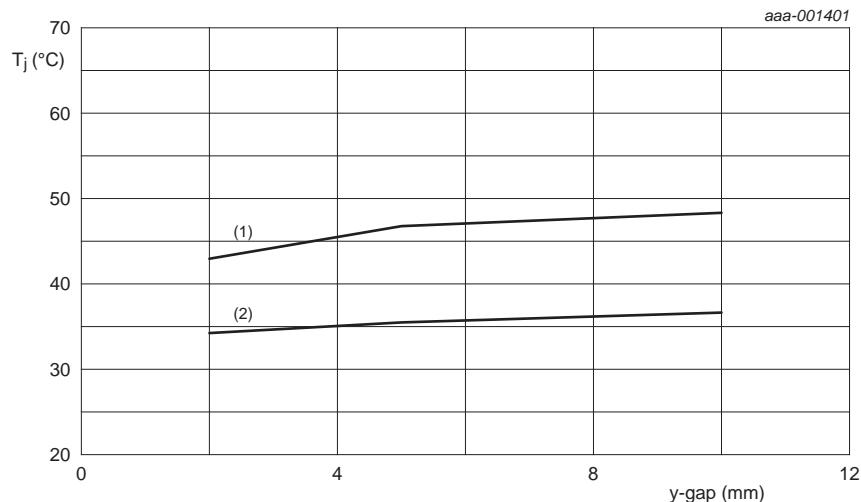
图 5-14. 有部分填充物的黑色塑料外壳



(1) 5 mm 间隙, 没有填充物

(2) 5 mm 间隙, 有部分填充物

图 5-15. 有部分填充物 - 抛光铝外壳



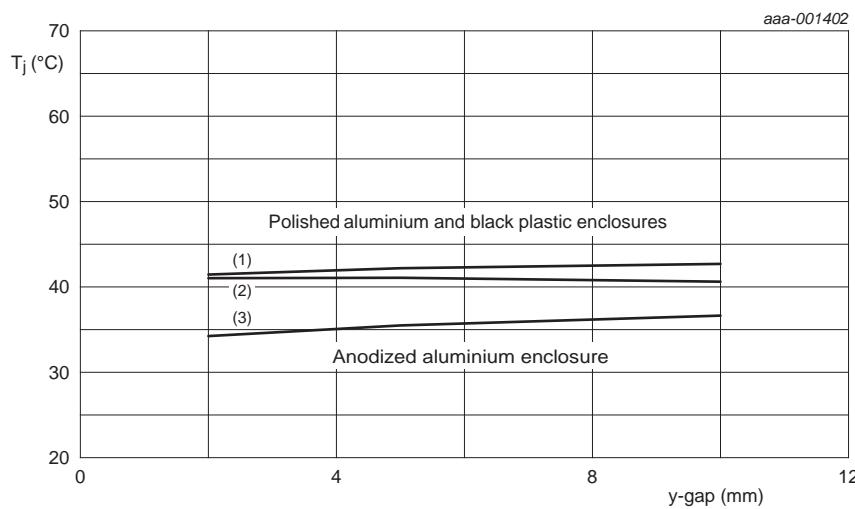
(1) 5 mm 间隙, 没有填充物

(2) 5 mm 间隙, 有部分填充物

图 5-16. 有部分填充物 - 阳极铝外壳

在所有三种情况中，部分填充就已经很大程度降低了温度，这明显表明了通过加入散热较好的密封物，引入了新传导路径，对抛光处理的铝材质尤其值得注意的，因为原来较差的热辐射路径已经被更有效率的传导路径替代。

为了对比，图 5-17 中的图形可以用于结果的核对。



(1) 5 mm 间隙，抛光铝，部分填充

(2) 5 mm 间隙，抛光铝，部分填充

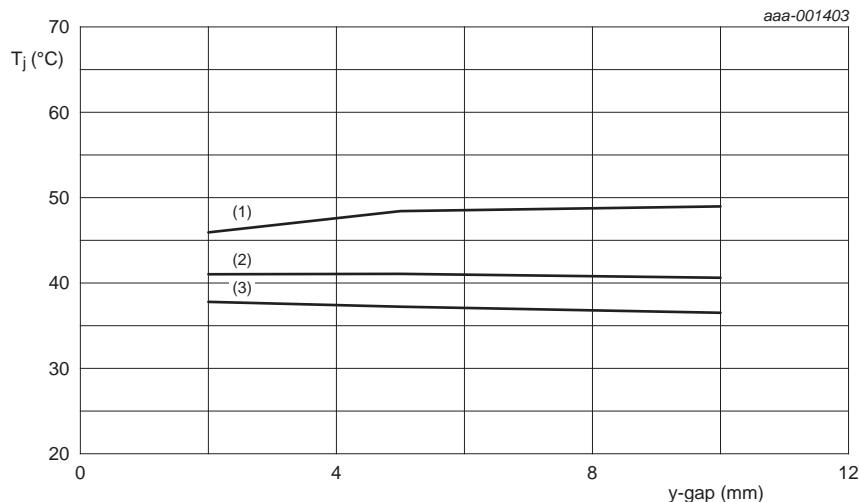
(3) 5 mm 间隙，阳极铝，部分填充

图 5-17. 有部分填充物的三种外壳的总结

这时我们也非常有趣的注意到，结果变得不依赖于 Y- 间隙了。

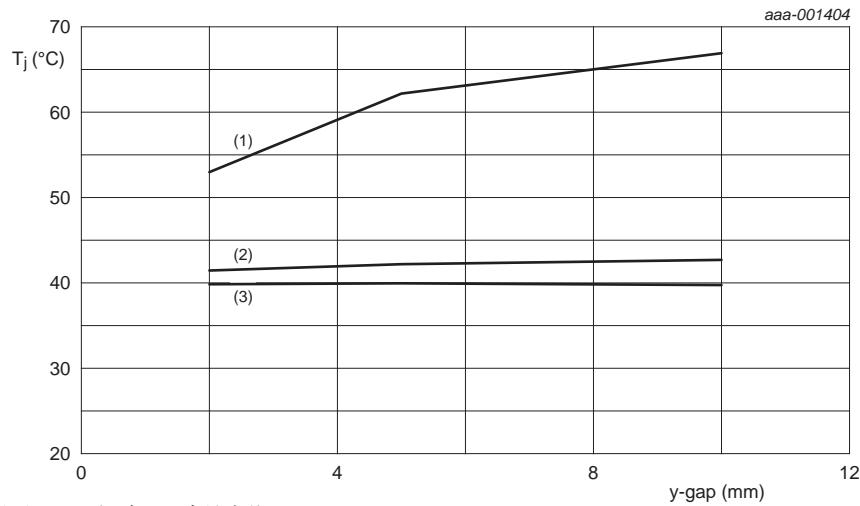
5.5.2 全部填充

全部填充的三种外壳的结果展示在了图 5-18, 5-19 和 5-20 中, 为了达到比较的目的, 半填充或没有填充的结果也在图中。



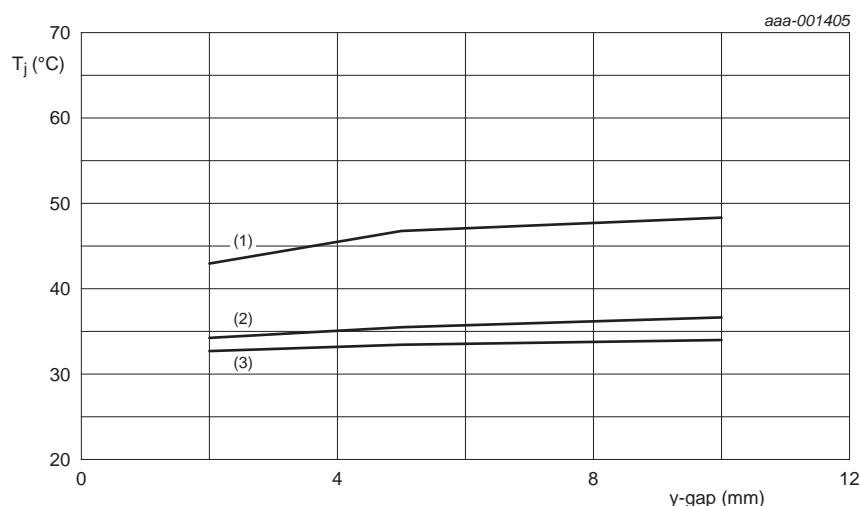
- (1) 5 mm 间隙, 没有填充物
- (2) 5 mm 间隙, 有部分填充物
- (3) 5 mm 间隙, 有全部填充物

图 5-18. 全部填充 - 黑色塑料壳体



- (1) 5 mm 间隙, 没有填充物
- (2) 5 mm 间隙, 有部分填充物
- (3) 5 mm 间隙, 有全部填充物

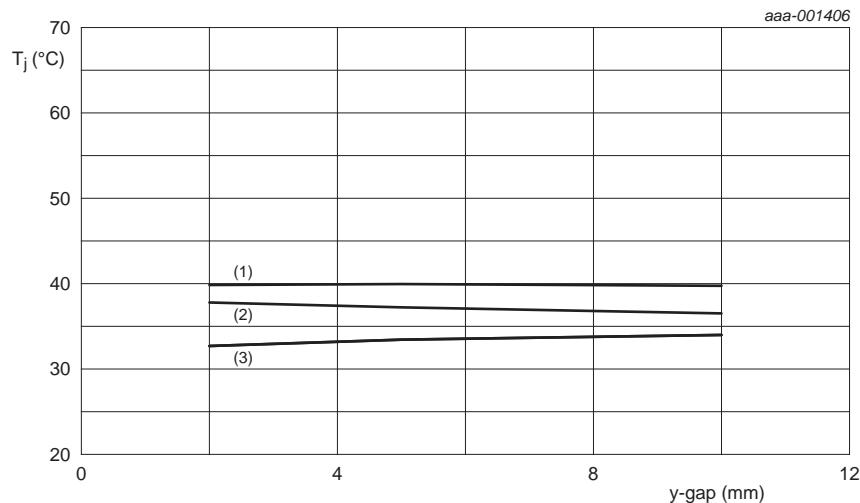
图 5-19. 全部填充 - 抛光铝壳体



- (1) 5 mm 间隙, 没有填充物
- (2) 5 mm 间隙, 有部分填充物
- (3) 5 mm 间隙, 有全部填充物

图 5-20. 全部填充 - 阳极铝壳体

全部填充的结果和部分填充的非常相似，温度整体上全部降低，而且有些时候这个下降是相当可观的，而且并不依赖于 Y- 间隙。为了对比，图 5-21 展示了全部填充时的三种外壳中的器件 T_j 的状态曲线。



- (1) 5 mm 间隙，抛光铝，全部封装
- (2) 5 mm 间隙，黑色塑料，全部封装
- (3) 5 mm 间隙，阳极铝，全部封装

图 5-2. 全部填充的三种壳体类型总结

不考虑外壳材质，通过填充外壳内部空间，我们得到了相同的散热路径，但我们仍然发现即使外壳尺寸相同，材质不同也会有不同的热效应。这是因为外壳内部的散热路径只是热量从热源到周围整个热路径的一部分，热量仍需要以传导的方式通过壳体的侧壁，然后以对流和辐射的方式从壳体外表面散失到周围空气中。所有这些热通路都极大地取决于材料特性，这一点我们已经看到了，填充同样尺寸的外壳，但热性能却不尽相同。

5.5.3 总结: 填充包装 PCB

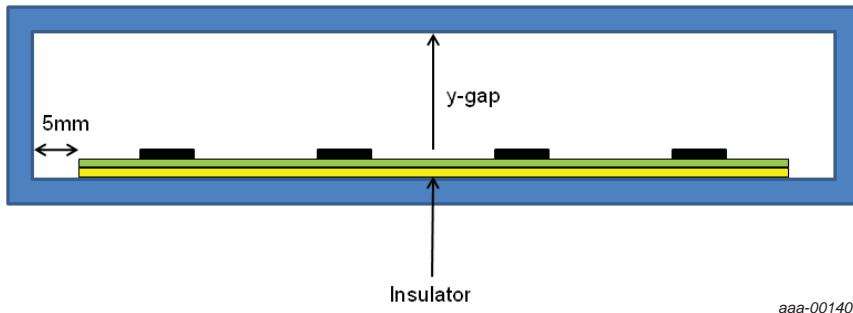
- 不论是全部或部分填充, 用导热性更好的材质代替静止的空气, 去除了模型内部分或全部的热辐射路径
- 部分或全部填充都可以导致器件温度的下降
- 结果基本不依赖于 Y- 间隙

5.6 通过外壳直接冷却

到目前为止我们考虑的情况, PCB 与外壳直接接触面积都是比较小的, 只是 PCB 的边缘, 甚至没有接触, 我们将考虑 PCB 和壳体接触更直接的两种情况。

5.6.1 PCB 底部散热

PCB 底部散热是安排 PCB 底部放置接近于外壳内表面, 并用一个薄的绝缘层隔离, 见图 5-22。

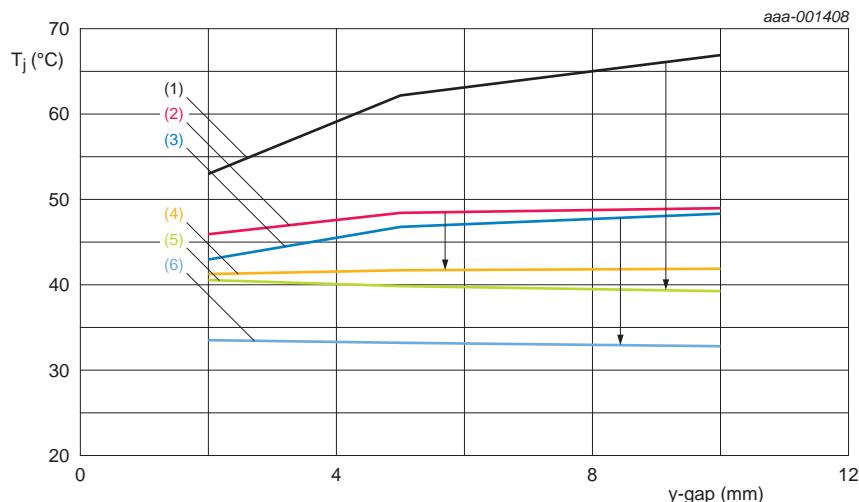


aaa-001407

图 5-22. PCB 底部散热

底部散热的目标是引导热量从 MOSFET 的晶圆，先通过 MOSFET 器件的封装底部，再通过 PCB 的过孔到外壳。在外壳内部目的是让传导成为主要的热量传递机制。一旦热量到达外壳将会从外壳外表面以对流和辐射的方式散布到周围环境中。

我们选用的绝缘片导热系数为 2.6 W/m.K ，厚度为 2.54 mm ，代表了常见的绝缘材料。现在 Y- 间隙只与 PCB 的一面有关，在之前的章节中，我们只考虑了 PCB 边缘与外壳内壁间隙为 5 mm 的配置，所有三种外壳的结果见图 5-23，为了对比，同时一起把没有底面散热的相关结果展示出了。



- (1) T_j 抛光铝
- (2) T_j 黑色塑料
- (3) T_j 阳极铝
- (4) T_j 黑色塑料 底部散热
- (5) T_j 抛光铝 底部散热
- (6) T_j 阳极铝 底部散热

图 5-23. 三种采用 BSC (底部散热) 的不同材质的外壳的热性能比较

底面散热的应用已经导致了三种情况的温度的下降，结果几乎不取决于 Y- 间隙，我们把传导变成主要机制的程度展示在图 5-24。由于 T_j 几乎不取决于 Y- 间隙，图 5-24 只表示了 $Y = 10 \text{ mm}$ 的结果，10 mm 是比较合理的，因为要考虑到 PCB 顶部如连接器，电容等其它器件。

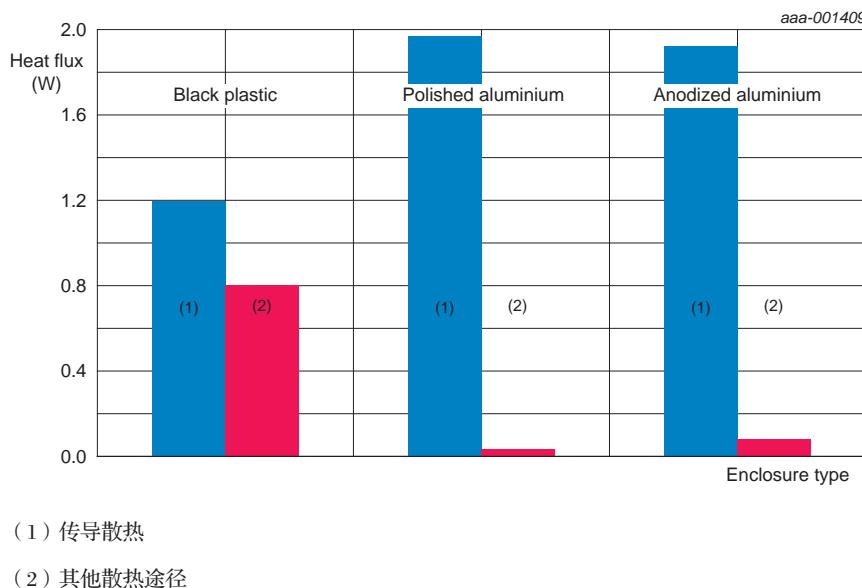


图 5-24. 应用底部散热后，三种外壳的热传导程度的比较 ($Y = 10 \text{ mm}$)

对于两个铝外壳，外壳内部通过传导传输的热量数量在每种情况中都超过了 95 %。这应该不奇怪，因为铝是比较好的热导体（见表 5-1 和表 5-2）所以没有表现出对热传导较为明显的阻碍。即使对于塑料外壳，外壳内通过热传导传递的热量也已经达到了 60 %。结合图 5-23 来看，事实表明底面散热是带走 PCB 热量的最好方式。最后，正如我们之前所见，阳极化处理的外壳达到了整体最佳表现，这得益于它良好的导热性和有效的热辐射。

5.6.2 有填充物并采取 PCB 底部散热

作为底面冷却分析的最后一部分，我们可以考虑在外壳内加入填充物的影响。在 5.5 章中，我们发现要想降低器件温度可以将外壳内部空间替换成部分或者全部的填充物，因为填充物的导热性要比静止的空气好的多。在 5.6 章中的第一部分，由于加入了通过外壳壁的直接传导热路径，我们看见了应用底部冷却带来的显著的影响，特别是对于铝外壳，主要的热量都是以传导的方式通过外壳壁进行散热（图 5-24），因此，要观察到的现象将很有趣，加入填充物是否可以带来器件温度的显著变化呢，见图 5-25。

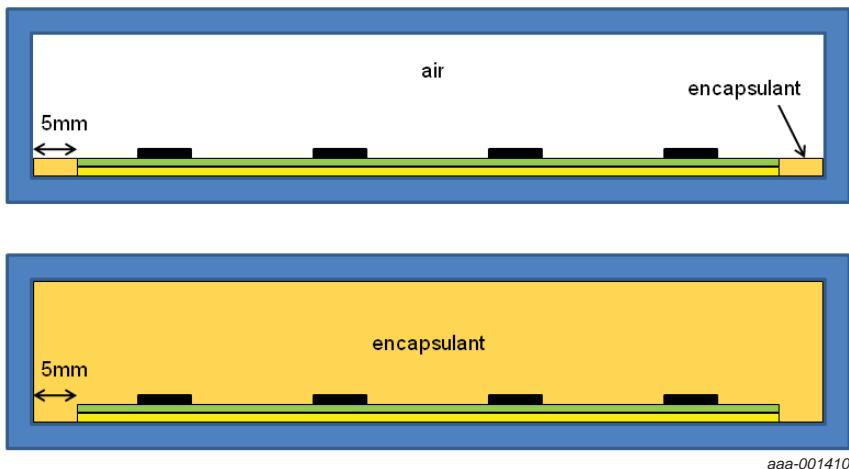
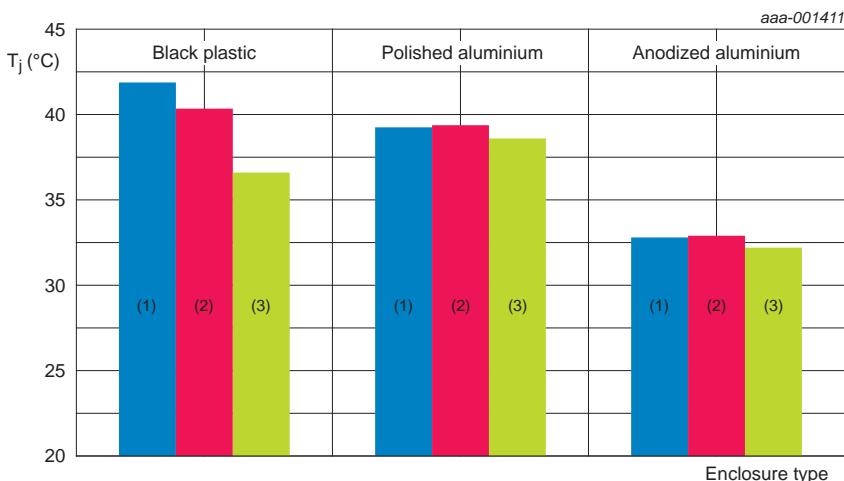


图 5-25. 底面冷却，加部分填充（底部）和全部填充（顶部）

对 5.6 章节中的三种底部冷却方案增加了部分或全部填充后进行仿真，结果如图 5-26。



- (1) 没有填充物
- (2) 有部分填充物
- (3) 全部填充

图 5-26. 底面散热，带和不带填充封装

对于铝外壳，填充的出现几乎对器件温度没有影响，这个结果并不奇怪，因为大部分的热量已经通过直接传导的方式从 PCB 带到了外壳，所以加入填充物只是造成了额外的微小差异。但对于塑料外壳，由于直接接触而传递到壳体的热量较少，所以加入填充物后有了更为显著的影响。

5.6.3 PCB 的顶部散热

顶层冷却 TSC 就是将器件的顶部接近于外壳的内表面，并用一层薄绝缘片进行隔离，详见图 5-27。尽管在外壳和器件封装之间并没电气绝缘的必要，但为了实现器件与外壳表面的持续接触，常常引入一个间隙填充。在本实例中，我们将使用在底部冷却案例中一样的绝缘材料。

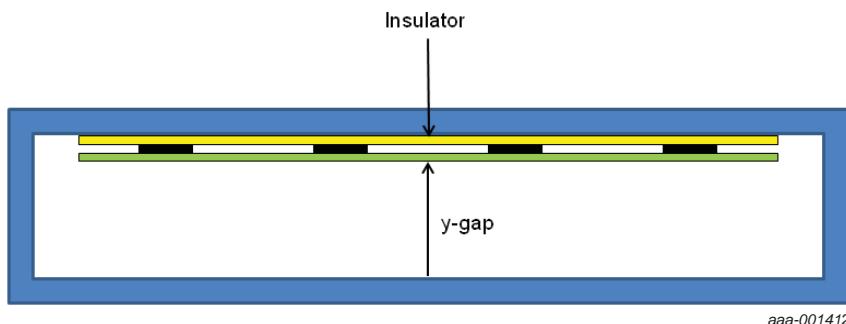


图 5-27. 器件顶层冷却

这一布置的目的是引导热量从 MOSFET 的核心，通过器件封装的顶层，散布到外壳。Y- 间隙只和 PCB 的一面相关，和前一章一样，我们只考虑 PCB 边缘和外壳间隙为 5 mm 的情况，三种情况的结果展示在图 5-28 中，为了比较，也一起列出了未采用顶层冷却的结果。

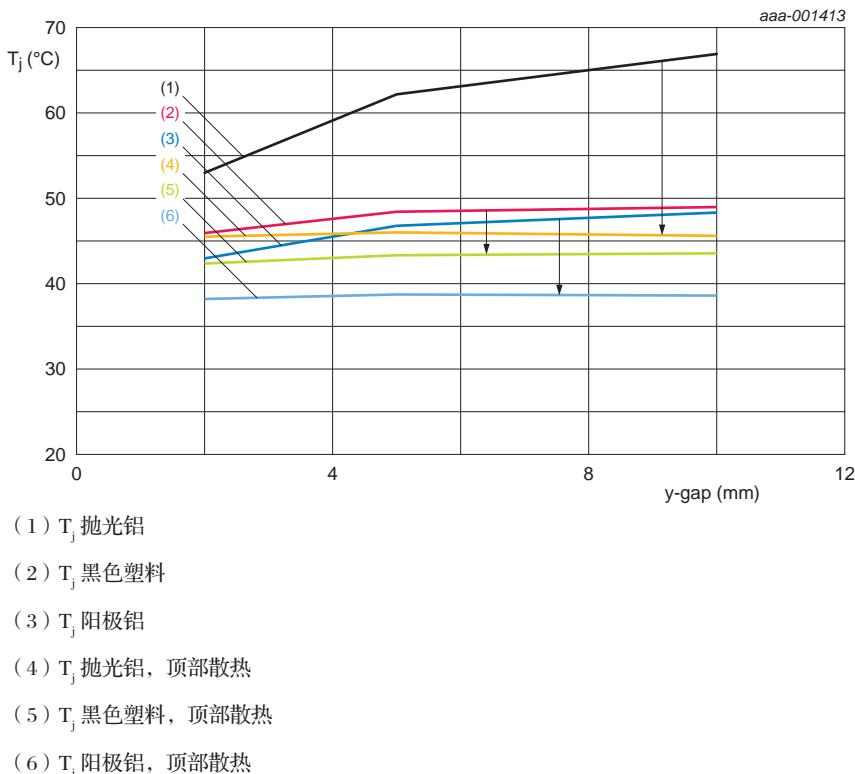
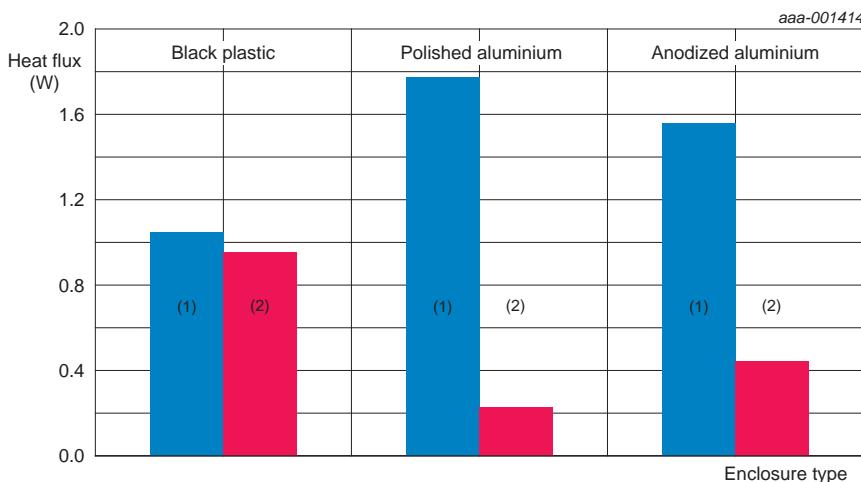


图 5-28. 顶层冷却应用到三种外壳

和 5.6.2 章节展示的一样, 结果与底部散热明显相近。顶层冷却的应用再一次导致了三种情况的温度下降。同样的, 结果也几乎不取决于 Y- 间隙。我们把传导变成主要机制的程度展示在图 5-29 中, 和以前一样, T_j 已经几乎不依赖于 Y- 间隙, 所以图 5-29 中只展示了 $Y = 10 \text{ mm}$ 的结果。



(1) 传导散热

(2) 其他散热途径

图 5-29. 应用顶层冷却后 (Y- 间隙 = 10 mm) 三种外壳的热传导所占程度的比较

与底部冷却的图相比较（图 5-24），我们可以看出，对于铝外壳，传导并不是那么占主导地位，对于塑料外壳，传导与其它相结合在一起的路径的划分几乎相等。这不足为奇，因为在顶层冷却的方案中热量必须要穿过顶层的塑料封装，到达绝缘片和外壳。正如我们知道的，塑料是相对较差的导热材料。另一方面，对于底层冷却方案，热量有了传导率相对较高的路径（焊锡，PCB 板导热过孔），在到达绝缘片之前，并不会被塑料封装所阻碍。

5.6.4 有填充物并采取 PCB 顶层散热

和底部冷却遵循相同的过程，我们也将看一看在顶层冷却方案中加入填充物的影响，见图 5-30。

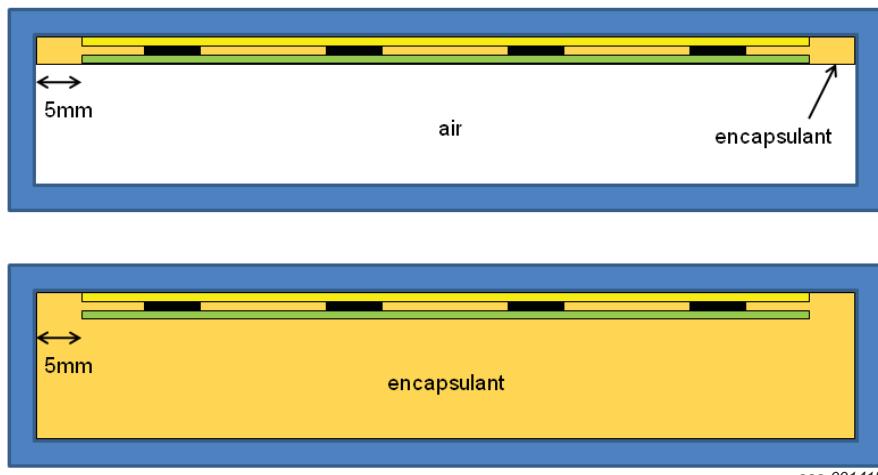
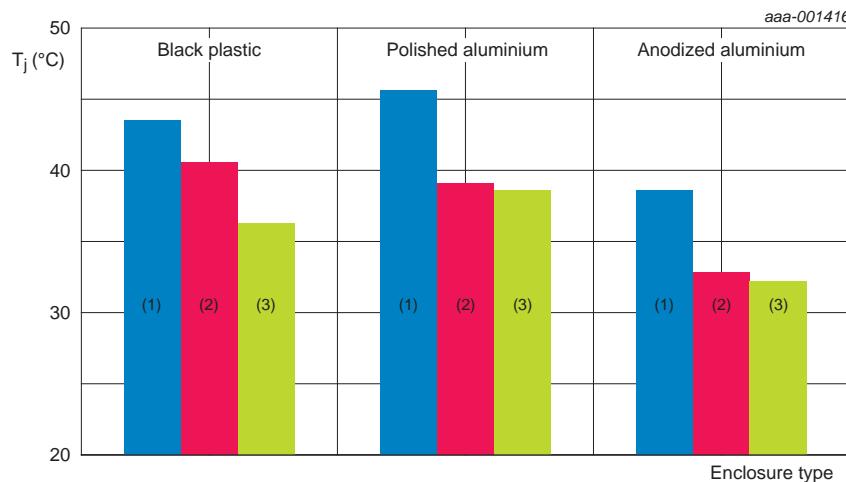


图 5-30. 顶层冷却并带部分填充（顶层）和全部填充（底层）

在底部冷却方案中我们发现加入填充物后易于降低塑料外壳器件的温度，但对于铝外壳却影响不大。这是因为对于铝材质的外壳，主要的热能量是通过传导的方式穿过 PCB 和和外壳侧壁。所以加密封材料对其已经很有效的热通路几乎没有影响。

在顶部冷却方案中，我们已经认定器件封装的塑料是热量散失的潜在障碍，所以观察加入密封材料是否会对器件温度产生显著影响非常有趣。

5.6.3 章中的三种顶部冷却情况已经被部分填充或全部填充，仿真结果如图 5-31 所示。



- (1) 没有填充物
- (2) 有部分填充物
- (3) 全部填充

图 5-31. 顶层冷却，有或没有密封剂

和图 5-26 的底部冷却的结果相比，对于底部冷却的铝外壳密封剂的出现没有给器件温度造成什么影响。但是对于顶层冷却，我们却看到了当密封剂被应用后，器件温度有了明显的降低。这反映出一个事实：顶层冷却方案中的器件热路径和底部散热方案并不是一样直接，所以从 PCB 底部改善散热路径（通过把空气替换成密封剂）会使温度降低。

5.6.5 总结 : 通过外壳直接散热

底部散热:

- 底部冷却的应用导致了器件温度的降低，降低了多少温度取决于外壳的材质。
- 结果几乎不受 Y- 间隙影响
- 对于铝外壳，密封物的出现几乎没有对器件温度造成什么影响。对于塑料外壳，加入密封物会导致温度的下降

顶部散热:

- 顶部冷却的应用也对器件温度造成了降低，降低了多少度取决于外壳材质
- 然而顶层冷却并不像底层冷却那么有效
- 结果几乎不受 Y- 间隙影响
- 对于三种材质的外壳，当加入密封剂后，器件温度都有明显的下降

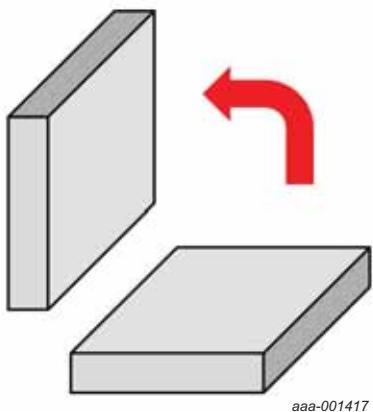
5.7 将外壳安装在隔热板上

到目前为止，我们看到的案例都是把模型水平放置在空气中，我们将考虑将模块按照更能代表实际应用的方式安装，例如，垂直贴近钢隔板安装情况下的散热性能。为了达到仿真的目的，我们将考虑下面的模块变量：

1. 模型 X 和 Z- 间隙固定在 5 mm
2. 模型 Y- 间隙固定在 10 mm
3. 三种材质外壳（黑色塑料，抛光铝，阳极铝）
4. PCB 安装在外壳的中心
5. PCB 应用底部冷却
6. PCB 加入顶部冷却

5.7.1 模型的垂直方向

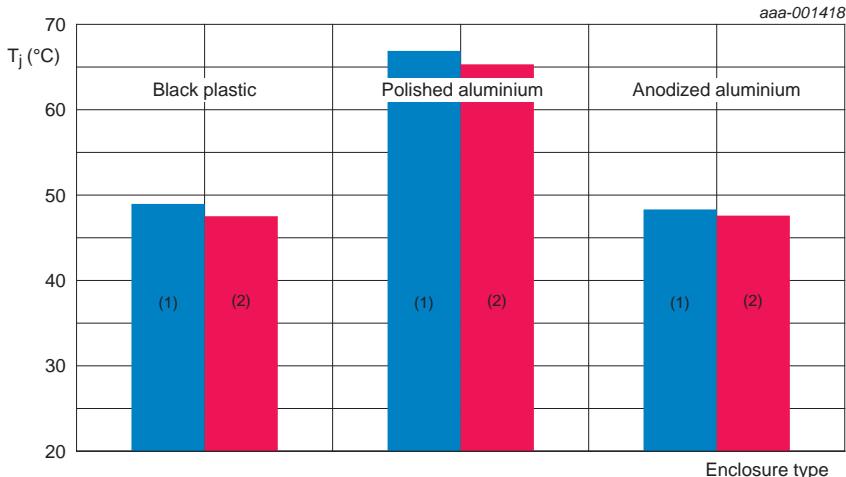
在考虑隔热板的效果之前，我们先看看模型方向变成垂直后会发生什么，详见图 5-32。



aaa-001417

图 5-32. 垂直方向的模型

模型方向对器件温度的影响展示在了图 5-33 中。



(1) 模型处于水平方向

(2) 模型处于垂直方向

图 5-33. 模型的方向对器件温度的影响

方向的改变导致器件温度最多降低了 1.5 °C，要记住目前的 PCB 仍然是安装在外壳的中间，PCB 和外壳之间的上下的间隔为 10 mm。

5.7.2 加入隔板

下一步将在探讨加入隔板的情况，我们并不是将模型直接安装在完美平面的隔板上，而是通过那个 5 mm 的塑料支柱进行安装，这就意味着模型的表面和隔板表面存在一个 5 mm 的空气间隙，这能更好的代表实际应用，因为任何实际模块都很可能使用某种形式的塑料夹来安装，详见图 5-34。

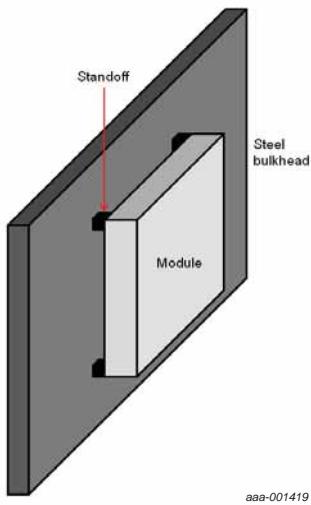


图 5-34. 模型安装在隔板上

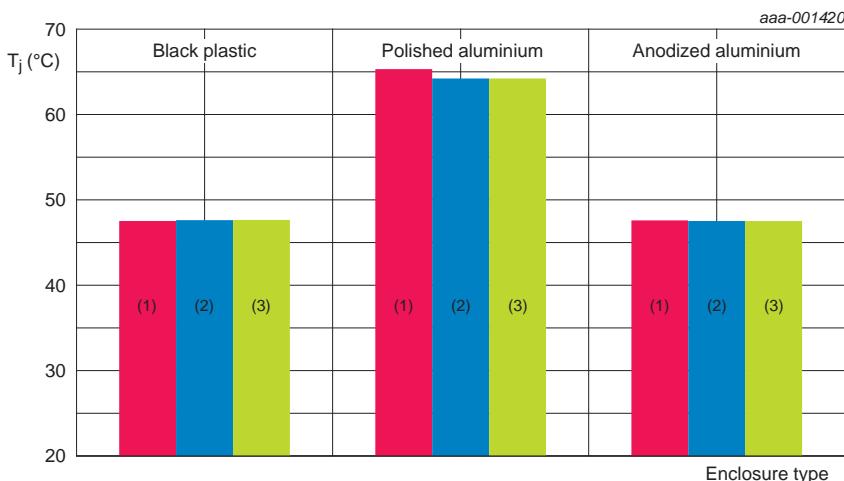
隔板本身是以一片 $220 \times 170 \times 5\text{ mm}$ 的钢板建立模型的，由于隔板已经属于整个热系统的一部分，我们就需要定义它本身的热特性。一方面，我们可以把隔板建模为一块以对流和传导方式进行热传递的普通导热体。然而若采用这种方案，我们就不得不考虑隔板自身怎样把热量散布到周围的，这种方法的危险是我们最终可能会试图对整个车辆进行建模。

一种替代的方案，在这里定义隔板固定在周围温度 20°C ，也就是说，无论有多少热量传递到隔板上，它的温度都将是统一的固定的 20°C 。这种方案的理由是在实际中，车辆的车身要比模型大的多，为了实用性的目的，在这个模型中隔板几乎可以认为是完美的散热片。

最后我们需要解决的一点是模型的哪一边需要和隔板更接近，这对于应用顶部或底部冷却的例子来说尤为重要，因此我们将会考虑两种情形，就是模型的底部和顶部都靠近隔板，底部被认为是 PCB 的焊接面靠近，模型的顶部是靠近 PCB 的器件面。

5.7.3 PCB 安装在模型中心的结果

PCB 安装在模块中心（PCB 之上和下面的 Y- 间隙都是 10 mm）的结果如图 5-35 所示。给出了模块底面安装到隔板上、顶面安装到隔板上和没有隔板的结果。



(1) 没有隔板的情况

(2) 模型底部安装在隔板上，间隙为 5 mm

(3) 模型顶部安装在隔板上，间隙为 5 mm

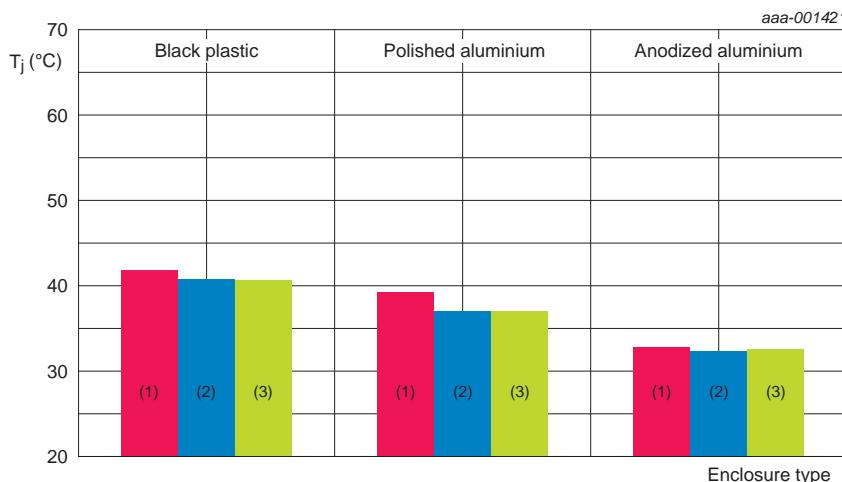
图 5-35. 模型安装在隔板上的结果 (PCB 处于中心)

对于既定的外壳材料，把模型安装在隔板上或不安装隔板，或者是模型的顶部或底部靠近隔板，结果在温度上没有什么影响。

我们也许会觉得这是比较意外的结果，因为隔板的出现应该对模型的一侧的自然对流机制造成妨碍，但是这是毫无疑问的正确，受影响面上的空气仍然“被困”并与模块的面相对静止，由于隔板温度保持不变，空气（因而与之接触的模块面）保持在比正常气温低的温度。我们可以认为这是存在一定距离的散热片的影响。因此一面没有对流的影响被低温空气补偿了，所以这几乎对器件温度没有任何影响。

5.7.4 底部冷却的 PCB 的结果

顶部冷却 (Y- 间隙在 PCB 之上是 10 mm) 的模块的结果如图 5-36，为了方便结果的比较，图 5-36 的垂直坐标特意设置成和图 5-35 一致了。

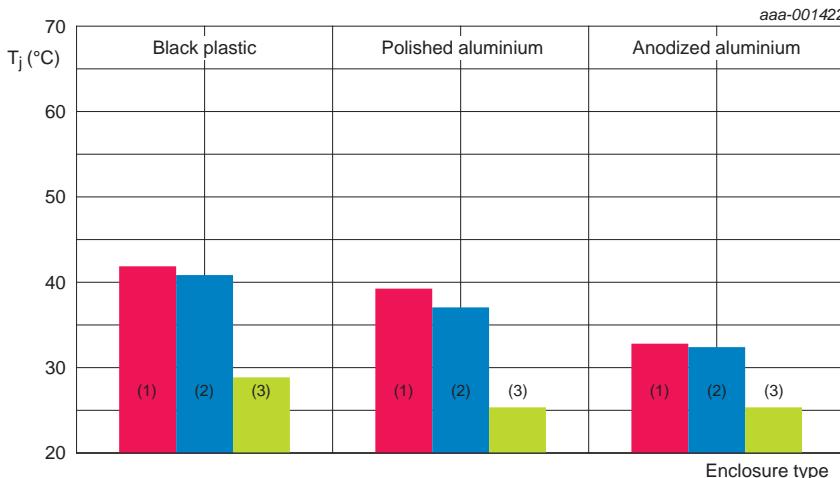


- (1) 模型方向为水平，并且没有隔板
- (2) 模型底部安装在隔板上，间隙为 5 mm
- (3) 模型顶部安装在隔板上，间隙为 5 mm

图 5-36. PCB 利用底部散热，模型安装在隔板上的结果。

我们再次看到了对于给定的外壳材料，我们没有看到当模型安装在隔板上时有明显的差异。这似乎有些奇怪，因为在模型内部，存在一个良好的导热路径从器件，穿过 PCB 再到外壳。然而热量还是要经过模块外表面和隔板之间的空气，来自隔板的任何散热效果都被有效消除。

为了更好的阐述这一点，我们将再次讨论同一 PCB 底部散热的模型，不一样的是这次我们将把模型直接安装到隔板上。这将是完美的附着，没有接触阻抗，两个面之间是完全的均匀的接触。但在现实中没有这样完美的安排，结果只是为了兴趣的研究。



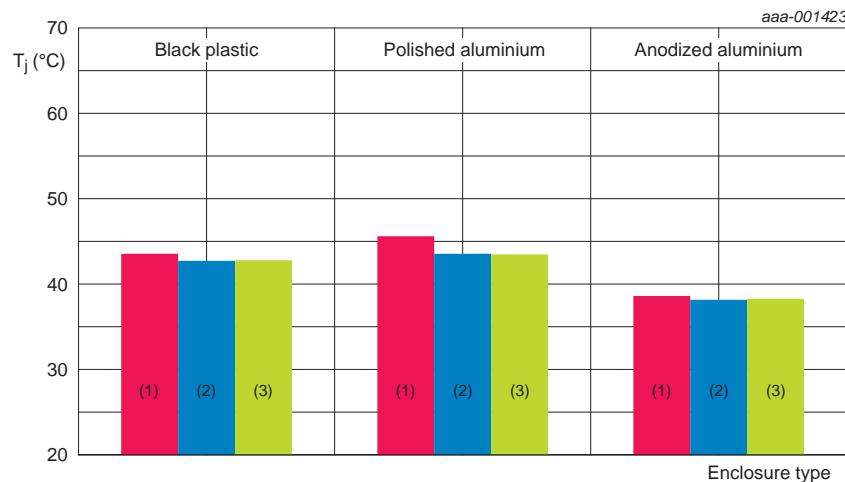
- (1) 模型方向为水平，并且没有隔板
- (2) 模型底部安装在隔板上，间隙为 5 mm
- (3) 模型底部直接接触安装在隔板上

图 5-37. 完美安装在隔板上的模型的结果

正如我们所期望的，没有了模型与隔板之间的干预阻碍，器件温度有了显著的下降。

5.7.5 顶部散热的 PCB 的结果

以下的 PCB 的 Y- 间隙为 10 mm, 顶部散热的模型结果如图 5-38。



- (1) 模型方向为水平, 并且没有隔板
- (2) 模型底部安装在隔板上, 间隙为 5 mm
- (3) 模型顶部安装在隔板上, 间隙为 5 mm

图 5-38. PCB 利用顶部散热, 模块安装在隔板上的结果

结果中的趋势和底部冷却的 PCB 结果很相似, 隔板的存在对器件温度没有什么影响。

5.7.6 总结：把外壳安装在隔板上

- 把模型的方向从水平改到垂直，对于器件温度没有什么影响，观察到的至多下降 1.5°C
- PCB 安装在模型中心的，并安装隔板也不会造成多大影响
- 隔板限制住了外壳表面的热对流损失，但也提供了“远距离散热”效应，这两个现象试图互相抵消
- 底部冷却的模块没有受益于隔板的存在，除非直接安装成完美的热接触，这个是在实际中几乎达不到的
- 接近隔板也并没有给顶部冷却的模型带来什么益处
- 总体来说，垂直安装并靠近隔板并没有使散热情况变得明显更好或更坏

5.8 总结

在功率 MOSFET 设计中热是很重要的一方面，要想确保稳定的工作，MOSFET 的结点温度和 PCB 的温度都要保持在安全限值以下。

第四章考虑了各种不同的 PCB 和器件配置的热性能的影响，考虑的因素有 PCB 的层数，热过孔的影响，还有多个器件的摆放。

第四章中考虑的 PCB 是置于自由空气中，并没有外壳或罩子，因此PCB的主要散热是自然对流，并不受其它物理结构影响。

这个设计指南已经列出了一些可能性，在大多数的实际应用中，需要保护 PCB 避免一些外界的因素，加上可能为电磁兼容的考虑，这就使得 PCB 一定要以某种形式安装在外壳中。这些调查研究了壳体及可能安装的隔板会怎样影响系统的散热性能。

设计指南也考虑了三种不同的外壳材料，它们有不同的热属性和尺寸，密封剂的使用，顶部冷却和底部冷却都被讨论了，还有就是将产品放在隔板很近地方的影响。从这些研究中我们可以得出几个有趣的结论：

1. 在 PCB 周围加入外壳会不会升高器件温度，取决于几个其它的因素
2. 由于外壳内的空气是静止的，因此通常的热对流是不能出现的，取而代之的，空气表现为一个有较低热导率的静止导体
3. 由于没有对流，热辐射就变得更为显著，因此引入的外壳材料的表面处理也变得显著
4. 部分或完全填充密封剂导致了较低的温度，因为密封剂有较高的导热率
5. 顶部冷却或底部冷却技术都可以明显的降低温度，这两种方法之中，底部冷却更为有效
6. 改变模型的方向从水平到垂直几乎不会影响到器件温度的变化
7. 隔板的出现对器件温度没有什么影响

虽然本章并不能列出所有的模型配置，但希望列出的这些可以对现实生活有一些代表性。

最后我们要重申：本设计指南所记载的信息只为设计师提供初级指导。任一新设计无疑都需要制作原型，确定其热性能特征，而后再将设计付诸生产。

第六章: MOSFET 的并联使用

应用笔记: AN11599

第六章: MOSFET 的并联使用

(应用笔记 AN11599)

6.1 介绍

与其他半导体器件相比，功率 MOSFET 的一个显著优点是，很容易将它们并联使用，从而增强电路的驱动能力。虽然这个并联使用的理论是绝对成立的，但是粗心的电路设计者也会遇到一些潜在的问题。

一个 MOSFET 是由硅晶圆表面上的并联的单元组成的。这些单元是在同一条件下同时制造出来的。当 MOSFET 完全导通承载电流时，每个单元的温度是很接近的。由于单元的结构和热性能非常接近，所以他们可以平分电流和功率，这样就可以很好地定义 MOSFET 的参数了。

在一个晶片上的 MOSFET 的晶圆的参数是有一定范围的，那么在同一生产批次中的不同晶片上的 MOSFET 的晶圆的差别范围就会更大。即使所有的 MOSFET 都是一个类型的，范围也会很大。在规格书以外的 MOSFET 都会被报废掉。

在同一并联使用的组内的 MOSFET 应该都是同一型号，虽然其参数可能落在数据手册规定的范围中的任意地方。各自晶圆的温度也不大可能相同。这就会导致功率分配也不是很完美。

本章中包含的指南的目的就是展示怎样才能设计一个能得到高性能的并联使用的 MOSFET 组。设计必须要考虑适应落在数据手册限值中的 MOSFET 的变量的变化。也要满足在整个电气条件和环境条件下的 MOSFET 参数的变化。如果这个组内的每个 MOSFET 都工作在安全工作范围以内，那么这个 MOSFET 并联组就会稳定的运行。

在技术上和商业上并不期望对 MOSFET 进行选择，这也是不必要的。电路应该设计成能使用在 $R_{DS(on)}$ 最坏情况下。

在数据手册中的最关键的参数就是不能超过结点最大温度 $T_{j(max)}$ 175 °C。

6.2 静态(直流)工作

这种情况是最简单的,电流从完全导通的并联的 MOSFET 中流过.在并联的组中流入每个 MOSFET 的电流和总电流是成比例的。在导通的初始阶段,并联组内的晶圆的温度是相同的,在所有 MOSFET 的漏极和源极间的电压差相同的情况下,流入每个 MOSFET 的电流是和它自身的 $R_{DS(on)}$ 成反比的。

拥有低 $R_{DS(on)}$ 的 MOSFET 会承载较高比例的电流,而且会消耗更多的功率(功率损耗 $P = V_{DS} \times I_D$)。

所有的 MOSFET 都会加热,假设所有 MOSFET 的 $R_{th(j-a)}$ 都一致的情况下,拥有较低 $R_{DS(on)}$ 的 MOSFET 的温升将会更大。

MOSFET 的 $R_{DS(on)}$ 是呈现正温度系数的, T_j 上升, $R_{DS(on)}$ 就会上升.组内所有 MOSFET 的晶圆温度和 $R_{DS(on)}$ 也会上升。但是低 $R_{DS(on)}$ 的 MOSFET 的裸片温度将不成比例上升,这个现象就会导致电流重新分配到高 $R_{DS(on)}$ 的 MOSFET 将承载更大的电流。

在工作了一段时间后电路达到了热平衡状态,低 $R_{DS(on)}$ 的 MOSFET 是温度最热的,但是却承载了比初始时较低比例的电流。

$R_{DS(on)}$ 的正温度系数的特性是一个稳定的影响,它导致的功率的提升发生在组内的 MOSFET 的电流重新分配之前。然后正如我们之前所说的,最重要的判断标准是任何一个 MOSFET 的最大 T_j 都不应超过 175 °C。

并联组内的每个 MOSFET 的从结点到周围环境的热阻决定了器件的散热性能,并且会受到从邻近 MOSFET 来的热量的影响。如果不考虑 MOSFET 晶圆之间的热阻路径的话,最重要的影响将会是共同的散热片,所有 MOSFET 的焊接衬底从电气性能和热性能方面都关系到它的散热片上。

低 $R_{DS(on)}$ 的 MOSFET 可以摆放在组内的任何一个地方。组内的所有 MOSFET 从衬底到周围环境的热阻要尽可能相近，尽可能低。但也要想办法优化散热性能，不能只依赖于器件的摆放位置。

热阻值取决于器件的热特性，还有和 MOSFET 配合使用的 PCB 或是散热片的性能。

有时数据手册中会给出 $R_{th(j-a)}$ 的值，但是这个值却是一个非常有限的数字。因为它经常取决于外部的因素，如 PCB 的结构，PCB 的方向和空气流动等，所以它不能按照哪些定义明确的参数来对待。唯一能确保的热阻值是 MOSFET 的结点到焊接衬底的热阻 $R_{th(j-mb)}$ 。

6.2.1 静态工作的实例

下面是基于 BUK764R0-40E 的工作实例。

表 6-1. 热特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$R_{th(j-mb)}$	thermal resistance from junction to mounting base		-	-	0.82	K/W
$R_{th(j-a)}$	thermal resistance from junction to ambient	minimum footprint; mounted on a PCB	-	50	-	K/W

一组典型的 MOSFET 会有一个 $R_{DS(on)}$ 的范围，在 $R_{DS(on)}$ 的分布中，会在数据手册中列出一个峰值。 $R_{DS(on)}$ 并不会超出数据手册中所列的范围。大约有一半器件的 $R_{DS(on)}$ 是要比典型值还要小的。虽然最小的 $R_{DS(on)}$ 并不会在数据手册中给出，但是我们却可以很好地对它进行估算：

$$(公式 1) \quad R_{DS(on)(min)} \approx R_{DS(on)(max)} - 2(R_{DS(on)(max)} - R_{DS(on)(typ)})$$

$R_{DS(on)}$ 的参数范围的存在意味着在一组典型的并联 MOSFET 工作时是不可能非常平均地分配电流的。

最坏的情况是其中一个 MOSFET 拥有最小的 $R_{DS(on)}$, 而所有其他的 MOSFET 拥有最大的 $R_{DS(on)}$ 。

电-热系统的建模是非常复杂的, 因为电气特性和热特性是相互依存的。但是却可以利用一个电-热系统的收敛表格来评估并联 MOSFET 的性能。举个例子, 有三个 BUK764R0-40E 器件并联在一起, 其中的两个存在最大的 $4 \text{ m}\Omega$ 的 $R_{DS(on)}$, 另外一个 MOSFET 的 $R_{DS(on)}$ 要比典型值低得多, 只有 $2.6 \text{ m}\Omega$ 。

低 $R_{DS(on)}$ 的 MOSFET 会承担最高比例的电流, 因此就会有最高的功率损耗。

但是我们的设计目标是即使在最坏的情况下也要保证 MOSFET 结点的温度小于 175°C 。

这些估计都可以简单的加以阐述。并联 MOSFET 组的热分析要比实际应用中的简单一点。在实际的应用中, 还要有其他的因素, 如旁边的器件和可以影响散热的器件的摆放方向等。但是这个示例却展示了两个不同 $R_{th(j-a)}$ 的值的并联 MOSFET 组的大概性能。

第一种情况展示了拥有的 MOSFET 的热阻都是 $R_{th(j-a)} = 20 \text{ K/W}$, $T_{amb} = 125^\circ\text{C}$ 的系统。

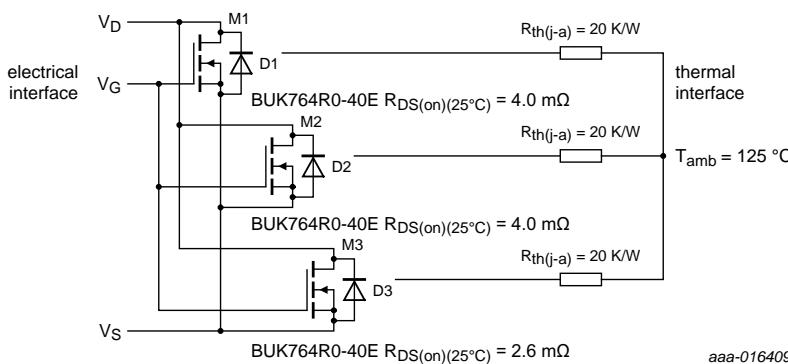


图 6-1. 三个 BUK7640-40E MOSFET 并联使用的电和热的原理框图

表 6-2 展示了当所有 MOSFET 都达到热平衡时的最大的安全限值 V_{DS} , I_D , P 和 T_j 。在这一点上, 最热的 MOSFET 的 T_j 几乎已经达到了 175°C 。

表 6-2. 对于 $R_{th(j-a)} = 20 \text{ K/W}$, $T_{amb} = 125^{\circ}\text{C}$ 时的 MOSFET 的最大条件

MOSFET	V_{DS} [V]	$R_{th(j-a)}$ [K/W]	$R_{DS(on)}$ (25 °C) [mΩ]	Initial $R_{DS(on)}$ (125 °C) [mΩ]	Initial I_D [A]	Initial P [W]	Initial power share [%]	Final $R_{DS(on)}$ [mΩ]	Final I_D [A]	Final P [W]	Final T_j [°C]	Final power share [%]
M1	0.11	20	2.6	4.16	42.31	4.65	43.5	4.92	22.36	2.46	174	42.3
M2	0.11	20	4	6.4	27.50	3.03	28.3	7.21	15.26	1.68	159	28.9
M3	0.11	20	4	6.4	27.50	3.03	28.3	7.21	15.26	1.68	159	28.9

总的初始功率损耗 $P(M1 + M2 + M3) = 10.70 \text{ W}$ 。

总的最终功率损耗 $P(M1 + M2 + M3) = 5.82 \text{ W}$ 。

关于同样电气系统的第二种情况, 每个器件都拥有理想的热特性, 每个器件的热阻 $R_{th(j-a)}$ 都是 0.82 K/W , 这就需要每个 MOSFET 都要很好地与无限大的且热阻为零的散热片结合在一起, 这种情况是不现实的。

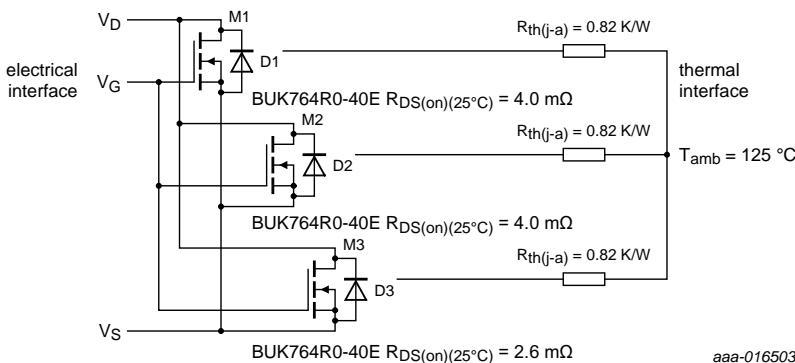


图 6-2. 三个 BUK7640-40E MOSFET 并联使用的电和热的原理框图

表 6-3 展示了达到热平衡状态后的所有 MOSFET 的 V_{DS} , I_D , P 和 T_j 。在这一点上, 最热的 MOSFET 的结点温度几乎是 175 °C。

表 6-3. 在 $T_{amb} = 125$, $R_{th(j-a)} = 0.82$ K/W 时的 MOSFET 的最大条件

MOSFET	V_{DS} [V]	$R_{th(j-a)}$ [K/W]	$R_{DS(on)}$ (25 °C) [mΩ]	Initial $R_{DS(on)}$ (125 °C) [mΩ]	Initial I_D [A]	Initial P [W]	Initial power share [%]	Final $R_{DS(on)}$ [mΩ]	Final I_D [A]	Final P [W]	Final T_j [°C]	Final power share [%]
M1	0.55	0.82	2.6	4.16	211.54	116.35	43.5	4.92	111.79	61.48	174	42.3
M2	0.55	0.82	4	6.4	137.50	75.63	28.3	7.21	76.28	41.96	159	28.9
M3	0.55	0.82	4	6.4	137.50	75.63	28.3	7.21	76.28	41.96	159	28.9

总的初始功率损耗 $P(M1 + M2 + M3) = 267.60$ W。

总的最终功率损耗 $P(M1 + M2 + M3) = 145.39$ W。

注意: 这种情况是理想的, 不切实际的。引入它是为了阐述减小 $R_{th(j-a)}$ 来优化 MOSFET 使用能力的好处。

在实际中, $R_{th(j-a)}$ 总是比 $R_{th(j-mb)}$ 要大, MOSFET 焊接衬底与散热片之间的结合总是不能达到完美的状态, 世界上也根本就不存在无限大的散热片。

虽然数据手册中最大的 I_D 为 75 A, 但是在这个案列中, MOSFET 的 I_D 却成为了限制的因素。

为了提高 MOSFET 的利用率, MOSFET 必须能够尽可能多的把功率散掉。同时要保证最热的 MOSFET 的结点温度要在 175 °C 以下。

从表 6-2 和 6-3 中可以得到以下结论:

- 尽可能地降低 $R_{th(j-a)}$ 是对优化 MOSFET 的热性能非常有益处的。
- 降低最大的环境温度是对提高可利用的热性能的余量是非常有益处的。
- 从表 6-2 和 6-3 的结果可以清楚地看到, 假设所有的 MOSFET 的 $R_{th(j-a)}$ 都是相同的话, MOSFET 之间的结点温度的差异只取决于他们的 $R_{DS(on)}$ 。

- 当在使用过程中，并联 MOSFET 组内的 MOSFET 受热，功率分配发生了变化。

6.3 能得到好的散热性能及功率分配的 MOSFET 的焊接方式

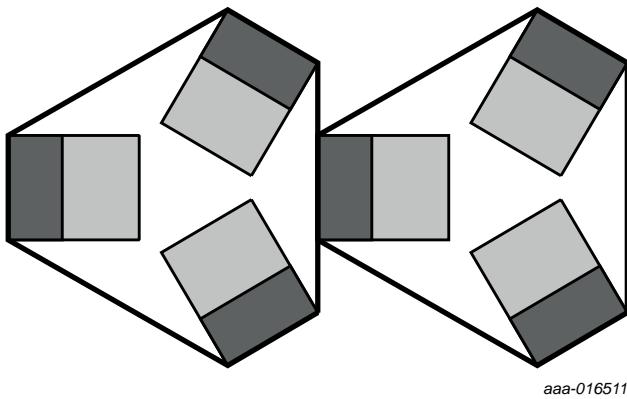
为了能让 MOSFET 的并联组能发挥出最大的性能，每个 MOSFET 都应该以一种可以让焊接衬底的温度尽量相近，并尽量低温的方式进行焊接。

为了实现这个目标，每个 MOSFET 的焊接衬底和所有其他的 MOSFET 的焊接衬底的热阻都不仅要小，而且要一致。他们应该被尽可能近的焊接在热导体表面。

热通量的概念可以认为是与电流相类似；那么 MOSFET 的热结点（通常是漏极管脚）应该落在热环路上。拥有较低热阻的路径允许 MOSFET 之间更轻松地进行热量传递。如果热量能够在组内所有 MOSFET 之间都能够轻松地流动时，那么他们焊接衬底的温度将会十分接近。

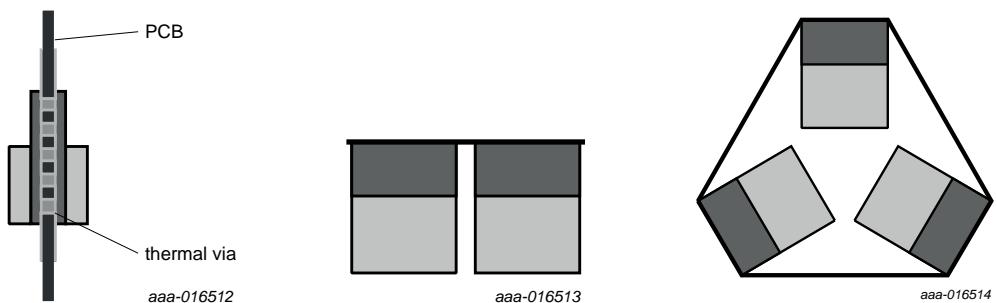
注意：以上的这个安排并不能让 MOSFET 更平均的分配电流，但是能更好的平均晶圆的温度。在最热的 MOSFET 到达 175 °C 之前，组内所有 MOSFET 的温度就可以提升的更多。因此整个并联组的功率损耗的能力就得到了最大化。

在热回路的实体范围内有一些实际的限制；理想的状态应该是每个 MOSFET 都会靠近所有的临近的 MOSFET，这个限值就限制了组内的器件的数量要为 2 或者是 3。



上面的这个 PCB 布局就适用于标准封装的 MOSFET（如 D2PAK, LFPAK 和 TO-220）。图中有阴影的部分是器件的漏极衬底。

图 6-3. 适用于六个并联的 MOSFET 的提高功率分配的 PCB 布局



A. 两个并联的
MOSFET，相反地焊
接在 PCB 的两侧

B. 两个并联的
MOSFET，并排地焊
接在 PCB 上

C. 三个并联的
MOSFET，对称的焊
接在 PCB 上

图 6-4. 适用于两个或三个并联 MOSFET 的较好的 PCB 布局

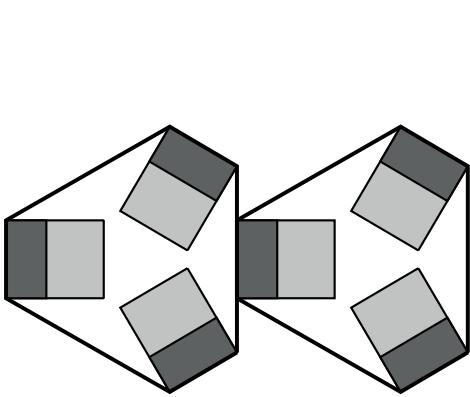
对于一对 MOSFET 并联使用的情况，比较好的方法就是将他们相对地放置在 PCB 的两侧，就像图 4 A 中那样，像一个三明治结构。另外在焊接衬底上加入一些热过孔可以减小器件焊接衬底之间的热阻和电阻。

也可以像图 6-4 B 那样，在 PCB 的同一面并联放置一对 MOSFET。

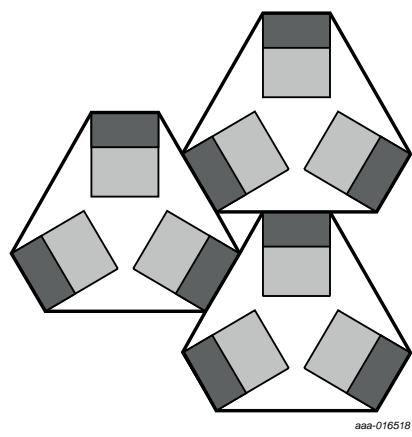
如果有三个器件并联使用，也可以像图 6-4 C 那样将 MOSFET 的源极连接成一个星形。因为他们对称地连接成了一个漏极环路，这样在 MOSFET 漏极之间的电气和热路径都是一样的。

MOSFET 的栅极驱动方式是针对于源极来说的，所以让源极电路的阻抗降低并保持一致要比让漏极路径的阻抗一致要重要的多。在高频开关电路中漏极和源极的阻抗匹配尤为重要。

如果可以达到相同的电气和热特性，就可以考虑实现更大的并联组。因为多于四个或者五个的并联组变得难以处理，那么我们可以考虑用合并子组合的形式来实现。



A. 用两个组实现的六个 MOSFET 并联



B. 用三个组实现的九个 MOSFET 并联

图 6-5. 利用三个 MOSFET 组成的组来布局

在 9 个 MOSFET 的组中，组的中心很自然地出现在了漏极组成的星点上。在每个小组的中心也会有独立的源极星点，源极星点可以连接到 PCB 的某一层中。

我们要意识到在功率分配和 PCB 面积利用的最大化方面存在一个平衡的问题。

与尽可能少地使用 PCB 面积相比，电气和热的优化布局往往需要利用更多的 PCB 面积，但是 MOSFET 性能的利用率要更好些。没有被 MOSFET 利用的 PCB 区域，或是栅极驱动没有利用上的面积可以很好地作为散热铜箔和空气冷却的散热界面。

6.4 动态工作中的功率分配 [脉冲与脉宽调制电路]

有许多 MOSFET 都工作在重复开关的系统中，例如 DCDC 转换器。并联 MOSFET 可以被当作系统的开关器件使用，为了让 MOSFET 能在开关转换中能够相互分享电流，除了理想的稳定状态的功率分配之外，也要考虑一些额外的点。

好的电路设计和 PCB 布局设计都是相当重要的，因为它直接影响了在开关期间和之后组内的每个 MOSFET 承载的电流的比例。

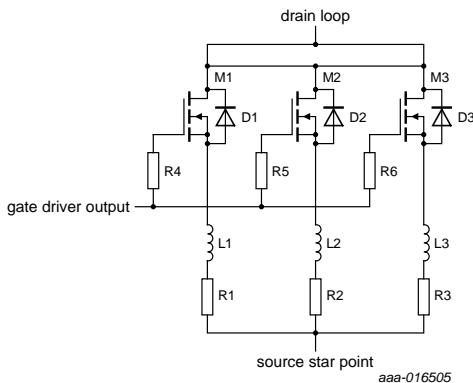
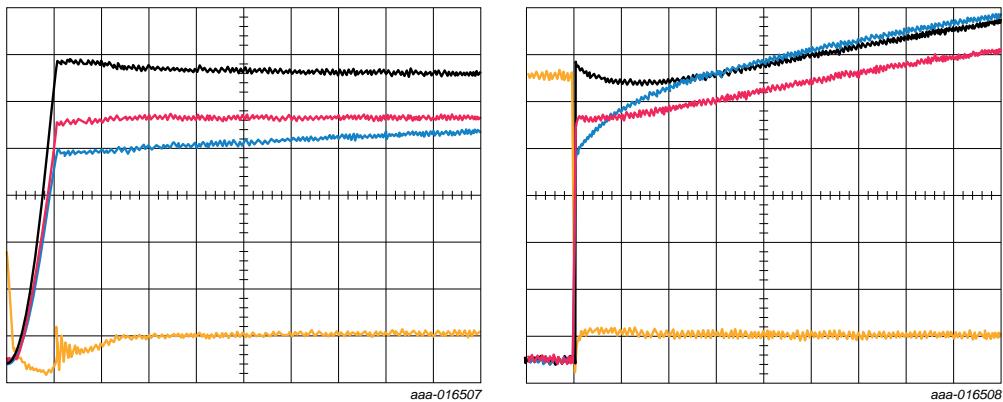


图 6-6. 包含 MOSFET 源极杂散电感和杂散电阻的电路图



A. 时间基准是 100 ns/格, MOSFET 在导通后漏极电流的分配情况

B. 时间基准是 100 μ s/格, MOSFET 的漏极电流在导通之后随时间的变化情况

图 6-7. 用示波器波形展示的漏极-源极电压 (黄) 和漏极电流 (黑, 红, 蓝) 的变化

图 6-7 A 和 B 展示了三个并联 MOSFET 初始时的电流分配是取决于 MOSFET 电流路径上的源极电感值 L_1 , L_2 和 L_3 。随着时间的推移, MOSFET 电流路径的电阻 $R_{DS(on)} + R_1$, $R_{DS(on)} + R_2$ 和 $R_{DS(on)} + R_3$ 决定了电流的分配。

并联组内的 MOSFET 的电流路径的阻抗匹配也支持同样的原理。在这种情况下, MOSFET 中的电流变化率是非常重要的。因为源极上的杂散电感影响了 MOSFET 的栅极和源极电压差, 所以这个杂散电感是非常关键的阻抗参数。

这个影响在高频率和小占空比的应用中尤为突出, 例如在开关模式的电源中。这可能对电机驱动电路那样的低频应用影响不大。

6.5 部分导通（线性模式）下的功率分配

如果 MOSFET 的并联组一定要工作在线性模式（部分导通）下的话，那就要格外小心了。简单地把他们并联在一起是不可能很好地分配电流和功率损耗的。

这个现象是由于栅极电压 $V_{GS(th)}$ 的负温度系数导致的。当 MOSFET 组开始导通，拥有最低 $V_{GS(th)}$ 的 MOSFET 首先开始导通并通过电流，那么它就承载了比其他器件更多的功率，而且温度上升的越多，他的 $V_{GS(th)}$ 就下降的越多，也就导致开通能力越强。

这个不平衡的加热现象引起了最热的 MOSFET 要承担更多比例的功率损耗，然后会变得更热。这个过程是不受控制的，如果不采取限制手段的话很可能会导致器件的失效。所以当并联 MOSFET 电路工作在部分导通（线性模式）的状态下时，一定要格外小心。

若组内的所有的 MOSFET 都工作在安全工作区域内，那么他们就能稳定的工作。

当最差的焊接衬底温度出现在应用中时，就一定要调整安全工作区域。要记住数据手册中的安全工作区域曲线只适用于焊接衬底为 25 °C 或者更低温度的情形。

如果加入像图 8 中的 R1 和 R4 额外的源极电阻就能够提供稳定工作所需的负反馈。

应用到 M1 的栅极电压 $V_{GS(M1)} = V_G - I_D(M1) \times R1$ 。

如果 MOSFET 一定要像热插拔或是软启动的应用那样工作在完全导通的模式下，这些电阻就会是影响效率的缺点。

当 MOSFET 通道电流升高，他的栅极驱动电压就会下降。

当 MOSFET 工作在部分导通的线性模式中时，也就是 MOSFET 的 $R_{DS(on)}$ 不那么重要的时候，加入这些电阻就不会有什么不利的影响。若 MOSFET 一定要工作在两个模式下（如在完全导通后附带主动钳位电路），加入这些源极电阻的确会有负面的影响。

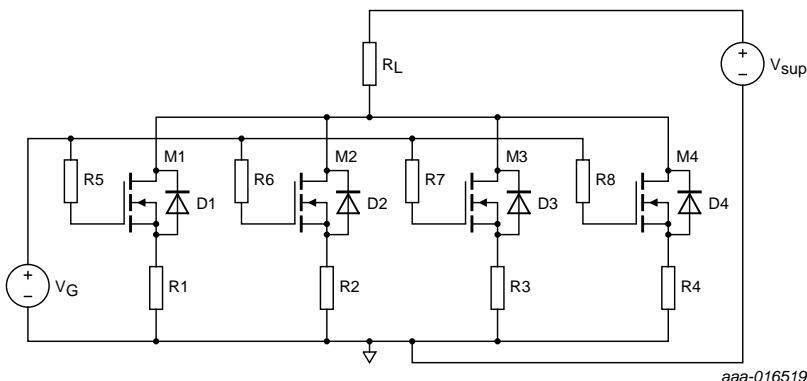


图 6-8. 工作在线性模式下的四个并联 MOSFET 的电路图

NEXPERIA 有为了线性模式工作的特别开发的 MOSFET 产品，他们可以简化地用在线性工作模式的并联 MOSFET 组的电路设计中。

6.6 棚极驱动的探讨

在棚极驱动和组内的每个 MOSFET 之间更适合安装较低的棚极电阻。

棚极驱动电阻的作用是去除组内 MOSFET 之间的棚极耦合，以至于可以接收到相似的棚极驱动信号。如果没有这些电阻的话，在导通时拥有较低的棚极门限电压的 MOSFET 的弥勒平台就会将组内其它的 MOSFET 的棚极电压钳住。这个钳位机制就会抑制和延迟其它 MOSFET 的导通。在关闭过程也会有同样的现象。

若没有这些棚极电阻，拥有最低的棚极门限电压的 MOSFET 将会最先开启和最后关闭。在低频率和高占空比的 PWM 应用中这一效果就不太重要。但在高频率的 PWM 应用下，他可以引起 MOSFET 之间显著的功率的不均衡。在这种情况下也会发生正反馈，也就是增加了不平衡性，最终可以导致 MOSFET 的失效。

栅极电阻还可以帮助削弱 V_{GS} 上的电压震动幅度，同时也会消减一些由 MOSFET 内部栅极电阻 $R_{G(int)}$ 引起的电压波动。

6.6.1 需要给并联 MOSFET 组内的每个 MOSFET 都分别设置一个驱动器吗？

通常给组内的每个 MOSFET 都配一个独立的栅极驱动器是没有必要的。可能在一个多 MOSFET 的并联组的快速开关应用中是有必要的。在这个大组里的 MOSFET 被安排成小的子组，每个子组都有一个独立的栅极驱动器。要考虑电路的平衡，所以所有电路的栅极驱动器的传播延迟要相近。这个一致性就确保了组内所有的 MOSFET 的开关是同步的。用相同的栅极驱动器去驱动每个 MOSFET 的栅极通常是有效的。然而正如之前提到的，在栅极驱动器的输出和 MOSFET 栅极之间的栅极电阻是十分重要的。

6.7 对于并联 MOSFET 组内的 MOSFET 封装的探讨

通常贴片封装（DPAK 和 D2PAK）的 MOSFET 是应用最广泛的，所以在设计并联组的时候首先考虑到的就是这种封装的 MOSFET。然而 KGD 和 LFPAK (power SO8) 封装的 MOSFET 能提供更好的解决方案。

6.7.1 裸片 MOSFET

这种 MOSFET 给并联设计提供了最密集的和最灵活的选择；它们是为了配合特定应用而设计的。为了适用于特殊的应用，特地设计了晶圆的长宽比和栅极的位置。与一般封装的 MOSFET 相比，它的源极和晶圆之间安装了更多的引线，所以总的 $R_{DS(on)}$ 会被降低。并联组的最大漏极电流将会被提升，这样就能达到想要的更好的性能。KGD MOSFET 的组装需要特殊的生产设备。

6.7.2 LFPAK 封装的 MOSFET

通常 power SO8 (LFPAK) 封装的 MOSFET 给并联 MOSFET 电路的设计提供了机会。使得更高的器件密度和承载功率损耗的能力变成了可能（接近 KGD）。源极和漏极的连接是用铜片夹具制成的，它要比普通封装中的铝引线拥有更好的电气和热的性能。

6.8 并联 MOSFET 组的感性负载能量的损耗

6.8.1 雪崩 - 并联低边 MOSFET 组来驱动高边感性负载

如果一个并联 MOSFET 组来驱动一个感性负载，当关闭时，存储在负载中的能量一定要被安全地泄放掉。在负载上并联一个续流二极管能很好的处理这个能量；详见图 6-9。当 MOSFET 关闭时流入 MOSFET 的电流转移到了二极管中，并被电路中的电阻消耗掉。然而并不能一直都是这样，能量必须安全地在 MOSFET 中消耗掉。

如果电池极性反转了，由续流二极管和 MOSFET 的体二极管组成的低阻抗回路能够流过较大破坏性的电流，因为这个原因经常不使用续流二极管。

当 MOSFET 并联组被关闭时，从感性负载端产生的电压有可能会很高，足够引起漏极源极之间的电压超出 MOSFET 的漏极源极击穿电压 $V_{(BR)DSS}$ 。即使并联组内的 MOSFET 都是同一类型的，也会出现一个 $V_{(BR)DSS}$ 范围值。在反向（雪崩）导通时电流流过拥有最低 $V_{(BR)DSS}$ 的 MOSFET 的体二极管。这个条件就引起了高功率和 MOSFET 晶圆的温升 ($P = I_D \times V_{(BR)DSS}$)。如果结点的温度超过了 175 °C，晶圆上的热应力就可能引起器件性能的降级或是失效。

在最坏的情况下，流过 MOSFET 并联组的所有的电流可能都会转移到组中的一个 MOSFET 的体二极管中去。如果有这个可能的话，设计时就要确保任意一个 MOSFET 都要能在恶劣的温度下安全流过总的雪崩电流。 $V_{(BR)DSS}$ 是正温度系数的，所以机会向拥有更高的 $V_{(BR)DSS}$ 值的其它的 MOSFET 重新分配电流。

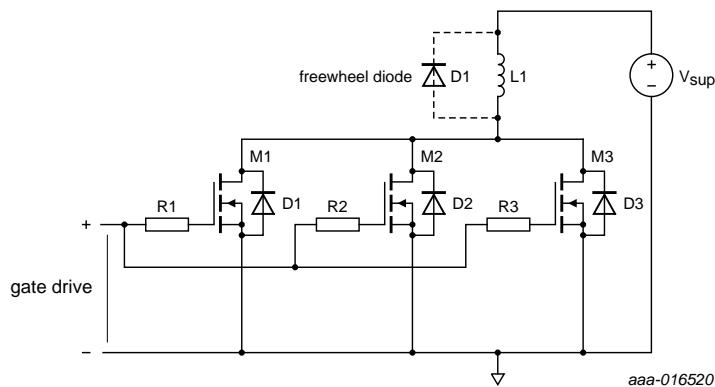


图 6-9. 并联低边 MOSFET 组驱动高边感性负载

6.8.2 主动钳位 - 并联高边 MOSFET 组来驱动低边感性负载

在汽车应用中经常会使用图 6-10 中的电路。这种结构之所以应用广泛是因为可以将车身底盘作为电源负极返回到电池的路径。

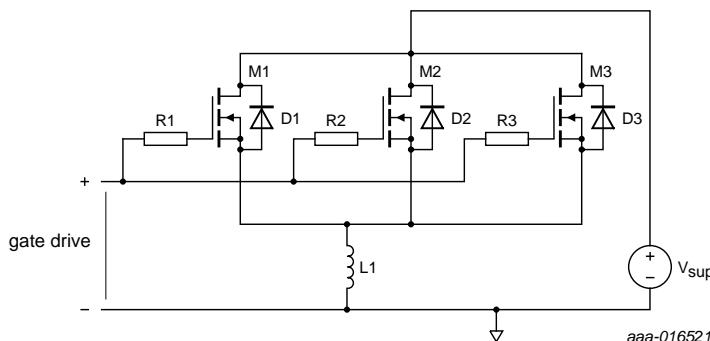


图 6-10. 并联高边 MOSFET 组来驱动低边感性负载

在这个电路中, 决定电流流向的是门限电压的差异, 而不是 $V_{(BR)DSS}$ 。拥有最低门限电压的 MOSFET 承载了最大比例的电流。MOSFET 组两端的漏极和源极间的电压是 $V_{GS} + V_{SUP}$, 并联组的功率损耗是 $(V_{GS} + V_{SUP}) \times I_D$ 。正如前面雪崩的例子中, 最后所有的电流 (也相当于所有的功耗) 都会转移到并联组内的某一个 MOSFET 中。

这个情况要比雪崩的情况更恶劣, 因为 V_{GS} 的限值是负温度系数的。这一特性就会直接让电流流过最热的 MOSFET。这个 MOSFET 就会变得更热, 并会继续保持这样的大电流。

6.9 总结

1. 最好用一个单独的大的 MOSFET, 而尽量不要使用由小 MOSFET 组成的并联组。
2. 一组 n 个 MOSFET 的功率能力永远达不到单个 MOSFET 功率能力的 n 倍。
3. 如果有必要使用 MOSFET 并联组, 要尽量少的使用 MOSFET 的数量, 最多像基础的组那样, 最多三个一组。
4. 如果需要大量的 MOSFET 并联, 就要使用基础组, 如 $4 = 2 \times 2$ 组, $6 = 3 \times 2$ 组。
5. PCB 的布局对一个 MOSFET 并联组中的功率分配是非常重要的, 特别是在较高频率的重复开关的应用中。
6. 因为 LFPAK 封装的 MOSFET 尺寸小, 封装阻抗低, 热性能也好, 并联应用中推荐使用。
7. 当设计 MOSFET 并联组时, 如果他们可能工作在雪崩或者主动钳位的模式中, 就需要格外注意了。

第七章: RC 缓冲电路的设计

应用笔记: AN11160

第七章: RC 缓冲电路的设计

(应用笔记 AN11160)

7.1 介绍

这一章讲述了一个简单的 RC 缓冲电路的设计。在功率半导体的应用中，缓冲电路是用来抑制与反向恢复效果有关的高频振荡。

7.2 测试电路

图 7-1 展示了一个基本的半桥电路。

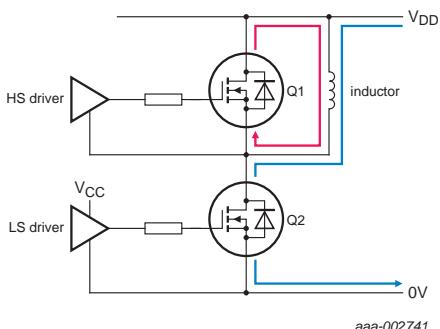


图 7-1. 半桥电路

电路中的 Q1 和 Q2 是 BUK761R6-40E，负载电感可以不连接到 V_{DD} ，也可以连接到 0 V。

图 7-1 中红色环路就是电感的电流路径；当 Q2 关闭，电流会流过 Q1 的体二极管。当 Q2 导通，电流的方向变换为蓝色的路径，此时在 Q1 中就会发生反向恢复效应。我们可以在 Q2 的 V_{DS} 电压波形上观测到 Q1 的反向恢复现象，详见图2。

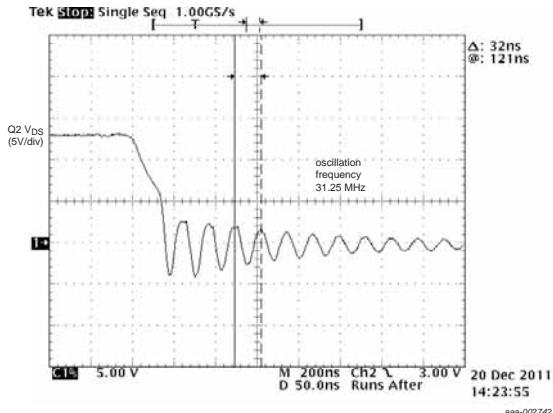
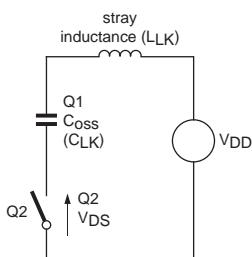


图 7-2. 反向恢复引起的 Q2 V_{DS} 电压波形的震荡

其等效电路如图 7-3 所示。



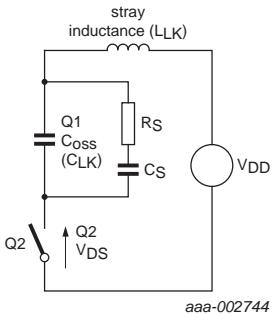
aaa-002743

图 7-3. 半桥电路的等效电路

我们首先关注下电路中的寄生器件：

- 寄生电感 L_{LK} 是由 PCB 走线电感，器件封装电感等组成的杂散的或泄露电感
- 寄生电容 C_{LK} 主要是由上面的 Q1 器件的 C_{OSS} 产生

我们把 Q2 当作一个简单的开关，通过 Q1 漏极源极两端安装一个 RC 电路可以吸收这个震荡，详见图 7-4。

图 7-4. 带缓冲电路器件 R_s 和 C_s 的等效电路

7.3 C_{LK} 和 L_{LK} 的确定

在我们设计缓冲电路之前，我们要确定 C_{LK} 和 L_{LK} 的值。其实我们可以试着直接去测量出 C_{LK} 和 L_{LK} 的值，但是我们有更聪明的方法。对于这个 L_C 电路，我们知道：

$$(公式 1) \quad f_{RING0} = \frac{1}{2\pi\sqrt{L_{LK}C_{LK}}}$$

这里的 f_{RING0} 是没有缓冲电路时的频率，详见图 7-2；如果我们在 Q1 的两端加上额外的电容 C_{add} ，初始的震荡频率就会从 f_{RING0} 变到 f_{RING1} ($f_{RING1} < f_{RING0}$)。详见 7.7 章中的附录部分：从 C_{add} ， f_{RING0} 和 f_{RING1} 中推导出 C_{LK} 的值：

$$(公式 2) \quad C_{LK} = \frac{C_{add}}{x^2 - 1}$$

这里的 x 等于：

$$(公式 3) \quad x = \frac{f_{RING0}}{f_{RING1}}$$

如果我们测到了没有 C_{add} 时的频率 $f_{\text{RING}0}$, 然后加完 C_{add} 后再测出 $f_{\text{RING}1}$, 这是我们就能够确定出 C_{LK} 和 L_{LK} 的值 (两个表达式, 含有两个未知变量)。

在电路中加入 3200 pF 的 C_{add} , 测出 $f_{\text{RING}1}$ 为 22.2 MHz。之前的 $f_{\text{RING}0}$ 是 31.25 MHz, 详见图 2。

带入公式 7-3 中:

$$(公式 4) \quad x = \frac{31.25}{22.2} = 1.41$$

将 x 带入到公式 7-2 中:

$$(公式 5) \quad C_{\text{LK}} = \frac{3200 \text{ pF}}{1.41^2 - 1} = 3239 \text{ pF}$$

再将 C_{LK} 和 $f_{\text{RING}0}$ 带入到公式 7-1 中:

$$(公式 6) \quad L_{\text{LK}} = \frac{1}{(2\pi f_{\text{RING}0})^2 C_{\text{LK}}}$$

因为 $f_{\text{RING}0} = 31.25 \text{ MHz}$, $C_{\text{LK}} = 3239 \text{ pF}$:

$$(公式 7) \quad L_{\text{LK}} = \frac{1}{(2\pi \times 31.25 \times 10^6)^2 \times 3239 \times 10^{-12}} = 8.01 \times 10^{-9} \text{ H} = 8.0 \text{ nH}$$

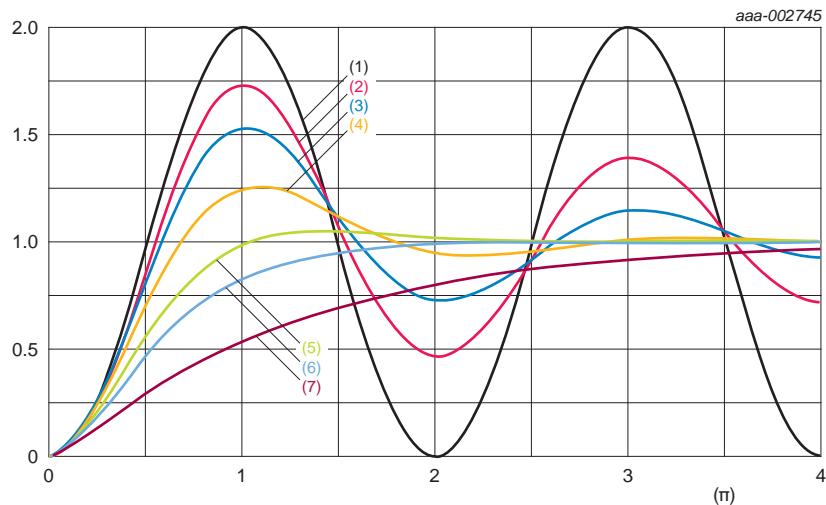
或者导入 $f_{\text{RING}1} = 22.2 \text{ MHz}$ 和 $(C_{\text{LK}} + C_{\text{add}}) = 3239 \text{ pF} + 3200 \text{ pF} = 6439 \text{ pF}$:

$$(公式 8) \quad L_{\text{LK}} = \frac{1}{(2\pi \times 22.2 \times 10^6)^2 \times 6439 \times 10^{-12}} = 7.98 \times 10^{-9} \text{ H} = 8.0 \text{ nH}$$

换句话说, 当加入额外的 3200 pF 电容时, L_{LK} 的计算值几乎保持不变。这也是比较正常的用来确定 C_{LK} 和 L_{LK} 的方法。

7.4 缓冲电路的设计 - 理论

如果我们将图 7-4 中的 C_s 做短路处理, 那我们很容易地得到了像课本中一样的经典的 RLC 电路。Q2 保持一直导通, 电路对电压阶梯变化的响应取决于电路中衰减系数 ζ 或者 zeta; 详见图 7-5。



(1) $\zeta = 0$ 。

(2) $\zeta = 0.1$ 。

(3) $\zeta = 0.2$ 。

(4) $\zeta = 0.4$ 。

(5) $\zeta = 0.7$ 。

(6) $\zeta = 1$ 。

(7) $\zeta = 2$ 。

图 7-5. 对于各种 ζ 值的 RLC 电路的响应

理论上若 $\zeta = 0$, 则电路会无限期的震荡。尽管在实际电路应用中总会有存在一些电阻导致无限期震荡是不可能发生的。若 ζ 向 1 增大时, 震荡的衰减就会越来越大, 趋势是随着时间的推移衰减的包络呈指数变化。这是一种欠阻尼的反应。当 $\zeta = 1$ 时, 也就是临界阻尼的状态, 在这一点震荡刚好停止。当 $\zeta > 1$ 时, 属于过阻尼状态, 电路的反应变得迟钝, 波形需要更长的时间才能达到最终值。因此就需要把阻尼大于 1 的电路构建到缓冲电路中。阻尼衰减也是缓冲电路设计的一部分。

对于 RLC 的配置, ζ , R_s , L_{LK} 和 C_{LK} 的关系是:

$$(公式 9) \quad \zeta = \left(\frac{1}{2R_s} \right) \sqrt{\frac{L_{LK}}{C_{LK}}}$$

我们发现缓冲电路的 C_s 并没有出现在公式 7-9 中。

在某些电路中, 仅使用 R_s 来抑制振荡是可能的。然而, 在典型半桥电路中, 我们无法将电阻直接安置在 Q1 的漏极和源极之间。如果我们这么做了, 那么 Q1 将被电阻短路, 整个电路就无法按预期功能工作。因此这里的解决方案是添加 C_s 与 R_s 并联, 选择合适的 C_s 值而不影响正常的工作电路。

这种缓冲电路是一种简便的 RC 电路, 其截止频率 f_c 为:

$$(公式 10) \quad F_C = \frac{1}{2\pi R_s C_s}$$

再次, 我们必须选择合适的 f_c 值来使用, 对于这个问题其实并没有一个固定的正确答案。缓冲电路的截止频率一定要足够低, 以至于能够有效地短路无阻尼振荡频率 f_{RINGO} 。但也不能太低, 低到电路正常的工作频率点上呈现出导通路径 (例如 100 kHz 或者其他)。我们已经发现了一个好的起始点 $f_c = f_{RINGO}$ 。

7.5 缓冲电路的设计 - 实际应用

现在我们已经有了有效的信息来为图 7-2 中的震荡波形来设计缓冲电路。简要概述下:

$$C_{LK} = 3239 \text{ pF}$$

$$L_{LK} = 8.0 \text{ nH}$$

$$f_{RING0} = 31.25 \text{ MHz}$$

$$(公式 11) \quad \zeta = \left(\frac{1}{2R_S} \right) \sqrt{\frac{L_{LK}}{C_{LK}}}$$

$$(公式 12) \quad F_C = \frac{1}{2\pi R_S C_S} = f_{RING0}$$

第一个任务就是根据图 7-5 选择想要的阻尼系数。我们选择临近阻尼系数，也就是 $\zeta = 1$ 。变换公式 (11) 可得:

$$(公式 13) \quad R_S = \left(\frac{1}{2\zeta} \right) \sqrt{\frac{L_{LK}}{C_{LK}}} = \left(\frac{1}{2} \right) \sqrt{\frac{8.0 \times 10^{-9}}{3.239 \times 10^{-9}}} = 0.78 \Omega$$

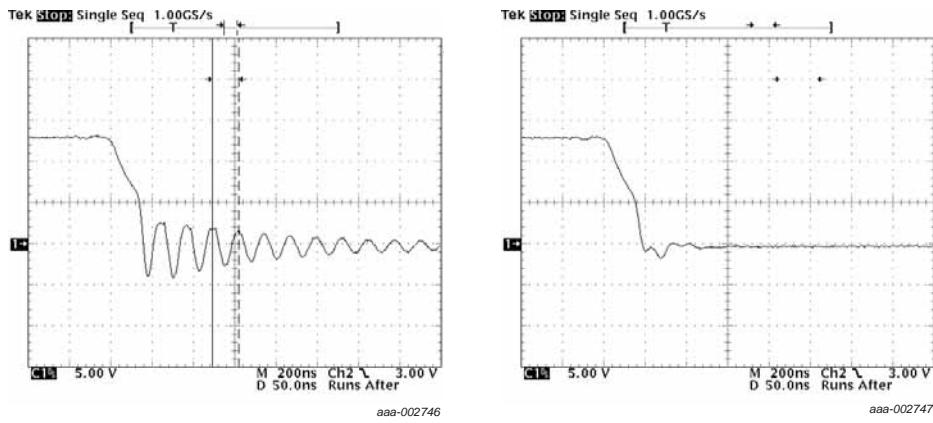
用两个 1.5Ω 电阻并联可以得到 0.75Ω 。

变换公式 7-12 可以得到:

$$(公式 14) \quad C_S = \frac{1}{2\pi R_S f_{RING0}} = \frac{1}{2 \times \pi \times 0.75 \times 3.125 \times 10^7} = 6.79 \text{ nF}$$

用 $4.7 \text{ nF} + 2.2 \text{ nF}$ 可以得到 6.9 nF 。

将设计好的缓冲电路安装到 Q1 的漏极和源极两端，图 7-6 展示了加入缓冲电路之后的波形结果，为了比较也一起展示了没有缓冲电路时的原始波形。



a. 无缓冲电路

b. 添加缓冲电路

纵轴比例为 2 V/div。

图 7-6. 安装和不安装缓冲电路时 Q2 的 V_{DS} 的波形

从图 7-6 中可以看出, 缓冲电路几乎已经消除了 V_{DS} 上的电压震荡。同样的在 Q2 位置的 MOSFET 也可以应用这个方法。

7.6 总结

- 在功率器件中的反向恢复现象能够引起连接到它们的器件的高频振荡。
- 通常使用 RC 缓冲电路来抑制振荡。
- 有效地缓冲电路需要预先得到电路中的寄生电容和寄生电感值。在前面已经介绍了确定这两个值的方法。
- 本章展示出的缓冲电路是经典 RLC 电路的变种。
- 我们已经基于 BUK761R6-40E 器件展示了确定缓冲电路中器件参数的方法，并验证了方法的有效性。

7.7 附录 A ; 从 C_{add} , f_{RING0} 和 f_{RING1} 中得到 C_{LK}

我们知道:

$$(公式 15) \quad f_{RING0} = \frac{1}{2\pi\sqrt{L_{LK}C_{LK}}}$$

这里的 f_{RING0} 是没有安装缓冲电路时的震荡频率, C_{LK} 和 L_{LK} 分别是电路的寄生电容和寄生电感。

如果我们再 Q1 的漏极和源极两端加入电容 C_{add} , f_{RING0} 将相应地减小 x , 也就是:

我们知道:

$$(公式 16) \quad \frac{f_{RING0}}{x} = \frac{1}{2\pi\sqrt{L_{LK}(C_{LK} + C_{add})}}$$

因此

$$(公式 17) \quad \frac{1}{2\pi\sqrt{L_{LK}C_{LK}}} = \frac{x}{2\pi\sqrt{L_{LK}(C_{LK} + C_{add})}}$$

$$(公式 18) \quad \frac{1}{\sqrt{L_{LK}C_{LK}}} = \frac{x}{\sqrt{L_{LK}(C_{LK} + C_{add})}}$$

$$(公式 19) \quad \sqrt{L_{LK}C_{LK}} = \frac{\sqrt{L_{LK}(C_{LK} + C_{add})}}{x}$$

$$(公式 20) \quad C_{LK} = \frac{C_{LK} + C_{add}}{x^2}$$

$$(公式 21) \quad C_{LK}x^2 - C_{LK} = C_{add}$$

$$(公式 22) \quad C_{LK}(x^2 - 1) = C_{add}$$

$$(公式 23) \quad C_{LK} = \frac{C_{add}}{x^2 - 1}$$

这里的 x 是:

$$(公式 24) \quad x = \frac{f_{RING0}}{f_{RING1}}$$

第八章: 功率 MOSFET 电气 过应力的失效特征

应用笔记: AN11243

第八章: 功率 MOSFET 电气过应力的失效特征

(应用笔记 AN11243)

8.1 介绍

功率 MOSFET 在最小化自身内部功耗情况下, 常被用来高电压和大电流开关。然而在一些故障的条件下, 承载的电压, 电流和功率是有可能超过 MOSFET 的能力的。错误条件既可能由电路失效导致的, 也有可能由像电机堵转一样的机械问题导致的。这就导致了电气过应力 (EOS)。EOS 典型的失效结果就是 MOSFET 中至少两个甚至三个管脚短路 (漏极, 源极, 栅极)。另外从 MOSFET 烧毁的痕迹, 晶圆的裂痕或是极限情况下塑料包装的损毁, 都证明了 MOSFET 自身的高功率会导致器件的损坏。

通过查看烧毁痕迹的尺寸和失效特征, 就可以判断出引起失效的故障事件的种类。通常的故障条件有:

- 静电
- UIS 工作 – 通常叫做雪崩或者耐久性
- 线性工作模式
- 过电流

在这些故障条件下封装的 MOSFET 已经被故意摧毁。图片记录了随后发生的晶圆表面上的烧伤痕迹, 也提供了显微镜的照片来帮助解释 EOS 失效。

从 8.1.1 节到 8.1.5 节给出了一般的失效特征的概况。

从 8.2.1 节到 8.2.15 节给出了更为详细的信息。

8.1.1 ESD - 机械模式

8.1.1.1 EOS 方式

我们用一个标准的机械模式的 ESD 电路来提供 ESD 脉冲; 详见 AEC-Q101-002-REV-A-July 18, 2005。施加的脉冲电压一点点地增加, 直到器件发生失效为止。

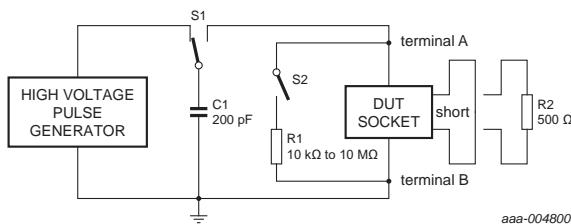


图 8-1. 机械模式 ESD 仿真的典型电路

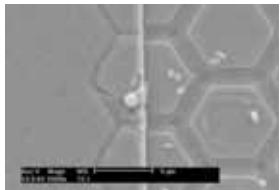
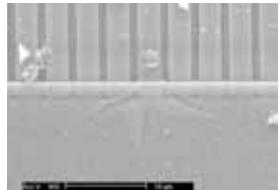
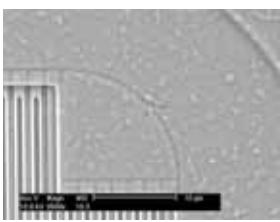
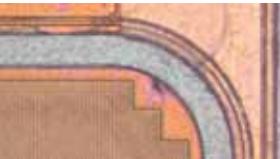
8.1.1.2 失效状况的仿真

机械模式的 ESD 是模拟一个超过了栅极源极或栅极漏极之间的氧化物所能承受的最大值的电压脉冲施加到 MOSFET 上。在电压源和 MOSFET 之间会有一个最小的串联电阻, 这就会导致 MOSFET 的栅极电压迅速上升。电测设备或者是多功能电路都可以很容易地提供这样的电压脉冲。

8.1.1.3 特征

MOSFET 结构中边缘的单元是靠近栅极的, 也是一个容易失效的地方。外边缘的单元和栅极附近的单元是最先承受到来的电压脉冲的。结果也就会是第一个超过栅极氧化物能力的位置。

表 8-1. 机械模式 ESD 的失效特征案例

Device name	Cell pitch (μm)	Image	Comments
BUK9508-55A	9 (hexagon)		Fail site is gate oxide of edge cell; see Section 8.2.1 “Machine model EOS of BUK9508-55A” for further images <small>aaa-004801</small>
BUK9Y40-55B	4 (stripe)		Fail site is gate oxide of edge cell; see Section 8.2.2 “Machine model EOS of BUK9Y40-55B” for further images <small>aaa-004803</small>
PSMN7R0-30YL	2 (stripe)		Fail site is gate oxide of edge cell; see Section 8.2.3 “Machine model EOS of PSMN7R0-30YL” for further images <small>aaa-004853</small>
PSMN011-30YL	2 (stripe)		Fail site is gate oxide of edge cell; see Section 8.2.4 “Machine model EOS of PSMN011-30YL” for further images <small>aaa-004854</small>

8.1.2 ESD - 人体模式

8.1.2.1 EOS 方式

ESD 电压脉冲模拟标准的人体模式 ESD 电路；详见 *AEC-Q101-REV-May 15, 1996*。逐步地提升施加的电压，直到器件发生失效为止。

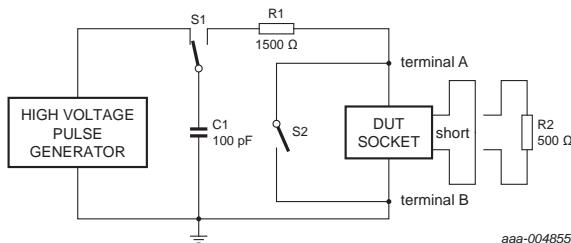


图 8-2. 人体模式 ESD 仿真的经典电路

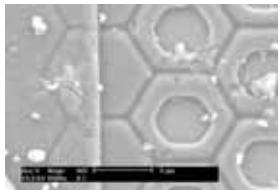
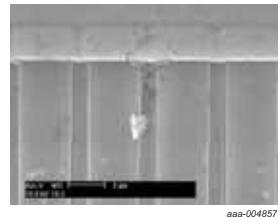
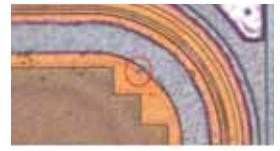
8.1.2.2 失效状况的仿真

人体模式的 ESD 模拟了一个已经超过了栅极源极或栅极漏极之间的氧化物所能承受的最大电压的尖峰电压施加到 MOSFET 上。在电压源和 MOSFET 之间有一个 1500 Ω 的串联电阻，它可以限制 MOSFET 栅极电压的上升速率。无论是人体接触，电气测试设备或是多功能的电路都能很容易地提供这样的电压脉冲。

8.1.2.3 特征

失效通常发生在 MOSFET 结构的边缘位置的单元中。外侧边缘的单元和靠近栅极的单元是最先受到电压脉冲的冲击的，这里也是电压超过栅极氧化物能力的第一个地方。由于栅极电压缓慢地上升，失效位置并不会表现出非常明显的有靠近栅极的趋势，在这一点上人体模式和机械模式是不同的。

表 8-2. 人体模式 ESD 失效特征的案列

Device name	Cell pitch (μm)	Image	Comments
BUK9508-55A	9 (hexagon)	 aaa-004856	Fail site is gate oxide of edge cell; see Section 8.2.5 “Human body model EOS of BUK9508-55A” for further images
BUK9Y40-55B	4 (stripe)	 aaa-004857	Fail site is gate oxide of edge cell; see Section 8.2.6 “Human body model EOS of BUK9Y40-55B” for further images
PSMN011-30YL	2 (stripe)	 aaa-004858	Fail site is gate oxide of edge cell; see Section 8.2.7 “Human body model EOS of PSMN011-30YL” for further images

8.1.3 非钳位的感性负载开关 (UIS) (雪崩或耐久性)

8.1.3.1 EOS 方式

用一个标准的 UIS 电路来提供感性能量的脉冲；详见 *AEC-Q101-004-REV-May 15, 1996*。选一个固定的电感值。在关闭 MOSFET 之前电感中的电流要逐渐的增加，直到器件失效。

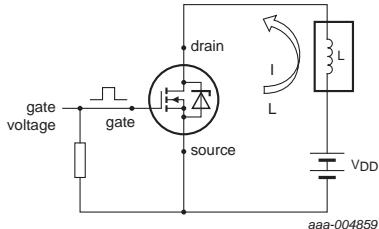


图 8-3. UIS 耐久性测试的电路

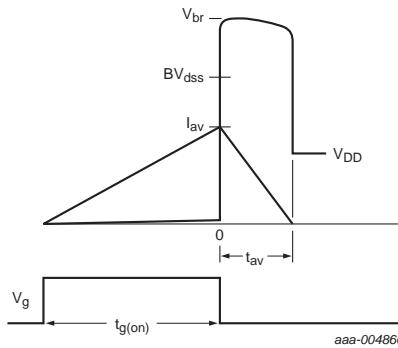


图 8-4. 从 UIS 电路中获得的波形

8.1.3.2 失效状况仿真

UIS 模拟的是当电路中存在一个电感，并当 MOSFET 关闭时的情况。电感量可以是任意的（就像柴油机系统中的喷油线圈）或是寄生的。因为电感中的电流并不能瞬间衰减到 0，MOSFET 的漏极源极电压上升，器件就会进入雪崩击穿，之前存储在电感中的能量就会通过 MOSFET 释放。

8.1.3.3 特征

失效点可以在一个 MOSFET 基础单元中找到。烧毁的痕迹在外形上通常是圆的，这表示一个失效点中心位置以及随后发生了热损坏。

如果雪崩事件的持续时间为 ms 级别的，就会在流过最大电流的晶圆中间的位置呈现出烧过的痕迹。因为连接引线和晶圆结合的位置的电流密度较高，所以失效的位置经常出现在这里。但是因为有散热片的存在，所以往往并不会在连接引线的结点的正下方出现失效，而是发生在晶圆最热的地方。

对于 μs 级的短暂的雪崩事件，烧毁的痕迹可能发生在整个晶圆的任意地方。这种情况下不太可能电流汇集在一起或者在这个事件段内器件给自己加热，所以器件内部的温升是比较均匀的。即使对于更短的雪崩事件，由于边缘地方的单元是不连续的，烧毁可能会发生在晶圆的转角处。

表 8-3. UIS (非钳位感性开关) 的失效特征的案例

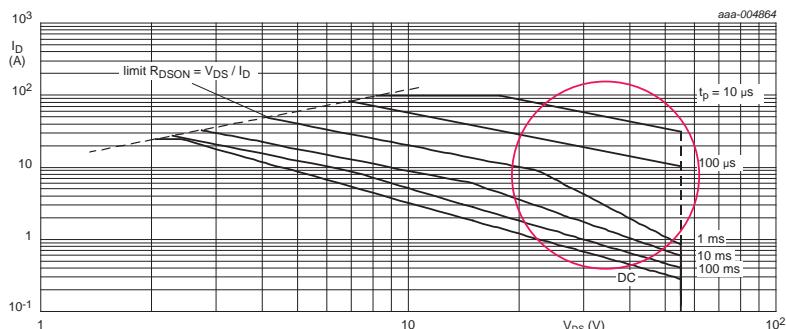
Device name	Cell pitch (μm)	Image	Comments
BUK7L06-34ARC	9 (hexagon)		round burn in active area; see Section 8.2.8 “Unclamped inductive switching EOS of BUK7L06-34ARC” for further images <small>aaa-004861</small>
BUK9Y40-55B	4 (stripe)		round burn in active area; see Section 8.2.9 “Unclamped Inductive Switching EOS of BUK9Y40-55B” for further images <small>aaa-004862</small>
PSMN7R0-30YL	2 (stripe)		round burn in active area; see Section 8.2.10 “Unclamped inductive switching EOS of PSMN7R0-30YL” for further images <small>aaa-004863</small>

8.1.4 线性工作模式

8.1.4.1 EOS 方式

所有 MOSFET 的数据手册中都会包含安全工作区域的图表。工作在安全区域以外, MOSFET 中的功率来不及耗散, 就会导致产生的热量超出了器件的能力, 最终导致器件失效。

给 MOSFET 提供固定的漏极源极电压, 并提供特定时长的脉冲电流, 逐步地升高电流值, 直到 MOSFET 出现失效为止。



$T_{mb} = 25^{\circ}\text{C}$; I_{DM} is a single pulse.

图 8-5. 安全工作区域 ; 漏极的连续电流和峰值电流和漏极源极电压的关系

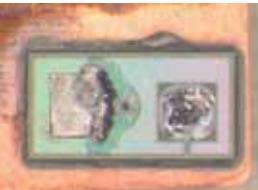
8.1.4.2 失效状况仿真

线性工作模式通常发生在器件开关或是钳位的感性负载应用中。除非超出了 SOA 安全工作区域，这本身并不是一个错误的工作状态。线性模式 EOS 模拟的是当一个 MOSFET 工作在线性模式很长时间的情况。这种情况也有可能发生在当试图导通 MOSFET，而栅极的驱动电压又过低的时候。还有可能出现在施加较高的漏极电压，并试图维持住 MOSFET 关闭的时候。如果栅极的连接断了，栅极电压的容性会上升，也有可能出现线性模式的失效。

8.1.4.3 特征

晶圆的最热点就会是失效的位置，通常会出现在晶圆中间的部位。晶圆的中间位置往往是流过最大电流，且散热能力下降的地方。失效的位置也会出现在连接线和晶圆结合的位置，因为这里的电流密度最高，但由于有散热片的原因，失效往往不会出现在结点的正下方。

表 8-4. 线性模式失效特征的案例

Device name	Cell pitch (μm)	Image	Comments
BUK7L06-34ARC	9 (hexagon)	 aaa-004665	Burns located in center of die adjacent to wire-bonds; see Section 8.2.11 “Linear mode EOS of BUK7L06-34ARC” for further images
BUK9Y40-55B	4 (stripe)	 aaa-004666	Burn adjacent to location of clip bond in center of die; see Section 8.2.12 “Linear mode EOS of BUK9Y40-55B” for further images
PSMN7R0-30YL	2 (stripe)	 aaa-004867	Burn adjacent to location of clip bond in center of die; see Section 8.2.13 “Linear mode EOS of PSMN7R0-30YL” for further images

8.1.5 过电流

8.1.5.1 EOS 方式

功率 MOSFET 的数据手册中都回列出能够承载的最大电流值。这个值取决于连接引线和夹片在熔断之前承载电流的能力，超过这个限值器件就会导致致命的失效。

I_D	drain current	$V_{GS} = 10 \text{ V}; T_{mb} = 100 \text{ }^\circ\text{C}$; see Figure 1	-	53	A
		$V_{GS} = 10 \text{ V}; T_{mb} = 25 \text{ }^\circ\text{C}$; see Figure 1	-	76	A
I_{DM}	peak drain current	$t_p \leq 10 \mu\text{s}$; pulsed; $T_{mb} = 25 \text{ }^\circ\text{C}$; see Figure 3	-	260	A

aaa-005071

图 8-6. PSMN7R0-30YL 数据手册中的最大电流限值的例子

8.1.5.2 失效状况仿真

如果在电路中没有能够限制电流的器件，当 MOSFET 导通时就会出现过电流的情况，导致供电电压完全加在了 MOSFET 的漏极源极端子上。一般会发生在负载短路时。也有可能发生在半桥的配置中，如果上下 MOSFET 同时开通后，随后就会发生过电流。

8.1.5.3 特征

失效位置起初发生在承载电流的引线或夹片与晶圆连接的地方。通常来说这种损坏是很多的，但是当过电流时，会看到金属和焊接点溶化后的痕迹散布在整个晶圆的表面。

对于打隐线的封装，经常会出现引线融化。对于 clip-bonded 的封装，通常会观察到晶圆出现裂痕。

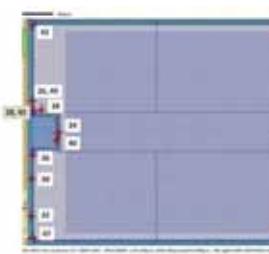
表 8-5. 过电流失效特征的案例

Device name	Cell pitch (μm)	Image	Comments
BUK7L06-34ARC	9 (hexagon)	 aaa-004868	Burns located in center of die adjacent to wire-bonds. Secondary damage of remelted top metal and solder die attach; see Section 8.2.14 “Over-current EOS of BUK7L06-34ARC” for further images
PSMN7R0-30YL	2 (stripe)	 aaa-004869	Burn adjacent to location of clip bond in center of die; see Section 8.2.15 “Over-current EOS of PSMN7R0-30YL” for further images

8.2 附录

8.2.1 BUK9508-55A 的机械模式的 EOS

表 8-6. 机械模式 EOS

BUK9508-55A	
Cell structure:	9 mm hexagons
Package:	TO-220
Die size:	5.5 mm x 4.5 mm
EOS condition:	1.1 kV MM pulse
 aaa-004875	
Fails located in edge cells, in the vicinity of the gate contact	

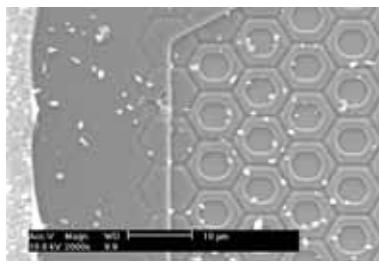


图 8-7. 样品图像 43 ; 移除铝之后

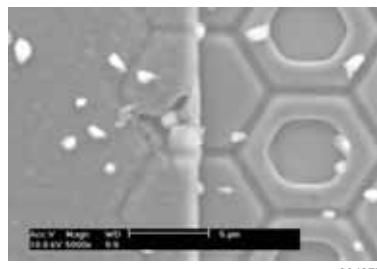


图 8-8. 样品图像 43 ; 移除铝之后 , 放大图

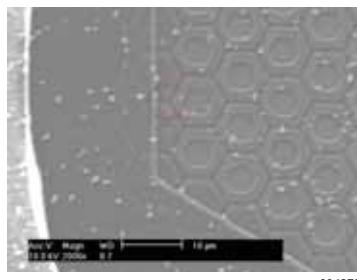


图 8-9. 样品图像 47 ; 移除铝之后 , 热点处未可见损坏

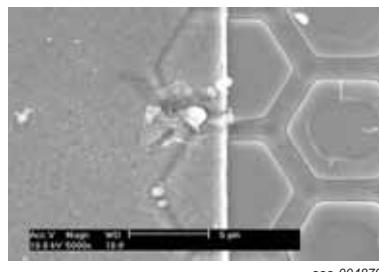
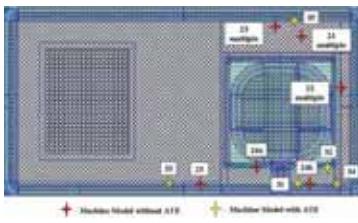
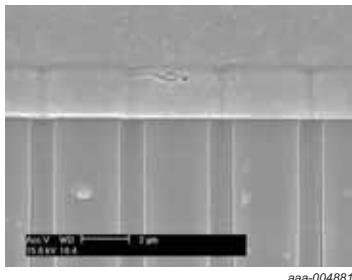


图 8-10. 样品图像 47 ; 移除 TEOS 之后 , 放大图

8.2.2 BUK9Y40-55B 的机械模式的 EOS

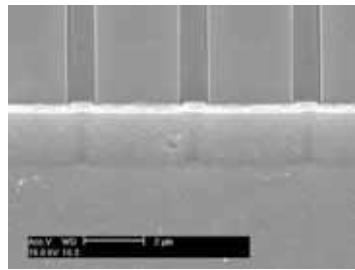
表 8-7. 机械模式 EOS

BUK9Y40-55B	
Cell structure:	4 μm stripe
Package:	LFPAK (clip bond)
Die size:	2.5 mm x 1.35 mm
EOS condition:	200 V to 240 V MM pulse
 Fails located mostly in edge cells, in the vicinity of the gate contact. Some fails subjected to ATE testing to create additional damage to highlight fail site <small>aaa-004880</small>	



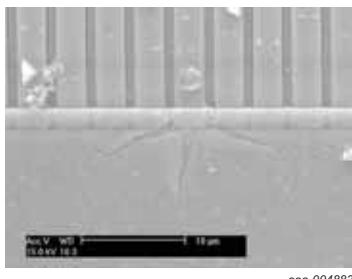
aaa-004881

图 8-11. 样品图像 24 ; 移除
TEOS 之后



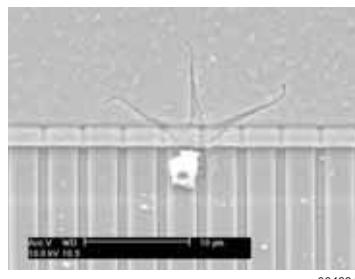
aaa-004882

图 8-12. 样品图像 25 ; 移除
TEOS 之后



aaa-004883

图 8-13. 样品图像 31 ; 在 ATE
测试和移除 TEOS 之后

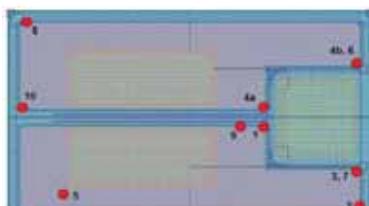


aaa-004884

图 8-14. 样品图像 32 ; 在 ATE
测试和移除 TEOS 之后

8.2.3 PSMN7R0-30YL 的机械模式的 EOS

表 8-8. 机械模式 EOS

PSMN7R0-30YL	
Cell structure:	2 μm stripe
Package:	LFPAK (clip bond)
Die size:	2.5 mm x 1.35 mm
EOS condition:	200 V to 270 V MM pulse
 aaa-004885	
Fails located mostly in edge cells, in the vicinity of the gate contact	

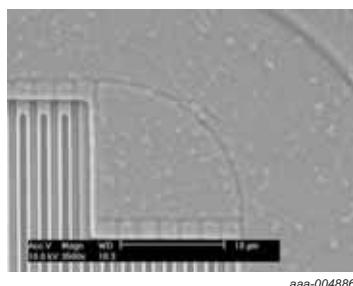


图 8-15. 样品图像 1 ; 移除 TEOS 之后

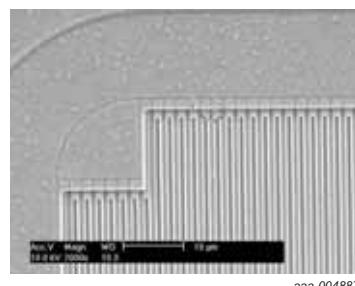


图 8-16. 样品图像 8 ; 移除 TEOS 之后

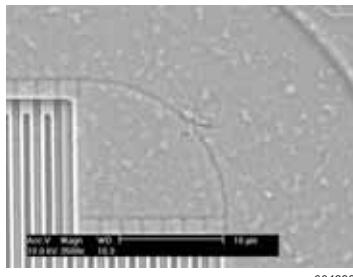


图 8-17. 样品图像 3 ; 移除
TEOS 之后

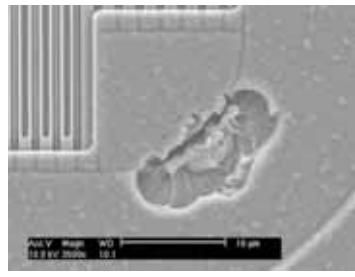
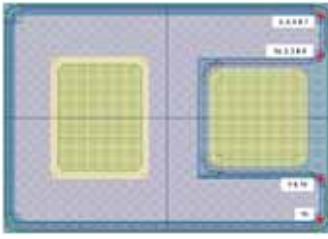
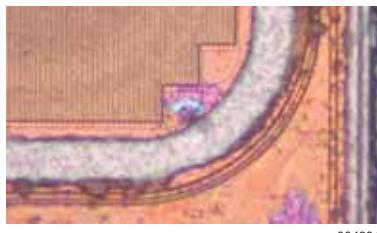


图 8-18. 样品图像 6 ; 移除
TEOS 之后

8.2.4 PSMN011-30YL 的机械模式的 EOS

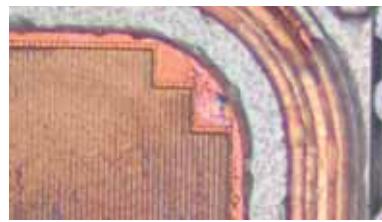
表 8-9. 机械模式 EOS

PSMN011-30YL	
Cell structure:	2 μ m stripe
Package:	LFPAK (clip bond)
Die size:	1.7 mm x 1.2 mm
EOS condition:	200 V to 210 V MM pulse
	
Fails located mostly in corner edge cells, in the vicinity of the gate contact	
<small>aaa-004890</small>	



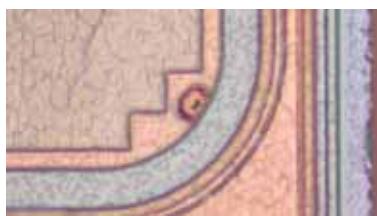
aaa-004891

图 8-19. 样品图像 3 ; 移除铝
之后



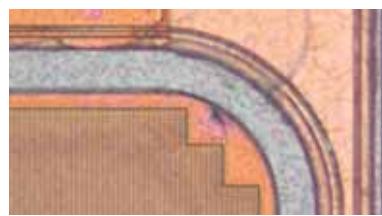
aaa-004892

图 8-20. 样品图像 6 ; 移除铝
之后



aaa-004893

图 8-21. 样品图像 8 ; 移除铝
之后

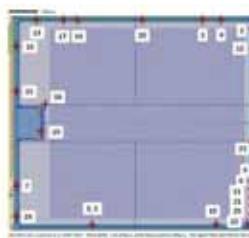


aaa-004894

图 8-22. 样品图像 10 ; 移除铝
之后

8.2.5 BUK9508-55A 的人体模式的 EOS

表 8-10. 人体模式 EOS

BUK9508-55A	
Cell structure:	9 mm hexagons
Package:	TO-220
Die size:	5.5 mm x 4.5 mm
EOS condition:	5 kV HBM pulse
 aaa-004899	
Fails located in edge cells, distributed around edge of device	

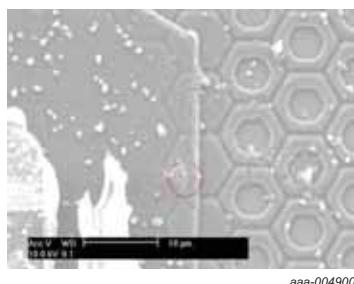


图 8-23. 样品图像 4 ; 移除铝之后

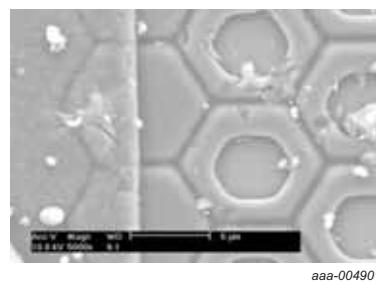


图 8-24. 样品图像 4 ; 移除铝之后 , 放大图

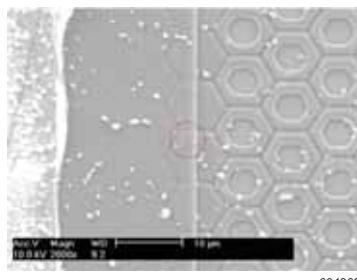


图 8-25. 样品图像 19 ; 移除铝之后

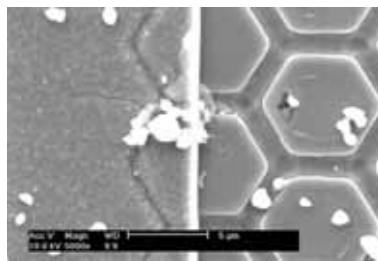


图 8-26. 样品图像 19 ; 移除铝之后 , 放大图

8.2.6 BUK9Y40-55B 的人体模式的 EOS

表 8-11. 人体模式 EOS

BUK9Y40-55B	
Cell structure:	4 μm stripe
Package:	LFPAK (clip bond)
Die size:	2.5 mm x 1.35 mm
EOS condition:	450 V to 650 V HBM pulse
Fails located randomly over die with increased grouping in edge cells. Some fails subjected to ATE testing to create additional damage to highlight fail site	

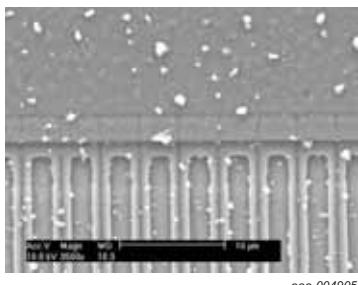


图 8-27. 样品图像 5 ; 移除铝之后

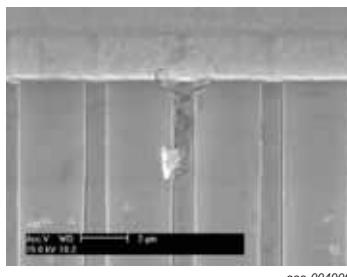
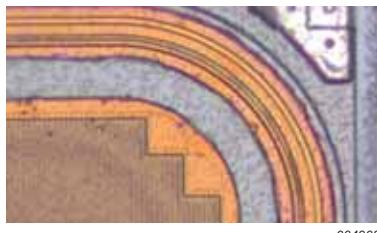


图 8-28. 样品图像5 ; 移除 TEOS 之后 , 放大图

8.2.7 PSMN011-30YL 的人体模式的 EOS

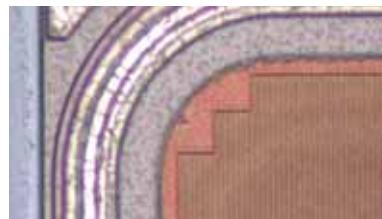
表 8-12. 人体模式 EOS

PSMN011-30YL	
Cell structure:	2 μm stripe
Package:	LFPAK (clip bond)
Die size:	1.7 mm x 1.2 mm
EOS condition:	200 V to 210 V HBM pulse
<p style="text-align: right;">aaa-004907</p>	
Fails located in edge cells	



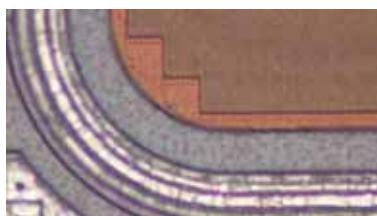
aaa-004908

图 8-29. 样品图像 2 ; 移除铝之后



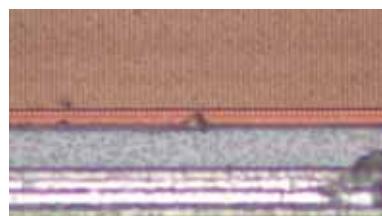
aaa-004909

图 8-30. 样品图像 4 ; 移除铝之后



aaa-004910

图 8-31. 样品图像 5 ; 移除铝之后



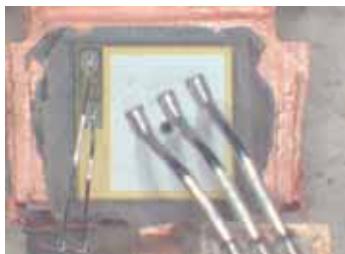
aaa-004911

图 8-32. 样品图像 10 ; 移除铝之后

8.2.8 BUK7L06-34ARC 的 UIS 的 EOS

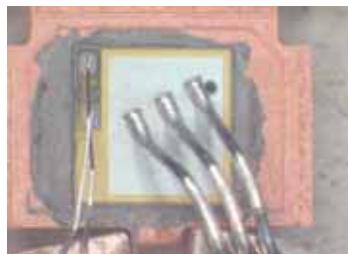
表 8-13. 非钳位感性开关 EOS

BUK7L06-34ARC	
Cell structure:	9 mm hexagons
Package:	TO-220 (clip bond)
Die size:	4.3 mm x 4.3 mm
EOS condition:	0.2 mH; 80 A to 110 A
Small round burn marks, randomly distributed over active area, close to but not directly under wire-bonds	



aaa-004912

图 8-33. 样品图像 1



aaa-004913

图 8-34. 样品图像 2



aaa-004914

图 8-35. 样品图像 3



aaa-004915

图 8-36. 样品图像 4

8.2.9 BUK9Y40-55B 的 UIS 的 EOS

表 8-14. 非钳位感性开关 EOS

BUK9Y40-55B	
Cell structure:	4 μm stripe
Package:	LFPAK (clip bond)
Die size:	2.5 mm x 1.35 mm
EOS condition:	Red dots: 0.1 mH, 76 A to 80 A Yellow dots: 15 mH, 7 A to 9 A
	<p>The schematic diagram shows the layout of the die with two main rectangular regions. Red dots are placed near the top and bottom edges of the left region, indicating bond pad locations for a 0.1 mH inductor. Yellow dots are placed near the top and bottom edges of the right region, indicating bond pad locations for a 15 mH inductor. Labels include 'Bond pad location for 0.1 mH inductor' and 'Bond pad location for 15 mH inductor'.</p> <p>aaa-004916</p>
	Small round burn marks, randomly distributed over active area, close to but not directly under clip bond



图 8-37. 样品图像 41 ; 0.1 mH

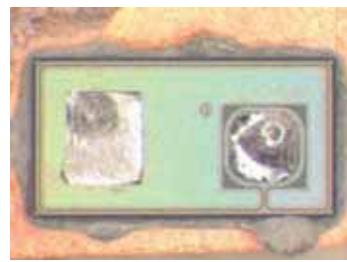


图 8-38. 样品图像 43 ; 0.1 mH

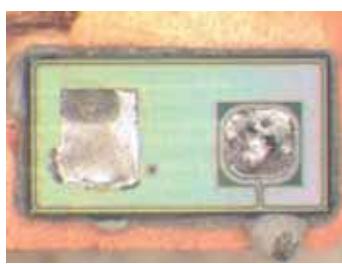


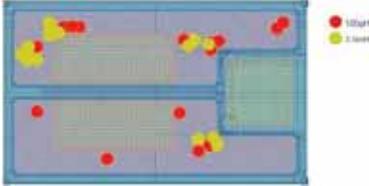
图 8-39. 样品图像 51 ; 15 mH



图 8-40. 样品图像 55 ; 15 mH

8.2.10 PSMN7R0-30 YL 的 UIS 的 EOS

表 8-15. 非钳位感性开关 EOS

PSMN7R0-30YL	
Cell structure:	2 μm stripe
Package:	LFPAK (clip bond)
Die size:	2.3 mm x 1.35 mm
EOS condition:	Red dots: 0.1 mH, 48 A to 51 A Yellow dots: 3.5 mH, 16 A to 18 A
	 <i>aaa-004921</i>
	Small, round, burn marks, randomly distributed over active area, close to but not directly under clip bond

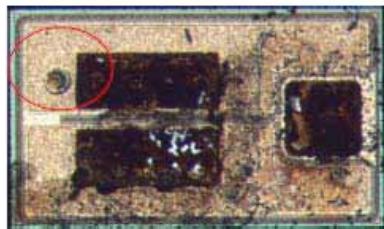


图 8-41. 样品图像 6 ; 0.1 mH

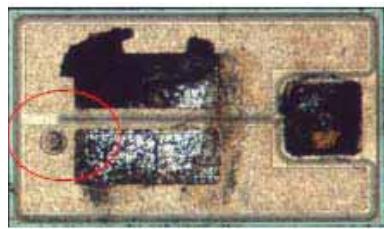


图 8-42. 样品图像 8 ; 0.1 mH

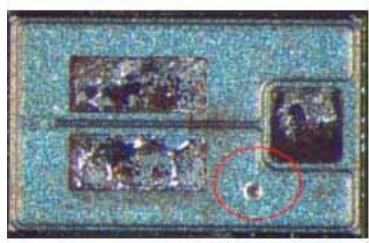


图 8-43. 样品图像 18 ; 3.5 mH

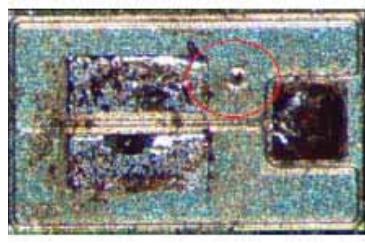


图 8-44. 样品图像 20 ; 3.5 mH

8.2.11 BUK7L06-34ARC 的线性工作模式的 EOS

表 8-16. 线性模式 EOS

BUK7L06-34ARC	
Cell structure:	9 mm hexagon
Package:	TO-220 (clip bond)
Die size:	4.3 mm x 4.3 mm
EOS condition:	
15 V, 3 A	Burn marks located in middle of the die adjacent to wire bonds
30 V, 1.5 A	Burn mark and location are more discrete at 20 V, 1.5 A



aaa-004926

图 8-45. 样品图像 1 ; 15 V , 3 A



aaa-004927

图 8-46. 样品图像 2 ; 15 V , 3 A



aaa-004928

图 8-47. 样品图像 3 ; 15 V , 3 A



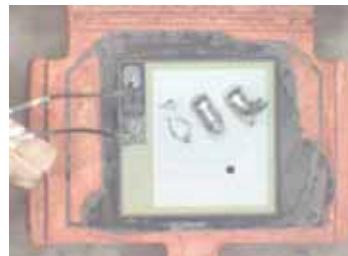
aaa-004929

图 8-48. 样品图像 4 ; 15 V , 3 A



aaa-004930

图 8-49. 样品图像 1 ; 30 V , 1.5 A



aaa-004931

图 8-50. 样品图像 2 ; 30 V , 1.5 A



aaa-004932

图 8-51. 样品图像 3 ; 30 V , 1.5 A

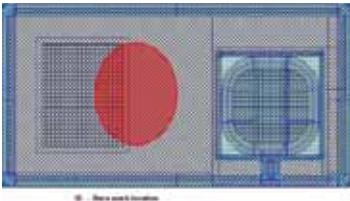


aaa-004933

图 8-52. 样品图像 4 ; 30 V , 1.5 A

8.2.12 BUK9Y40-55B 的线性工作模式的 EOS

表 8-17. 线性模式 EOS

BUK9Y40-55B	
Cell structure:	4 μm stripe
Package:	LFPAK (clip bond)
Die size:	2.5 mm x 1.35 mm
EOS condition:	20 V, 3.5 A, 30 ms 20 V, 3 A, 60 ms 30 V, 1.4 A, 60 ms
	 Burn marks in center of die, adjacent but not directly under clip bond – can cause die cracking aaa-004934

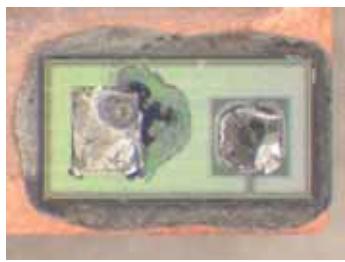


图 8-53. 样品图像 61; 20 V ,
3.5 A , 30 ms

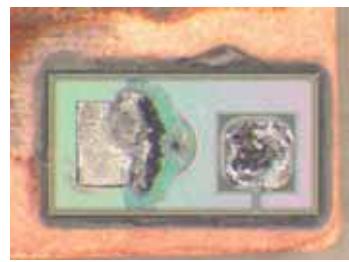


图 8-54. 样品图像 62; 20 V ,
3.5 A , 30 ms



图 8-55. 样品图像 63; 20 V ,
3.5 A , 30 ms

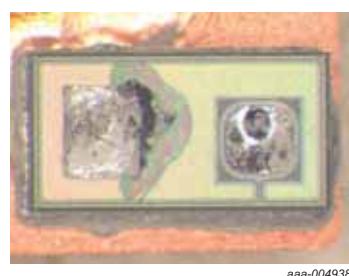


图 8-56. 样品图像 64; 20 V ,
3.5 A , 30 ms



图 8-57. 样品图像 66; 20 V ,
3 A , 60 ms



图 8-58. 样品图像 67; 20 V ,
3 A , 60 ms



图 8-59. 样品图像 68; 20 V ,
3 A , 60 ms



图 8-60. 样品图像 69; 20 V ,
3 A , 60 ms



图 8-61. 样品图像 71; 30 V ,
1.4 A , 60 ms



图 8-62. 样品图像 72; 30 V ,
1.4 A , 60 ms



aaa-004945

图 8-63. 样品图像 73; 30 V ,
1.4 A , 60 ms



aaa-004947

图 8-64. 样品图像 74; 30 V ,
1.4 A , 60 ms

8.2.13 PSMN7R0-30YL 的线性工作模式的 EOS

表 8-18. 线性模式 EOS

PSMN7R0-30YL	
Cell structure:	2 μm stripe
Package:	LFPAK (clip bond)
Die size:	2.3 mm x 1.35 mm
EOS condition:	Burn marks in center of die, adjacent but not directly under clip bond 0.1 mH, 48 A to 51 A 3.5 mH, 16 A to 18 A



aaa-004948

图 8-65. 样品图像 1; 15 V ,
2.5 A , 100 ms



aaa-004953

图 8-67. 样品图像 4; 15 V ,
2.5 A , 100 ms



aaa-004955

图 8-69. 样品图像 11; 15 V ,
5 A , 1 ms



aaa-004951

图 8-66. 样品图像 2; 15 V ,
2.5 A , 100 ms



aaa-004954

图 8-68. 样品图像 5; 15 V ,
2.5 A , 100 ms



aaa-004956

图 8-70. 样品图像 12; 15 V ,
5 A , 1 ms



aaa-004957

图 8-71. 样品图像 13; 15 V ,
5 A , 1 ms



aaa-004958

图 8-72. 样品图像 14; 15 V ,
5 A , 1 ms

8.2.14 BUK7L06-34ARC 的过电流的 EOS

表 8-19. 过电流 EOS

BUK7L06-34ARC	
Cell structure:	9 μm hexagon
Package:	TO-220 (clip bond)
Die size:	4.3 mm x 4.3 mm
EOS condition:	120 A
Extensive damage starting from die where wire bonds meet die. Secondary damage of reflowed solder and even fused wires are visible	



图 8-73. 样品图像 1



图 8-74. 样品图像 2



图 8-75. 样品图像 3



图 8-76. 样品图像 4 : 源极连线
烧毁

8.2.15 PSMN7R0-30YL 的过电流的 EOS

表 8-20. 过电流 EOS

PSMN7R0-30YL

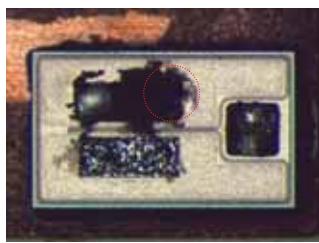
Cell structure: 2 μm stripe

Package: LFPACK (clip bond)

Die size: 2.3 mm x 1.35 mm

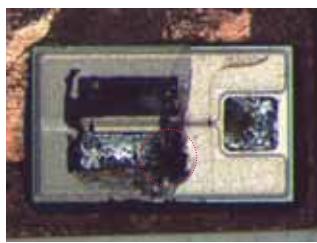
EOS condition: 35 A, 35 ms

Burn marks located in center of die under and adjacent to clip bond.
Some evidence of die-cracking



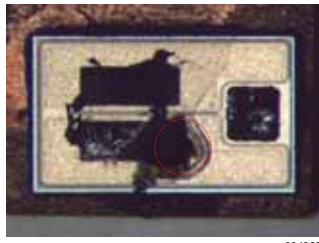
aaa-004963

图 8-77. 样品图像 6



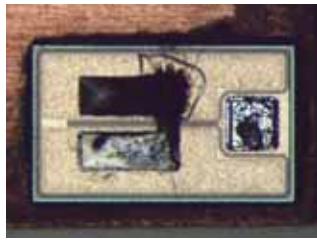
aaa-004964

图 8-78. 样品图像 7



aaa-004965

图 8-79. 样品图像 8 ; 晶圆烧裂



aaa-004966

图 8-80. 样品图像 10 ; 晶圆烧裂

8.3 表格

表 8-1. 机械模式 ESD 的失效特征案例	204
表 8-2. 人体模式 ESD 失效特征的案例	206
表 8-3. UIS (非钳位感性开关) 的失效特征的案例	208
表 8-4. 线性模式失效特征的案例	210
表 8-5. 过电流失效特征的案例	212
表 8-6. 机械模式 EOS	213
表 8-7. 机械模式 EOS	214
表 8-8. 机械模式 EOS	216
表 8-9. 机械模式 EOS	217
表 8-10. 人体模式 EOS	219
表 8-11. 人体模式 EOS	220
表 8-12. 人体模式 EOS	221
表 8-13. 非钳位感性开关 EOS	222
表 8-14. 非钳位感性开关 EOS	224
表 8-15. 非钳位感性开关 EOS	225
表 8-16. 线性模式 EOS	226
表 8-17. 线性模式 EOS	228
表 8-18. 线性模式 EOS	230
表 8-19. 过电流 EOS	232
表 8-20. 过电流 EOS	234
表 8-21. 缩略语	283

8.4 图表

图 8-1. 机械模式 ESD 仿真的典型电路	203
图 8-2. 人体模式 ESD 仿真的经典电路	205
图 8-3. UIS 耐久性测试的电路	207
图 8-4. 从 UIS 电路中获得的波形	207
图 8-5. 安全工作区域; 漏极的连续电流和峰值电流和漏极源极电压的关系	209
图 8-6. PSMN7R0-30YL 数据手册中的最大电流限值的例子	211
图 8-7. 样品图像 43; 移除铝之后	213
图 8-8. 样品图像 43; 移除铝之后, 放大图	213
图 8-9. 样品图像 47; 移除铝之后, 热点处未可见损坏	214
图 8-10. 样品图像 47; TEOS 移除之后, 放大图	214
图 8-11. 样品图像 24; 移除 TEOS 之后	215
图 8-12. 样品图像 25; 移除 TEOS 之后	215
图 8-13. 样品图像 31; 在 ATE 测试和移除 TEOS 之后	215
图 8-14. 样品图像 32; 在 ATE 测试和移除 TEOS 之后	215
图 8-15. 样品图像 1; 移除 TEOS 之后	216
图 8-16. 样品图像 8; 移除 TEOS 之后	216
图 8-17. 样品图像 3; 移除 TEOS 之后	217
图 8-18. 样品图像 6; 移除 TEOS 之后	217
图 8-19. 样品图像 3; 移除铝之后	218
图 8-20. 样品图像 6; 移除铝之后	218
图 8-21. 样品图像 8; 移除铝之后	218
图 8-22. 样品图像 10; 移除铝之后	218
图 8-23. 样品图像 4; 移除铝之后	219
图 8-24. 样品图像 4; 移除铝之后, 放大图	219
图 8-25. 样品图像 19; 移除铝之后	220
图 8-26. 样品图像 19; 移除铝之后, 放大图	220
图 8-27. 样品图像 5; 移除铝之后	221
图 8-28. 样品图像 5; 移除 TEOS 之后, 放大图	221
图 8-29. 样品图像 2; 移除铝之后	222
图 8-30. 样品图像 4; 移除铝之后	222
图 8-31. 样品图像 5; 移除铝之后	222

图 8-32. 样品图像 10; 移除铝之后	222
图 8-33. 样品图像 1	223
图 8-34. 样品图像 2	223
图 8-35. 样品图像 3	223
图 8-36. 样品图像 4	223
图 8-37. 样品图像 41; 0.1 mH	224
图 8-38. 样品图像 43; 0.1 mH	224
图 8-39. 样品图像 51; 15 mH	224
图 8-40. 样品图像 55; 15 mH	224
图 8-41. 样品图像 6; 0.1 mH	225
图 8-42. 样品图像 8; 0.1 mH	225
图 8-43. 样品图像 18; 3.5 mH	225
图 8-44. 样品图像 20; 3.5 mH	225
图 8-45. 样品图像 1; 15 V, 3 A	226
图 8-46. 样品图像 2; 15 V, 3 A	226
图 8-47. 样品图像 3; 15 V, 3 A	226
图 8-48. 样品图像 4; 15 V, 3 A	226
图 8-49. 样品图像 1; 30 V, 1.5 A	227
图 8-50. 样品图像 2; 30 V, 1.5 A	227
图 8-51. 样品图像 3; 30 V, 1.5 A	227
图 8-52. 样品图像 4; 30 V, 1.5 A	227
图 8-53. 样品图像 61; 20V, 3.5 A, 30 ms	228
图 8-54. 样品图像 62; 20 V, 3.5 A, 30 ms	228
图 8-55. 样品图像 63; 20 V, 3.5 A, 30 ms	228
图 8-56. 样品图像 64; 20 V, 3.5 A, 30 ms	228
图 8-57. 样品图像 66; 20 V, 3 A, 60 ms	229
图 8-58. 样品图像 67; 20 V, 3 A, 60 ms	229
图 8-59. 样品图像 68; 20 V, 3 A, 60 ms	229
图 8-60. 样品图像 69; 20 V, 3 A, 60 ms	229
图 8-61. 样品图像 71; 30 V, 1.4 A, 60 ms	229
图 8-62. 样品图像 72; 30 V, 1.4 A, 60 ms	229

图 8-63. 样品图像 73; 30 V, 1.4 A, 60 ms	230
图 8-64. 样品图像 74; 30 V, 1.4 A, 60 ms	230
图 8-65. 样品图像 1; 15 V, 2.5 A, 100 ms	231
图 8-66. 样品图像 2; 15 V, 2.5 A, 100 ms	231
图 8-67. 样品图像 4; 15 V, 2.5 A, 100 ms	231
图 8-68. 样品图像 5; 15 V, 2.5 A, 100 ms	231
图 8-69. 样品图像 11; 15 V, 5 A, 1 ms	231
图 8-70. 样品图像 12; 15 V, 5 A, 1 ms	231
图 8-71. 样品图像 13; 15 V, 5 A, 1 ms	232
图 8-72. 样品图像 14; 15 V, 5 A, 1 ms	232
图 8-73. 样品图像 1	233
图 8-74. 样品图像 2	233
图 8-75. 样品图像 3	233
图 8-76. 样品图像 4: 源极连线烧毁	233
图 8-77. 样品图像 6	234
图 8-78. 样品图像 7	234
图 8-79. 样品图像 8; 晶圆烧裂	234
图 8-80. 样品图像 10; 晶圆烧裂	234

第九章: 功率 MOSFET 的 常见问题

应用笔记: TN00008

第九章: 功率 MOSFET 的常见问题

(应用笔记 TN00008)

9.1 介绍

本章介绍了关于 MOSFET 使用和平台要求的大量的重要问题。虽然这里是着重关注汽车上的应用，但这里的原理也可以用在工业上或者消费品上，我们在这里尽力提供清楚的答案和答案背后的原理。

本章内容仅供参考，任何客户的特殊问题都应该和 NEXPERIA 功率 MOSFET 的应用工程师一起讨论。

9.2 棚极

9.2.1 问：在第 3 代 Trench 工艺的平台中的逻辑电平额定电压为 15 V (V_{GS})。为什么在第 6 代 Trench 工艺中降到了 10 V 了呢？

答：Trench 3 平台已经超过十年了，它经过了实践法则的最好的检验。尤其是，它是为了满足 AEC-Q101 的需求而评估设计的。产品的控制和实验的设计都是为了确保满足这些需求的。

在这些年里，最好的实践法则继续被推行。尤其是对棚极氧化物耗尽的理解已经大大提高了。我们意识到仅满足 AEC-Q101 并不能保证能满足现代可靠性的要求。市场的需求是在 15 年的使用寿命中低于 1 PPM（百万分之一）。

在 Trench 6 平台的数据手册中 V_{GS} 的额定条件是在结温 175 °C 时的直流电压。棚极在 25 °C 的情况下能够短时间承受 20 V（最坏情况为大于 1 小时），这个能力是和竞争对手的器件性能相近的，通常他们宣称 20 V，但却并不规定具体的测试条件。

附加信息:

Trench 6 平台规定的额定栅极电压满足了市场对器件可靠性的需求，并可以通过产品控制和测试来进行保证。

额定 10 V 直流电压是保守的，客户的反馈是，设定一个明确而保守的、但实际一点的限值参数在数据手册上，这可以确保工程师采用最好的设计方案，以及不使用过度的驱动。

对于 Trench 6 器件，使用逻辑型器件的栅极驱动电压为 5 V 到 10 V。15 V 电压并不会直接破坏任何逻辑电平型器件。毫无疑问，在 10 V 到 15 V 之间的电压是有相应的寿命时间的。然而，指导意见是在超过 100 小时寿命需求的汽车应用中使用标准的电平型器件。

若要在新设计中使用 Trench 3 平台或是 NEXPERIA 更早的技术的产品，也可以使用这里相同的指导。因为 Trench 3 和 Trench 6 的栅极氧化物的厚度是一样的。然而，因为产品的测试和控制不一样，所以并不能得到一样的保证。

9.3 热阻抗曲线

9.3.1 问：当比较一些数据手册中的 Z_{th} 曲线时，会出现一些矛盾。从 R_{th} 的角度，Trench 6 平台的 BUK9Y38-100E 看起来更好（热阻更低）。然而从小于 100 ms 的 Z_{th} 角度来看的话，BUK9Y30-75B（Trench 3 平台看起来更好），图形的形状表明 Trench 6 器件上使用了更先进的模型或测试，这个假设是正确的吗？

答：在 2008 的 Trench 3 平台和 2012 的 Trench 6 平台之间 Z_{th} 曲线的测试方法已经发生了变化，晶圆尺寸的不同也会影响 Z_{th} 和 R_{th} 的特性。

附加信息:

早期的方法是利用 Z_{th} (1 μ s) 和 R_{th} 的经验模型，并结合指数线。

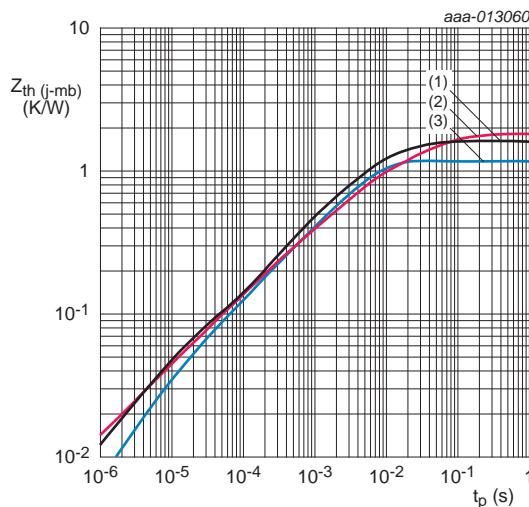
最新的方法是利用计算流体动力学仿真出的 Z_{th} 模型，并通过测试验证。

因为在两个器件中晶圆的尺寸是不同的，所以 Z_{th} 也就不同。

在图 9-1 中的曲线比较了单次 Z_{th} 的数据手册曲线，两个器件的限值之间有很好的一致性，最大的区别发生在 1 ms – 20 ms。

通过这个比较得出的结论是，如果 Trench 3 器件被设计用在这个 Z_{th} 限值以内，那么 Trench 6 就是一个很好的替代品，有很高的可能性可以实现令人满意的工作性能。

利用新方法来评估 Trench 3 产品的限值是有可能的，新方法可以更精确的反映出它的真实表现。图 9-1 展示了新的曲线，并与两个数据手册中的线做了对比。



(1) = BUK9Y38-100E

(2) = BUK9Y30-75B

(3) = BUK9Y30-75B (新的测试方法)

图 9-1. 瞬时热阻抗的比较

尽管这里的 R_{th} 不同, 它有可能并不重要。在实际中, 设计的限值是 $R_{th(j-amb)}$, PCB 的 R_{th} 通常是两方面中占主要影响因素的。

当考虑 BUK9Y30-75B 用老方法和新方法测试时, 另外一个不同是在 $10 \mu s$ 以下, 对于在 $1 \mu s$ 和 $2 \mu s$ 之间的脉冲, 在 Trench 3 产品中的温升 (或 $Z_{th(j-amb)}$) 只是原始描绘的数据手册曲线的一半, 这个因素的重要程度取决于具体的应用情况。

9.3.2 问: 我的理解是数据表格中列出的热阻是特定条件下得出的, 并不适用于典型的应用, 如果这个理解正确的话, 怎样计算精确的热阻和结点温度呢?

答: 这个理解是正确的, 为了确保 MOSFET 的可靠性, 要一直将最高结点温度限定在 175 °C 以下。

附件信息:

- 理解成数据手册中列出的典型的热阻是基于特定条件得出的, 并不适用于一般的应用。

半导体行业接受的标准是结点温度为 25 °C 时的器件特性, 对用户来说在这个温度下采取测量也是最方便的。

- 怎样计算出适合的热阻?

在 NEXPERIA 数据手册中只给出了热阻的最大值, 典型值没有最大值那么重要。众所周知, 随着 MOSFET 使用时间增加, 热循环会导致 $R_{th(j-mb)}$ 的上升。考虑到 MOSFET 整个使用寿命内的变化, 数据手册中的 $R_{th(j-mb)}$ 已经考虑了一定的误差余量。

最大值通常适用于最恶劣情况下的设计分析中。数据手册中的 $R_{th(j-mb)}$ 是从特性测量中得出的。

这个值并不取决于温度或是其它的环境条件。

- 结点温度怎样计算?

由于环境温度或是 MOSFET 的内部功率损耗, MOSFET 经常会工作在高于 25 °C 的情况下。

如果已知 MOSFET 功耗和焊接衬底的温度 (T_{PCB})，就可以计算出结点的温度，用公式 9-1 来计算 T_j :

$$(公式 1) \quad T_j = P * R_{th(j-mb)} + T_{PCB}$$

MOSFET 的 SPICE 热模型提供了一个非常好的通过仿真评估 T_j 的手段，而且当 MOSFET 的功率随时间变化时这种方法特别有用。

BUK7Y12-40E 的工作实例:

从数据手册中得出：

在 25 °C 时的最大的 $R_{DS(on)} = 12 \text{ m}\Omega$

在 175 °C 时的最大的 $R_{DS(on)} = 23.6 \text{ m}\Omega$

最大的 $R_{th(j-mb)} = 2.31 \text{ K/W}$

实际应用中的条件是：

PWM 的频率 = 100 Hz

最大的占空比 = 50 %

供电电压 $V_{supply} = 14 \text{ V}$

负载电阻 $R_{load} = 0.7 \Omega$

最高的环境温度 = 85 °C

最高的 PCB 温度 = 100 °C

这里的计算是基于平均功率的，并忽略由功率脉冲引起的温度起伏，并忽略 100 Hz 时的开关损失。

假定 MOSFET 初始的温度是 100 °C，最大的 $R_{DS(on)}$ 是 18 mΩ（是在 25 °C 时的 12 mΩ 与 175 °C 时的 24 mΩ 之间）。

当导通时，MOSFET 的功率损失是 $I^2 R_{DS(on)} = 20 \times 20 \times 0.018 = 7.2 \text{ W}$ 。

占空比是 50 %，所以平均功率是 $7.2 \times 0.5 = 3.6 \text{ W}$ ，前提是假定 100 Hz 时的开关损失可以忽略。

MOSFET 结点温度在焊接衬底之上的温升，为 $2.31 \times 3.6 = 8.3 \text{ K}$

在这种情况下的晶圆的温度为 $100 + 8.3 = 108.3 \text{ }^{\circ}\text{C}$ (这是相当安全的温度)。

在 $85 \text{ }^{\circ}\text{C}$ 环境温度下确保 PCB 温度不升高到 $100 \text{ }^{\circ}\text{C}$ 以上，在 PCB 与环境间的热阻一定要在 $(100 - 85) / 3.6 = 4.2 \text{ K/W}$ 以下。

9.4 MOSFET的体二极管

9.4.1 问：MOSFET的体二极管能承载多大的电流？

答：数据手册陈述了二极管的 I_s 能力。功率限制是和 MOSFET 导通时是一样的。实际上它们尺寸相同而且有一样的热属性。MOSFET 可以通过通道或反转时通过体二极管承载相同的电流。在二极管中最大的稳定电流取决于器件的总功率损失。然而由于功率损耗有可能在两个工作模式下不一样，二极管的电流可能和通道电流不一样。

附加信息：

目的是保持结点温度在 $T_{j(\max)}$ 以下，所以有必要计算二极管的损耗。在直流情况下 $I_f \times V_f$ ，这和 NEXPERIA MOSFET 数据手册中的 $V_{sd} \times I_s$ 是相当的，对于最坏的情况分析，应该用数据手册中最大的 V_f (通常为 1.2 V)。

(公式 2) Power: $V_o \cdot I_{avg} + R_s \cdot I_{rms}^2$

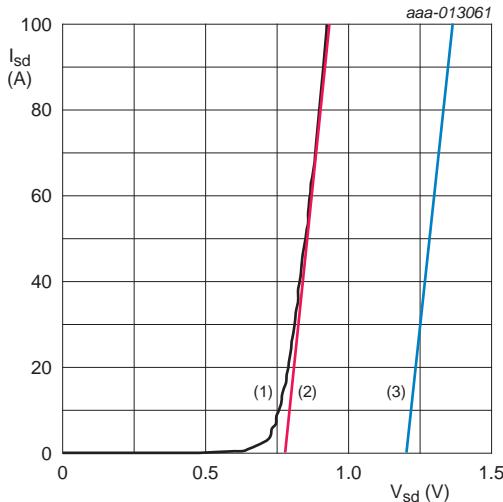
这里的

I_{avg} 是二极管中的平均电流

I_{rms} 是二极管中电流的有效值

R_s 是数据中给出的特性曲线的斜率 I_{sd}/V_{sd} 。

V_o 是当 R_s 线与 $I_{sd} = 0$ 时的轴线交汇时的典型值，对于保守的 WCA 最恶劣情况分析，可以用 1.2 V。



(1) = 在 25 °C 时的特性

(2) = 在 25 °C 时的理想化的特性

(3) = 在 25 °C 时的最坏的理想化的特性

图 9-2. 二极管特性

对于瞬时电流，使用 SPICE 模型来进行二极管的仿真是有帮助的，但要当心的是模型只是针对典型器件。

一旦功耗已知，标准的热分析方法就可以利用起来检验 T_j 是否能承受，可以使用包含 RC 热模型的 SPICE 仿真。

9.5 安全工作区域及线性工作模式

9.5.1 问: 电流会随着温度降额, 这是基于功耗的限制吗?

答: 对于电流降额和功率限额, 结点温度是最重要的因素, T_j 与功耗呈函数关系。在完全导通模式下, 功耗与电流 I_d 和导通阻抗呈函数关系 ($P = I_d^2 \times R$)。在工作在导通和关闭之间时, 功率是 V_{ds} 和 I_d 的产物。MOSFET 的 $R_{DS(on)}$ 随着温度的升高而升高。因此, 对于给定的最大功耗, 最大电流必须以降额的方式来匹配最大功耗。在 NEXPERIA 的数据手册中, 图表展示了持续漏极电流和标准化的功耗, 功耗是与焊接衬底温度有一定关系的, 详见图 9-4, 这些曲线图可以用来决定降额。

9.5.2 问: 有没有必要将所有参数 (电压、电流、功率等) 都进行降额来达到更高的可靠性?

答: 如果是电流、电压、功率或是结点温度, 在 NEXPERIA 数据手册中的限值内的话, 额外的降额就不需要。在数据手册中有一个基于结点温度的功率降额曲线。结点温度 T_j 是可靠性的最终的因素之一。尤其需要注意的是从器件带走足够的热量来保证维持结点或晶圆的温度在限值以下。器件应该工作在 SOA 曲线之内, 如果有必要, 可以进行降额 (见 9.5.3 节) 就如同 9.5.3 节中所推荐的那样, 这样可能会获得优化的可靠性。

9.5.3 问：对于温度不是 25 °C 时，我应该怎样进行 SOA 降额呢？

答：举个例子，假设要求温度是 100 °C，不是 25 °C。对于一个汽车等级的 MOSFET T_j 的限值是 175 °C。见图 9-3，考虑温度对 SOA 性能的影响进行电压降额。利用图 9-4 的功率降额曲线来决定新温度下的电压，但前提是固定电流。例如：100 °C 时的功率是 25 °C 时功率的一半。因此图 9-3 中 10 V 线就可以表示成 100 °C 的 5V。本书的第一章就解释了这一点。如果有必要，1 ms, 10 ms 等 SOA 曲线也可以以相同的斜率向右延展。

例如：焊接衬底温度是 25 °C，对于给定的汽车等级 $T_j = 175$ °C 的器件允许的温升是 150 °C。在 100 °C 时，允许的温升将降为一半（75 °C）。结果是允许的功耗也是 25 °C 时允许的一半。因为线性工作模式的影响，电流会被保持，但 DS 两端电压被降额。图 9-3 中描绘的 SOA 图形，表明了 100 °C 条件下的电压降额效果，在第一章中解释的更为详细。

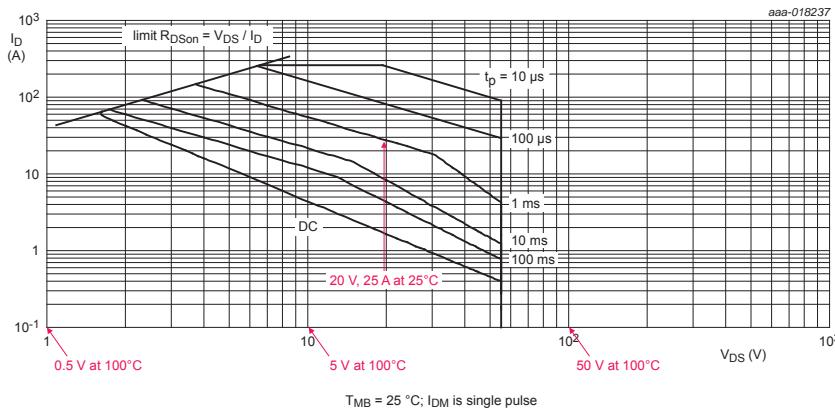


图 9-3. 示例：展示 BUK7Y12-55B 在 100 °C 时的 SOA 降额曲线

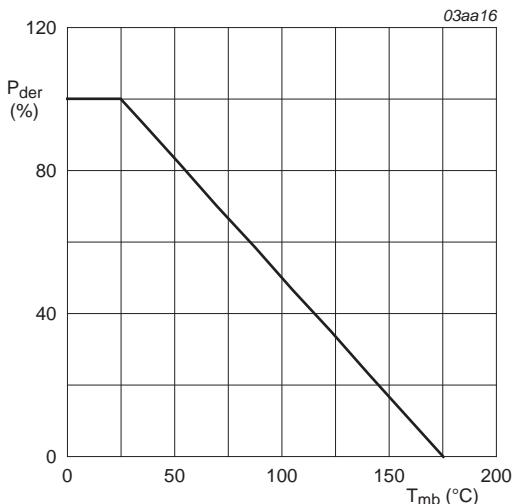


图 9-4. 标准化的总功耗与焊接点温度的关系

(公式 3) $P_{der} = \frac{P_{TOT}}{P_{TOT}(25^{\circ}C)} \times 100\%$

9.5.4 问：对于线性工作模式，存在一个 Spirito 限值界限吗？

答：新的高密度技术中的 Spirito 区域或热点问题对线性工作模式有更多的影响。由图 9-3 可见在高 V_{DS} 下，在 1 ms、10 ms、和 100 ms 限值线的斜率上的变化可以看出这个影响很明显。在高 V_{DS} 时的 1 ms、10 ms、和 100 ms 和 DC 线着重强调了这个。原因是大多数较新的技术是通过封装更多的基本单元，用很小的晶圆来分担更多的电流（每个单位面积下有更小的 $R_{DS(on)}$ ）。这导致了单元之间的热耦合的升高。为了达到更高的电流密度，MOSFET 被设计成拥有较高的跨导或者增益 $g_{fs} = I_d / V_{GS}$ ，这就是使他们在较低的 V_{GS} 值下承载更高的电流，然而 $V_{GS(th)}$ 门限电压却有负温度系数，这可以导致较高的零温度系数交叉点。由于各种各样的原因，温度永远不会均匀的分布在晶圆中。

因此, 当器件在线性模式工作较长时间的话, 会出现热点, 由于门限电压的漂移, 存在热点形成的位置出现热失控和器件损坏的风险。由于这些原因, 当使用沟道或平面 MOSFET 时需要特别当心, 确保工作状态是在数据手册中限值内。

9.5.5 问: Trench 工艺能工作在线性模式下吗?

答: 为了优化 $R_{DS(on)}$ 和开关性能, 一些现代 Trench 技术设计具有十分进取的单元间隙。一般来说, 这对于线性工作性能是有害的, 为了达到更好的线性工作性能, NEXPERIA 沟道技术使用了的比竞争对手更为安全保守的单元间隔, 同时也能保持非常好的 $R_{DS(on)}$ 和开关性能。当选择或使用器件时, 尤其要注意 SOA 随温度降额的曲线, 这些器件可以用在线性工作模式。

9.5.6 问: 怎样识别一个器件是否可以用在线性工作模式?

答: 虽然所有的 NEXPERIA MOSFET 能被用在线性工作模式, 但有一些 NEXPERIA MOSFET 是被设计成特别适合线性模式工作。在器件数据手册中会特别指出适用于工作在线性模式。要想决定器件适不适合工作在线性模式, 就要对 SOA 曲线进行彻底的分析。分析包括对于 25 °C 以上的结点温度的 SOA 曲线的降额。其命名的规则也表明了 MOSFET 是专为线性模式应用而设计的 (参考在选件指南中的器件命名规则)。

9.5.7 问: 对于被设计用在线性工作模式的器件, 存在一些限制吗? (如 Spirito 界限)

答: 即使 MOSFET 是打算用在线性模式应用的, 器件也要禁止工作在 SOA 曲线范围之外。2010 年之后, 所有 NEXPERIA MOSFET 都有一个测量的 SOA 特性, SOA 特性中展示了 NEXPERIA 器件线性模式能力的限值。因此, 安全的界限的制定是通过测量而不是计算, Spirito 能力的限值就展示在 SOA 特性中。

9.6 雪崩耐久度和非钳位感性开关 (UIS)

9.6.1 问: 沟道式的设计会很容易受 UIS 问题 (寄生 BJT 导通) 的影响吗?

答: 一般来讲, 是的, 但是 NEXPERIA Trench MOSFET 的设计是可以抑制这个效果的。沟道式的结构, 不像平面式的, 是可以非常容易的设计成抑制寄生 BJT 的导通的。对于新的 NEXPERIA MOSFET 技术, 失效机制是热, 它也代表了可达到的 UIS 性能的限值。下图, 图 9-5 左边是平面式的, 右边是沟道式的, 在沟道式的例子中, 源极中的设计特性是用有效的连接短路了寄生 BJT 的基极与发射极。在以前的平面式的技术中, 由于在 N 和 P 区域存在较长的路径, 基极和寄生三极管的发射极的短路并不是很充分。

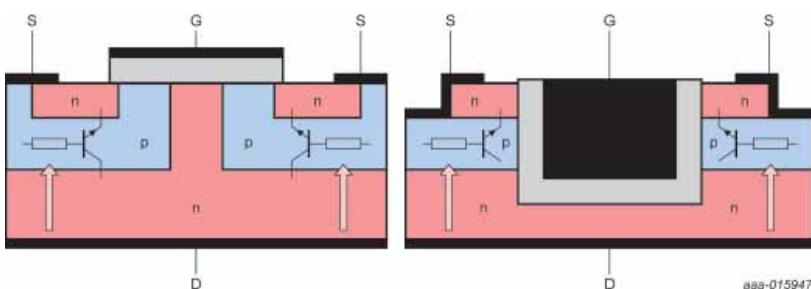


图 9-5. 简化的平面式和沟道式的技术

9.6.2 问: 为什么平面式的设计容易受到 UIS 失效的影响?

答: 所有的 MOSFET 都容易受到 UIS 失效的影响。取决于 MOSFET 的 T_j 是否达到了硅片的本征温度。此外如果启动了寄生 BJT, 那么他们可能会更早失效。这是因为 BJT 会相对来讲导通的更快, 但却关闭的更慢。然后电流就会拥挤在器件的一个特定区域, 继而失效出现。与平面式的设计相比, 新的 NEXPERIA 沟道式的技术不容易触发 BJT。可以参考 9.7.1 节和 9.6.3 节中提到的附加信息。

9.6.3 问: 怎样从器件构造上减少 UIS 期间产生的失效?

答: 硅片中基极与发射极的路径的设计可以用来减小引起寄生 BJT 的风险。

附加信息:

实行两个策略可以阻止引起寄生 BJT:

1. 降低每个器件的雪崩电流 – 要想降低每个器件的雪崩电流, 必须要有较高的单元密度。对于沟槽式的技术这很容易实现, 但对于平面式器件就很难。如果你发现了平面式技术的提升, 很可能是现代的制造设备能够达到足够高的单元密度。提升太多的单元密度, 是对线性模式的性能有坏的影响的, 原因是 Spirito 界限发生的更早了。所以单元密度是需要权衡的。由于这个原因, NEXPERIA 并不像其它 MOSFET 厂商那样激进, 一味地追求达到非常高的单元密度。UIS 热限值是安全有效的。
2. 确保在雪崩期间电流不能流过 BJT 的基极和发射极区域, 与平面式的技术相比, 这个性能是沟槽式技术比较重要的优点, 寄生三极管是在 MOSFET 的源极, 体二极管区域和 Epi 区域(如漏极)之间形成的。如果有足够的雪崩电流通过结点, 那么就可能发展成有足够的电压施加在 BJT 上导致器件损毁。在 NEXPERIA 器件中, 使用了修改后的源极接触方式, 这种接触方式会收集任何雪崩电流, 以阻止 BJT 导通。对于平面式器件, 策略包括通过在邻近通道的位置放置较高的掺杂物来降低 BIT 的增益。这和 (2) 中的目的很相似, 但这个并不那么有效。

9.6.4 问: MOSFET 执行了 100 % 的 UIS 测试了吗?

答: UIS 测试是 NEXPERIA 缺陷筛选过程中最基础的部分, 对于所有的器件都会实行, 测试被设计成提升结点温度到 T_{jmax} 。

9.6.5 问: 我有些器件没有启动寄生 BJT 却导通了, 为什么?

答: 器件超过热限值失效。在达到热限值时, 硅片热流子导致 PN 结失去阻隔功能。这可以被认为在我们的器件中只与 UIS 相关的失效机制。

9.6.6 问: 对于雪崩电流和时间的图表, 还有能量和结点温度的图表, 精准度是怎样的呢?

答: 对于雪崩电流和时间的图表是基于将器件设置成 $T_{j(max)}$ 状态下的, 因此我们的强度筛选手段可以覆盖到它们。所有 NEXPERIA MOSFET 在装配和开发过程中的特性标称方面都被很充分的测试覆盖了。图表是准确的, 同时也提供了器件的最坏情况承受能力来确保可靠性。

9.6.7 问: 对于能量基于结点温度的图表, 怎样从图表中决定电感量, 最大电流和雪崩时间等呢?

答: 利用温升模型, 在本书的第二章已经展示过了。

附加信息:

尽管 UIS 能量的等级经常是引用数据手册, 但单一的数字也会令人误解。因此就提供了一个图表, 曲线的前提条件是将结点温度提高到 $T_{j(max)}$, 用户必须根据特定的应用条件来决定雪崩时电流与时间。

9.6.8 问: 重复雪崩限值和单次脉冲一样吗?

答: 不一样, 重复雪崩限值比单次脉冲限值要低。参考产品数据手册中器件的能力。图 9-6 展示了一个例子。

附加信息:

重复意味着有意让雪崩事件成为器件的工作条件。类似的，单次脉冲是想象一些非预料的错误条件那样，期望经历一次雪崩事件，在一个时间内只能发生一次错误，MOSFET 一定要对起始温度进行冷却，确保结点温度一定不超过 175 °C。器件特性相对较少发生降级。

在 MOSFET 数据手册中 NEXPERIA 展示了单次和重复雪崩的能力。一般来讲，对于给定的电感，重复电流值是单次电流值的10%（见图 9–6 和 9.6.14 节，可以发现雪崩时间会更短）。

对于计算重复雪崩限值，要分别各自计算出每个雪崩时间的起始点温度。计算要基于雪崩时间的频率和占空比，然后把预期的重复雪崩整个周期内的加载一起。这一点已经在第二章详细讨论过了。

9.6.9 问：存不存在一些特殊的失效模式与重复雪崩有关呢？

答：器件可以承受较少量的雪崩破坏，但在长时间来看它们会进行累积引起明显的参数漂移或是器件失效，NEXPERIA 已经在这一领域进行了研究并在数据手册中提供了重复雪崩限值，见第二章。

9.6.10 问: 单元密度的升高是怎样影响 MOSFET 雪崩能力的?

答: 存在两种失效模式: 寄生 BJT 导通的电流和热。单元密度已经暗示了这些失效模式。

附加信息:

电流 — 如果一个单元流过足够的雪崩电流, 由于雪崩电流流向了源极接触端, 就会在器件的 P 区域产生电压降。这个压降发生在寄生三极管的基极。在这个模式下, P 区和基极的电阻, 还有雪崩电流 $I = V/R$, 都是重要的。一旦 V_{be} 达到三极管的导通限值, MOSFET 就会被摧毁, 况且 V_{be} 随温度增加而减小。所以在高的单元密度的时候, 对于同样的雪崩电流, 存在更多的单元就意味着每个单元的电流就会降低。每个单元的电流变小的话, 就不大可能触发寄生器件。这就意味着能引起器件失效的总的晶圆电流值就升高了, 还有, 因为更小的单元, 从 P 区到源极接触的路径也减小了, 这就使寄生器件生效变的更难, 也再次提升了摧毁器件所需要的电流。

热 — 如果雪崩电流并没有启动寄生 BJT, 那么元件就会变热。如果雪崩能量足够大, 硅片的晶圆温度的升高会导致元件开始产生活跃的热流子。PN 结的阻隔将不再存在, 也就会导致元件的摧毁。元件达到热限值然后失效的情况就有可能是这个原因造成的。如果失效模式是因为热, 技术上的改变是没有多大作用的, 在雪崩方面新技术通常会更稳固一些。注意: 如果热限值达到, 在元件上改善热阻抗是唯一方法。改用更小的晶圆是不利的。

总结 — 由于器件提高了单元密度和减小了寄生 NPN 基极阻抗, 所以新技术提升了雪崩电流的能力, 但更低的电流, 更大的能量(如较长的作用时间)雪崩能力却没变化。

9.6.11 问: 一个器件可以承受多少次单次雪崩事件呢?

例如 ——一个器件两个月内会发生一次雪崩事件，那么器件可以承受多少这样的循环呢？虽然这个问题更多关系到器件质量和可靠性，但却也是十分重要的。

答: 参考本章的 9.6.8. 对于这个问题的回答，可以参见 1.2.4.3 章节整个第二章。

附加信息:

将每一次的雪崩事件都保持在数据手册中称的重复工作的安全贤侄以内，并控制 T_j 在 175 °C 以下，那么就不会引起 MOSFET 性能的下降，也对 MOSFET 的质量和可靠性没有影响。有一些应用 MOSFET 就是重复雪崩的（如一些发动机控制器），但可靠性却很好，尽管在这个条件 V_{DS} 超出了数据手册中的最大值，但数据手册同时也规定了最大的雪崩能量值。

NEXPERIA MOSFET 执行了大量的雪崩测试，所有的都表明它们的稳固。要知道在汽车级应用的整个生命内，很可能在某些时候经历雪崩事件。这可能是由于偶然的错误或是电路设计的必然结果（例如 ABS 螺线管阀体驱动 MOSFET）。

9.6.12 问: 有没有可能器件的雪崩电流超出了封装的最大电流，却没有超出晶圆的最大电流？

答: 在雪崩曲线中标出的电流是不可以超出的，它也被直流额定电流所限制。器件工厂实测定义了可以保证的限值。

9.6.13 问: 在元件体二极管上的雪崩限额是怎样获得的呢? 通过测试还是模型?
如果是测试, 是怎样测试的呢? 用什么样的电路模型呢?

答: 雪崩限值首先是用模型, 然后通过知道摧毁的测试进行验证。测试的电路与 JESD24-5 中定义的相似。对于 SPICE 模型, 二极管的反向特性可以被定义和模型化的。通过加入 Z_{th} 特性的 RC 热模型, 是可以估算出元件的 T_j 的。

附加信息:

MOSFET 的体二极管并不是独立的电路元件, 而是由于 MOSFET 本身的结构分布在其中的。每个单元都包含有一个等效的二极管部分。在表现上, 认为可以表示成一个独立的 MOSFET 并联一个 (Zener) 二极管 (独立的 MOSFET 为所有单元的总和)。MOSFET 的设计决定了雪崩限值, 在模型中表示是基于在特性测量中测得的参数值。

其限制电流是和 MOSFET 导通一样的。体二极管是 MOSFET 结构中的一个元件。它们受同样尺寸的影响, 也有同样的热属性。计算二极管的功耗是有必要的, 保证结点温度保持在 $T_{j(max)}$ 之下。

对于瞬时电流用二极管的 SPICE 模型进行仿真是有用的, 但需要注意因为这个模型是一个典型的元件。一旦得知了功耗, 标准的热分析模型就可应用了, 目的是确保 T_j 在可接受的范围内。

9.6.14 问: 怎样从数据手册曲线中推导出重复雪崩的安全工作区域? 好像重复雪崩 SOA 曲线和单次雪崩一样, $T_j = 170^\circ\text{C}$ 。

答: 重复雪崩的线是针对起始温度为 170°C 的, 这是因为预知只有 5°C 的温升, 这也是针对任何起始温度来讲的允许的最大温升(见第二章)。这也于使用相同电感值时, 相当于单次电流的 10 %, 见图 9-6。

附加信息:

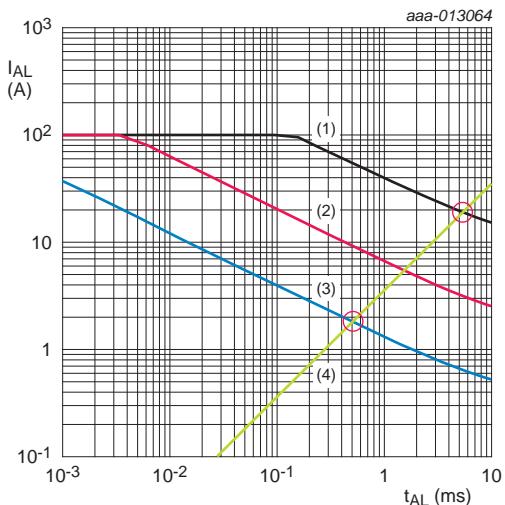
5°C 适用于任何温度的原因是在重复雪崩时这个温度并不能强烈引起耗尽失效。最强的影响是电流。

雪崩电流是由在耗尽区移动的高能量的载流子组成, 由于它们的通过, 就会和硅的结构相抵触。有一种情况: 产生一个高能量的载流子就和栅极氧化物进行冲突, 进而引起损坏。这并不是完全摧毁, 但确实引起了损坏。外表看来就是参数的变化。

高的电流意味着更多的电子, 更多冲突, 更多的损坏事件, 导致更快的磨损和更低的可靠性, 目标应该是整个车辆寿命内失效率等级小于 0.1 ppm。实验告诉我们在起始温度是 25°C 时重复雪崩的电流是单次雪崩电流的 10 %, 并导致 5°C 的温升。这里并没有元件性能的明显下降。

举个例子: 一个 15 mH 电感承载 19 A 电流, 雪崩事件为 $\sim 5\text{ ms}$, 把它放在起始温度为 25°C 的限值线上时, 它有 150°C 的最大温升。

通过降低电流至 $10\% = 1.9\text{ A}$, t_{on} 降低至 $\sim 500\text{ }\mu\text{s}$, 那么温升就是 5°C 。



- (1) 25 °C 时的特性
- (2) 150 °C 时的特性
- (3) 小于 175 °C 时的重复特性
- (4) 电感特性

图 9-6. 雪崩的安全工作区域

9.7 电容性的 dV/dt 问题

9.7.1 问：存不存在一个特殊的容量或者充电比率限值可以用来预防元件误导通，或者是决定于电路呢？

答：电容性的 dV/dt 导通强烈取决于电路。

附加信息：

如果 MOSFET 漏源两极间的 dV/dt 太高，它可能对 C_{gd} 充电， C_{gd} 是漏极和栅极间的电容值，引起栅极一个电压。栅极电压取决于驱动器的下拉电阻，基于公式 4：

$$(公式 4) \quad V_{gs} = R_{driver} * C_{gd} * dV/dt$$

在一些三极管的驱动电路中（例如射极跟随器驱动电路）问题变的严重了，因为驱动电路不能将栅极下拉到 0 V，存在 0.7 V 左右的偏置。

如果驱动器是基于 MOSFET 的源极而不是信号地，这会在电压上有明显的差异。

C_{gd} 和 C_{gs} 的比例是一个因素，但一个好的驱动电路是最重要的因素。

即使 V_{gs} 存在尖峰，只要在热限值的功耗之内和在 MOSFET SOA 限值之内，MOSFET 就会是安全的。

9.7.2 问：怎样的元件构造才能将这个影响降到最小？

答：NEXPERIA MOSFET 设计在高温下有较高的门限电压阀值，我们检验 25 °C 时的 V_{gs} 门限阀值是在数据手册限值之内。对于逻辑电平型器件的设计可以保证即使在 175 °C 温度下其最小的电压阀值 >0.5V。

附加信息：

在 C_{gd} 和 C_{gs} 之间维持一个合理比例。元件的栅极网络结构要设计成能很好的控制晶圆的所有区域。

9.7.3 问：怎样表征 dV/dt ？

答：它通常是通过半桥测试电路测得的，是测量元件在体二极管反向恢复过程中的 dV_{ds}/dt 。在数据手册中通常并不公布这个数据。这个 dV/dt 在实际中是元件经历的最高的 dV/dt 。

附加信息:

尽管在现代低电压的 MOSFET 上很少看见由于 dV/dt 产生的失效，但对于 NEXPERIA MOSFET 一般都会将 dV/dt 表征出来。失效的模式是由 dV/dt 导致的容性电流启动了寄生 BJT。然而电压比较低时并不容易产生足够启动寄生 BJT 的大电流/电荷（一般 dv/dt 要大于 600 V 才能有问题）。

9.7.4 问：有什么参数或二极管对评定影响比较大的呢？例如最大的 dV/dt 和最大的 I_F 。

答：高 dV/dt 会对 MOSFET 的栅极上引起反弹。Snubber 电路可以帮助减小 dV/dt 的值，如果 V_{ds} 时的 C_{oss} 和高 V_{ds} 时的 C_{oss} 的比例是非线性的 C_{oss} 的一个指标。一个非常大的比率意味着能产生比较高的 dV/dt 。栅极驱动电路的设计能够减少栅极波动，见 9.7.1 节。 Q_{gd} 和 Q_{gs} 的比率，还有栅极门限电压可以用来反应元件栅极受影响的难易程度。

9.7.5 问：沟槽式的技术对 dV/dt 问题是否敏感呢？

答：理论上说，所有 MOSFET 都受影响。

附加信息:

在低电压的 NEXPERIA MOSFET 中， dV/dt 引起寄生三极管导通并不认为是个问题。如果 UIS 寄生导通问题解决了，那么 dV/dt 引起的导通问题也就解决了。参考 9.6.1 节和 9.6.3 节可以得到更多的信息。

9.7.6 问：一个缓恢复的体二极管是否能产生低的 dV/dt 呢？如果能，它又是怎样设计的，怎样制造到元件内的呢？

答：缓恢复确实可以减小 dV/dt ，尽管 dV/dt 对于 MOSFET 并不是个问题，低 dV/dt 是对 EMI 更好的，也对电压尖峰和串扰有抑制作用。其设计和生产是非常特殊的，涉及到了专利信息。

9.7.7 问: 温度是怎样影响 dV/dt 的敏感度的? 为什么?

答: 在高温下, 由于 V_{be} 减小, 很容易启动寄生三极管。但是如果寄生三极管能够充分短路, 使电流偏离它, 就像 9.6.1 节那样, 就不会出现问题。

9.7.8 问: NEXPERIA 能够提供如同图 7 中展示的寄生三极管的 R_b , C_{db} 和饱和 V_{be} 的值吗?

答: 要求的这些值能够从公式 6 中计算出来。目标是用获得的 dV/dt 的值来检验寄生三极管是否会导通, 是否会导致元件的失效。由于寄生三极管的管脚并不能通过 MOSFET 的外部管脚进行独立访问, 所以不可能测量出寄生三极管的特性。在 MOSFET 生产过程中会生成寄生三极管, 参考图 9-7, 可以发现有两个电流路径可以引起 MOSFET 问题。流过 C_{gd} 并取决于 C_{gs} 和 R_g 的电流 I_1 , 它可以随时导通 MOSFET。它经常被人叫做栅极毛刺。还有流过 C_{db} 和 R_b 的电流 I_2 , 它有可能会引起寄生 BJT 的导通。

$$(公式 5) V_{gs} = I_1 * R_g = R_g * C_{gd} * dV/dt$$

$$(公式 6) V_{be} = I_2 * R_b = R_b * C_{db} * dV/dt$$

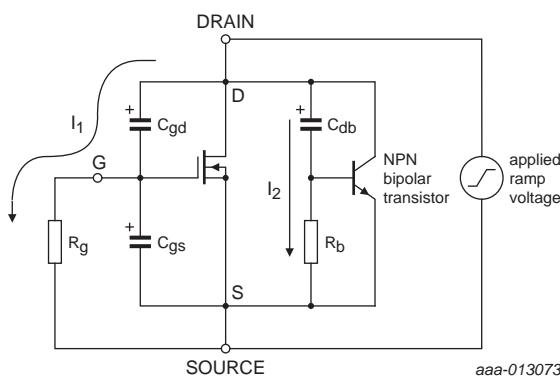
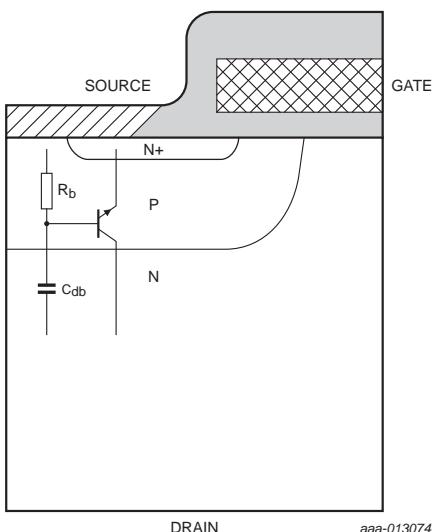


图 9-7 展示两种可能的 dV/dt 引起功率 MOSFET 导通的机制



aaa-013074

图 9-8. 有可能导致 dV/dt 引起寄生 BJT 元件导通的物理根源

附加信息：

图 9-8 中展示的早期平面式 MOSFET 的结构，是很容易由于寄生三极管的导通而产生失效。

然而 NEXPERIA 生产的沟槽式结构的 MOSFET 却几乎不受这种失效机制的影响。

栅极结构位于晶圆内沟道的上表面，并不是整个晶圆表面的水平层。这个结构意味着寄生三极管的基极发射极结合处短路更起作用，这样可以阻止它导通。

由于 Trench MOSFET 技术也一直在进步，尺寸减小了，导致寄生三极管甚至更不容易导通。

图 9-9 中展示了第六代 Trench 元件的结构。由于基极到发射极的路径很短，所以在这个结构中对寄生三极管的抑制作用非常好。在源极接触旁边的 PN 结点的漏极金属短路，使三极管很难得到足够的 V_{be} 来导通。

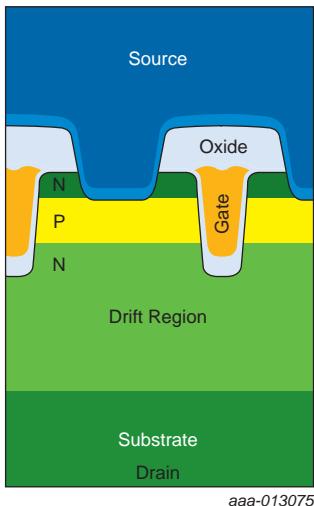


图 9-9. Trench 6 结构图

9.8 封装和焊接

9.8.1 问: 在一般的功率 S08/LFPAK56 封装图纸上, 在裸露的焊盘上是不存在过孔的。是否建议加入额外的过孔呢? 如果可以加, 尺寸是多大呢?

答: 如果需要改善热阻抗, 可以在封装焊盘上加入过孔。加入过孔的效果已经在 4.3.5 节中讨论过了。

附加信息:

NEXPERIA 用 0.8 mm 过孔比较成功, 但并不意味着其它尺寸就不行。

在元件焊接之前这些过孔应该先用焊料填充, 并用热风将之抚平, 形成一个平整的表面。

如果过孔没有提前填充, 元件底下的焊锡就有可能流到过孔里, 导致元件与焊盘之间存在间隙。

额外的 PCB 处理步骤和潜在的问题告诉我们除非真的需要过孔否则不要用。关于表面贴装和焊接流程问题可以去请教生产工艺工程师。

9.8.2 问: 元件的高电压测试是怎样做的? 一个应用在 MOSFET 各个端子之间做了大约 1000 V 的高压绝缘实验, 而且在 MOSFET 两端发现了比较明显的值。有没有执行高压绝缘分析的实验呢? 如果有, 它们是什么样的呢?

答: 针对汽车级 MOSFET 我们并没有执行任何高压绝缘实验, 也没有规定任何高压绝缘参数, 绝缘测试仅适用于 TO220F 封装 (NEXPERIA SOT186A)

附加信息:

MOSFET 指定的高压绝缘实验是漏极焊盘绝缘或是在模块中基座绝缘。NEXPERIA 工厂中施加的电压是 2.45 kV, 持续 0.4 s (V_{rms} 在 50 Hz)。

9.8.3 问: 我的 DC-DC 转换电路的效率超出了需求, 我能用更小的封装, 更高的 RDS 的 MOSFET 以节省成本吗?

环境条件为: 四层 PCB FR4 板, 105 °C 环境温度。

答: 尽管这有可能降低效率, 但其它因素就会成为限制条件。

附加信息:

主要的因素有可能是 MOSFET 与 PCB 焊接结点的允许温度。对于 FR4 板子不太可能可以超过 125 °C。如果功耗是 2W, 从 MOSFET 焊接衬底到周围环境的热阻一定要小于 10 K/W。 $(125 - 105)/2 = 10 \text{ K/W}$

为了达到这个目的, 要采取一些特殊的安排。然而客户已经表明了允许的功耗是 2 W, 所以可能有一些关于系统可以达到的信息。

如果功耗升到了 5 W, 焊接衬底的温度有可能达到了 155 °C, 这个温度很可能是不被接受的, 另一种方法是改善热阻值到小于 4 K/W, 这可能极有挑战性。

在第 4 章和第 5 章给出了指导信息。

还没有提到 MOSFET 的结点温度，这是由于那里只比焊接衬底的温度高了几度而已。例如，考虑一个具有 LFPAK56 封装的 BUK7Y7R6-40E 的应用，热阻值是 1.5 K/W，所以对于 2 W， T_j 会是 128.2 °C，对于 5 W， T_j 会是 133 °C（假设 T_{mb} 会被维持在 125 °C，这两个值都在 MOSFET 最大结点温度 175 °C 以下）。

所以总结一下，对于功耗的限制因素是 PCB 以及到周围环境的热路径，而非 MOSFET。

9.8.4 问：NEXPERIA 元件内部使用无铅焊接的进展状况如何？（晶圆焊料？夹具焊料？）

答：NEXPERIA 是 DA5 (Die attach 5) 事务委员会的成员。这是一个包含 NEXPERIA, Bosch, Infineon 和 ST 的联合的组织。目标是为了找出不用铅的 die attach 的替代方法或是新的焊接材料。欧盟法令 2011/65/EU (RoHS) 豁免中规定：在 2016 年之前，允许在高熔点的焊接中使用铅。到目前为止，包括 DA5 事务委员会在内的电子工业协会的代表，还没有开发出满足 AEC Q101 要求的，可靠的，经济的替代方法。

已经宣布 2015 年 1 月起延长豁免的期限。这个延期的决定同样适用于 ELV 法令 (2000/53/EG)。DA5 事务委员会也在 2013 年 11 月宣布了无铅化的延期。如果申请被批准了，那么我们可以继续使用有铅焊接一直到 2018 年。这就与欧盟要求的在 ELV 法令和 RoHS 法令中的可以将无铅化豁免的规定保持了一致。

9.9 SPICE 模型

9.9.1 问：在数据手册中列出的性能和 SPICE 模型之间会不会有很大的差异？尤其是在栅极电荷的参数上？

答：数据手册中的特性和 NEXPERIA 的 SPICE 模型在 25 °C 时的性能十分相似，尤其是在传输特性曲线， $R_{ds(on)}$ ，二极管特性和栅极电荷方面。SPICE 模型同时也考虑了封装所带来的寄生电阻和电感。

附加信息:

在 PWM 电路中, SPICE 模型性能与实际元件很形似, 因此 SPICE 模型可以用于衡量元件在开关过程中的开关损耗和导通损耗。

SPICE 模型仅在 25 °C 是正确的, 所以要想评估高温时的传导损耗, 就要利用 $R_{ds(on)}$ 与温度的特性曲线了。

SPICE 模型也反映了基于数据手册特性的典型元件。

建立模型的方法也随时间在持续地改进。近期的 Trench 6 元件和新技术的建模程序所产生的模型和测量的元件性能都极为相似。

9.10 MOSFET 的硅技术

9.10.1 问: 什么是漂移工程?

答: 漂移工程是指在沟槽底部和外延层/基底层接口处 (绿色区域) 所做的优化。多数情况下关闭时漏源电压都是由漂移区来支撑的。漂移工程的目的就是维持击穿电压 BV_{dss} 的能力 (详见图 9-10), 同时又能减小漂移区域的电阻。

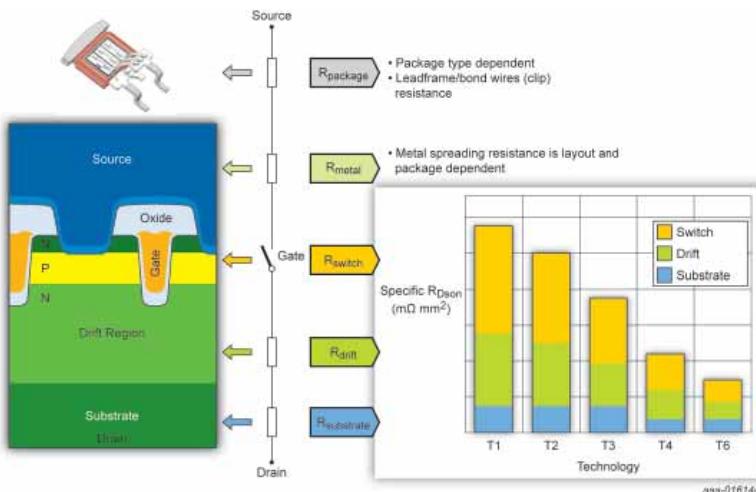


图 9-10. MOSFET 中的电阻

9.10.2 问：若减小 MOSFET 中的单元间隔后能获得什么呢？

答：通常来讲，减小单元间隔会导致更低的阻抗和更高的电容。每个新一代 MOSFET 的技术的目标都是降低 R_{ds(on)}，但是又不能像减小单元间隙那样带来较大的电容增加。减小单元间隙也会减小 SOA 能力（线性工作模式），但却提升了雪崩能力。

9.10.3 问：若是把沟道缩短我们能得到什么呢？

答：较短的沟道提供了较低的 R_{ds(on)}，同时也提供了较低的 C_{gs} 容值。会有较高的漏电流，I_d 和 V_{gs} 特性传输曲线也变得更依靠于 V_{ds}。我们也可以在输出特性曲线中看出这一点。

9.10.4 问：若有较厚的底部氧化物，我们能得到什么呢？

答：参见图 9-10 中，厚的底部氧化物指的是沟道底部的栅极氧化物。在沟道边上的栅极氧化物的厚度要薄一些。它也在栅极和漏极之间充当了绝缘体的角色，这就导致了较低的 C_{gd} 值。

9.11 供应和有效性

9.11.1 问: 如果用 Trench 6 产品替代竞争对手的产品时遇到 EMC 问题, 那么有什么可行的元件吗? 应用手册中的 RC 缓冲电路的设计的文档会有帮助吗?

答: 如果这个老产品的生产在经济上是可行的, 销售的利润在商业上也是可行的, 那么就没有什么理由来阻止生产, NEXPERIA 会持续供应这个产品。

当一个产品准备停产的时候, 不再发货的 DOD 文件会通知到包括供应商在内的关键客户。客户可以决定为了将来的需求预先购买足够数量的元件, 或者有必要去认证替代产品。

9.12 EMC

9.12.1 问: 如果用 Trench 6 产品替代竞争对手的产品时遇到 EMC 问题, 那么有什么可行的建议吗? 应用手册中的 RC 缓冲电路的设计的文档会有帮助吗?

答: 在这种情况下, 是有必要对 NEXPERIA 的 MOSFET 进行优化的。

附加信息:

EMC 的性能取决于很多因素, 有些取决于 PCB 布局的寄生效应, 有些取决于电路元件如功率 MOSFET。对于半桥电路, 三相转换器和 DCDC 转换器等的一些应用, 经常需要一个缓冲电路。它可以帮助 MOSFET 漏极和源极两端的震荡幅度降低到可接受的范围。这些震荡可以沿着那些可以充当天线或是走线进行传输。但是对于目前缓冲电路的元件和 NEXPERIA 元件的需求有很大的不同, 这是由于 MOSFET 是用不同的技术制作的, 动态特性也不相同。

我们可以参照 AN11160 中描述的内容(本书中第 6 章), 其中就具体描写了这些情况。

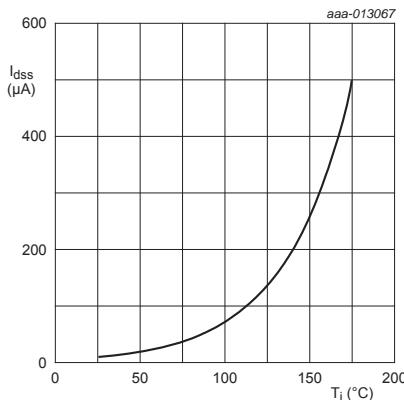
9.13 漏电流，击穿和 MOSFET 的特性

9.13.1 问：静态电流是怎样根据温度变化的呢？

答：漏极漏电流和温度之间的基本关系在形式上是呈指数关系的。数据手册中给出了 175 °C 和 25 °C 时的最大 I_{dss} 。虽然这个例子是特指 NEXPERIA 的 Trench 2 的技术，但对于其他 NEXPERIA 的技术也可以应用同样的原理。在图 9-11 中描述出了呈指数的这些点。也与在 MOSFET 新技术开发时所做的实验是相符的。。

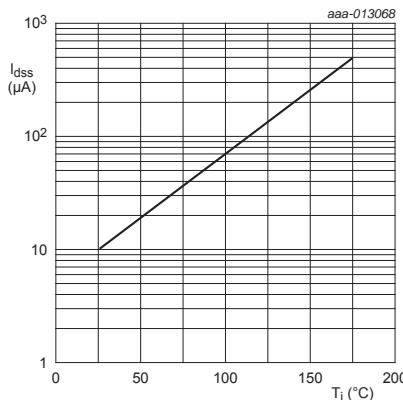
附加信息：

图 9-12 是用对数坐标显示的同样的曲线，来更容易地读取 50 °C 时的 20 μA。这些值都是针对于额定电压 V_{ds} 下的，降低 V_{ds} 会降低漏电流的值。



$$I_{dss} = 10 \mu\text{A} (25^\circ\text{C}), I_{dss} = 500 \mu\text{A} (175^\circ\text{C}),$$

图 9-11. I_{dss} 与温度的对应关系，
线性坐标轴



$$I_{dss} = 10 \mu\text{A} (25^\circ\text{C}), I_{dss} = 500 \mu\text{A} (175^\circ\text{C}),$$

图 9-12. I_{dss} 与温度的对应关系，
对数坐标轴

9.13.2 问: 击穿电压(在 $I_d = 250 \mu A$ 时的 V_{Vdss}) 和漏极漏电流(I_{dss}) 之间有什么关系呢? 他们俩是相同的 V_{dss} , 但漏极电流却不同。

答: 虽然击穿电压和漏极漏电流都是基于元件的额定电压来说的, 但是他们却是从产品的不同特性来看的。漏极漏电流 I_{dss} 是从 V_{ds} 在额定电压下来看的。测试是施加一个电压, 然后检查电流值是否在限值以下。

附加信息:

能引起漏极电流为 $250 \mu A$ 时的 V_{ds} 值才称之为击穿电压。它会比元件的额定电压稍稍高一点, 即使在名义上是相同类型的产品, 但由于生产的变化, 实际值也会发生变化。数据手册中列出的最小值就是额定电压。击穿电压是从元件雪崩时的特性来看的。引起漏电流和雪崩的机制是不一样的。

9.13.3 问: 拥有标准栅极电平的元件 BUK7Y28-75B 能保证在 $-40^\circ C$, $7 V$ 的栅极驱动电压下流过 $25 A$ 电流吗?

答: 即使在最坏情况下, NEXPERIA 也确信这种情况是没有问题的。然而这个并不能在 $25^\circ C$ 的产线测试中 100% 的覆盖到。

附加信息:

参加图 9-13, 栅极限值电压的典型值为 $3 V$ 。在 $-55^\circ C$ 时会升高到 $3.5 V$ (大约升高了 $0.5 V$)。最高的 $V_{GS(th)}$ 从 $4 V$ 大概升到了 $4.5 V$ (再次升高了约 $0.5 V$)。所以在 $-55^\circ C$ 时的最坏情况是与 $25^\circ C$ 时的限值电流相比漂移了 $1.5 V$ 。

详见图 9-14, 若考虑 $1.5 V$ 的漂移, 就应该在最坏情况下时将栅极驱动电压曲线从 $7.0 V$ 转移到 $5.5 V$ 。

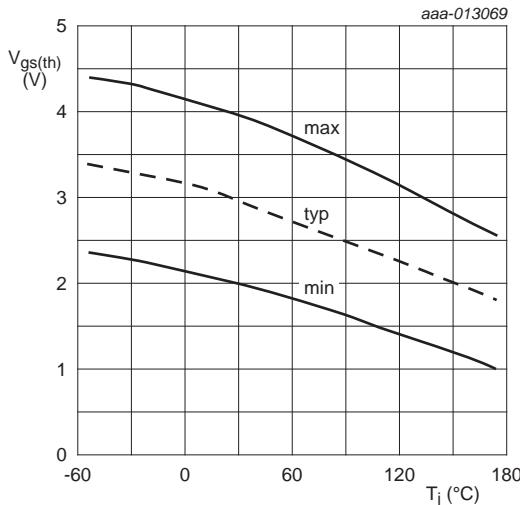
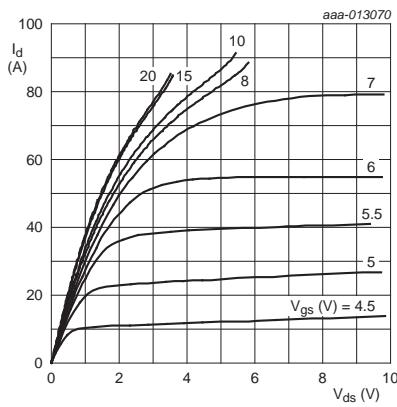
图 9-13. V_{GS} 限值与温度的关系 $T_j = 25^{\circ}\text{C}$

图 9-14. 漏极电流与漏极电压的关系（典型值）

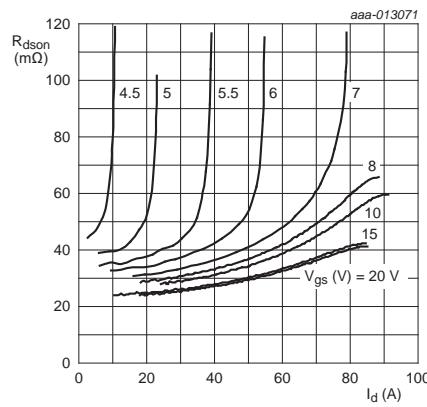
 $T_j = 25^{\circ}\text{C}$

图 9-15. 漏极源极间的导通阻抗与漏极电流的关系（典型值）

从上图可知当栅极电压为 5.5 V 时, 要求的流过的电流大于 25 A 时的曲线仍然在输出特性的线性 $R_{DS(on)}$ 区域。

在图 9-15 中, 5.5 V 特性曲线在 25 A 时的 $R_{DS(on)}$ 值对于 -40 °C 的工作条件是不太乐观的。对比 25 °C 时的 $R_{DS(on)}$ 曲线, 虽然由于流动性增强, $R_{DS(on)}$ 在低温下更好, 但是门限电压的上升是主要因素。

这就解释了为什么特定的标准栅极电压元件 BUK7Y28-75B 可以在 -40 °C 下用 7 V 的电压驱动。这一原理同样也可以应用到其他的 NEXPERIA 元件上。然而用户一定要判断设计中是否有足够的余量, 结果可能会和我们看到的有微小的差别。

9.13.4 问: 在 -40 °C 的环境中, 一个 40 V 的 Trench 6 元件的最小 $B_{V_{dss}}$ 电压会是多少呢?

答: 下面的原理可以应用在 NEXPERIA 的 MOSFET 的任何技术以及任何击穿电压限值。在数据手册中最小的漏极源极的击穿电压值是规定在 -55 °C 和 25 °C 下的。在这个范围下 BV_{dss} 和温度的关系大约是线性的。因此可以做出一条直线, 横坐标是从 -55 °C 到 25 °C, 纵坐标是从 -55 °C 下的 BV_{dss} 到 25 °C 下的 BV_{dss} 。

例如: 一个 40 V 的沟道六代元件在 -55 °C 时的 $B_{V_{dss}}$ 是 36 V, 在 25 °C 时是 40 V, 那么就可以用线性差值的方法得出在 -40 °C 时的 BV_{dss} 是 36.75 V。

9.13.5 问: 根据 BUK9275-55A 的传输特性曲线来看, 尤其在 V_{gs} 从 2.2 V 到 3.0 V 的范围内, 影响 I_d 电流值的因素有哪些呢?

答: 这个问题的答案并不简单, 因为会有好几个影响 I_d 电流值的因素:

1. 图 9-16 中描绘的是典型值。BUK9275-55A MOSFET 的参数值在产品的误差范围内会有一定的分布。图 9-16 就是要阐述在一个特定的 V_{ds} 条件下， I_d ， V_{ds} 和 V_{gs} 是怎样相互关联的。对于特定的元件的特性， $V_{GS(th)}$ 有着很重要的影响，温度也是一个主要的因素。数据手册中的特性和限值在电路设计时是都需要被考虑的。
2. 结点 T_j 的温度对 I_d / V_{gs} 传输特性的影响也很大。图 9-16 中的图形是针对 $T_j = 25^\circ\text{C}$ 和 $T_j = 175^\circ\text{C}$ 时的。若是 $T_j = -55^\circ\text{C}$ ，即使是同样的元件，同样的曲线类型，曲线的样子也会有所不同。用户要求的工作模式是 V_{gs} 在 2.2 V 到 3 V 之间，在完全导通之间的饱和区域。在这个模式下，MOSFET 的功率很可能很高。结果就是结点的温度很可能会很高。图 9-16 就展示了对于给定的 V_{gs} 值时 I_d 是怎样根据 T_j 的不同而变化的。
3. 图中垂直的红色虚线是标注在 $V_{gs} = 2.2\text{ V}$ 上的。若 T_j 从 25°C 升高到 175°C ， I_d 大约就会变成原来的两倍（从 1 A 变成 2 A）。然而在 $V_{gs} = 2.8\text{ V}$ （绿色垂直虚线）时，同样的 T_j 变化却对 I_d 没有影响。在 V_{gs} 大于 2.8 V 时， T_j 的升高会导致 I_d 的下降。

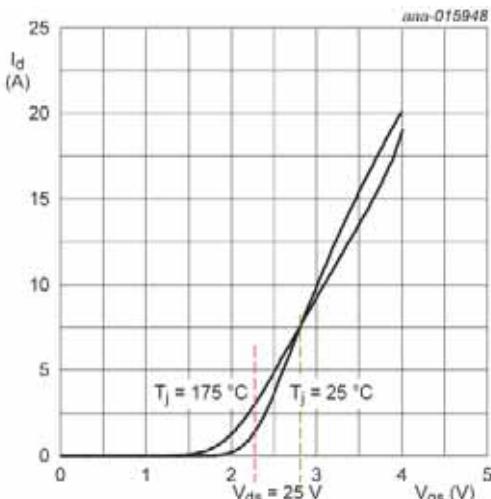


图 9-16. 传输特性：漏极电流和栅极源极电压之间的关系（典型值）

我们清楚地知道了 MOSFET 参数之间的关系是非常复杂的，而且它们与热环境之间的关系也不简单。

9.13.6 问：NEXPERIA 能否提供 $T_j = -55^\circ\text{C}$ 和 $T_j = 175^\circ\text{C}$ 下的 C_{gd} , C_{gs} 和 C_{ds} 值
(条件时 $V_{gs} = 0\text{ V}$, $V_{ds} = 16\text{ V}$)？如果没办法测试的话，能提供出理论
值也是可以的。图 9-17 中提供了 $T_j = 25^\circ\text{C}$ 下的图形。

答：不幸的是 NEXPERIA 不能按照您要求的极限工作温度范围提供这些容
值。原因是由于我们的参数测试设备的限制。然而我们可以对这些容值
是怎样随温度和 MOSFET 的管脚电压的变化给出一些意见的。

附加信息：

C_{iss} 是 C_{gs} 和 C_{gd} 并联结合的输入容值， C_{gs} 占主要地位。 C_{gs} 是由栅极氧
化物形成的，所以它并不会受温度和 MOSFET 管脚电压的影响。由于
 C_{gs} 取决于栅极氧化层的厚度和晶圆的一些性能尺寸，所以并不会在样本
之间有很大的差异。

C_{rss} 是输出电容，米勒电容 C_{gd} 起主要作用。它是在 MOSFET 体二极管耗尽层的两端形成的。 C_{rss} 会随着 V_{ds} 的降低而升高。 C_{rss} 要比 C_{iss} 的变化性更多，因为它取决于体二极管的耗尽层。

C_{oss} 是输出电容，米勒电容 C_{gd} 起主要的作用。它随着 V_{ds} 变化的方式是和 C_{rss} 随 V_{ds} 变化一样的，可变性也与 C_{rss} 一样，因为他们的根本原因是相同的。

在数据手册中的图 9-17 中就阐述了这一关系。因为电容发生了有限度的一点变化，所以我们观察到了在 $T_{j(max)}$ 下的开关损失只有大约 10 % 的轻微变化。还有一些其它的因素会影响开关的性能，尤其是栅极驱动电流的能力会随温度明显地变化。耗尽层的厚度会和绝对温度 K 的平方根呈比例关系，也会影响 C_{rss} 和 C_{oss} 。

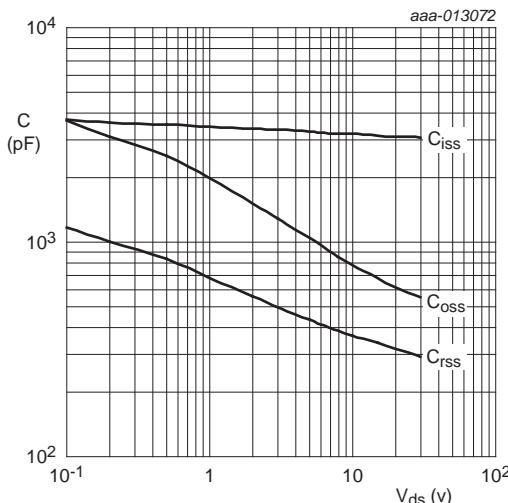


图 9-17. 输入，输出和反向传输电容与漏极源极间电压的关系，典型值， $V_{gs} = 0$ V

9.13.7 问: NEXPERIA 能否提供 $T_j = -55^\circ\text{C}$ 到 175°C 下的最小的 V_{gs} 限值呢? 虽然已经在数据手册中存在这样的一个曲线, 然而对于标准的栅极限值, 若能得到 -55°C 到 175°C 的范围下的最小数值是很有必要的。

答: 若果是处于设计目的的话, 可以使用最坏情况下的最小和最大的 $V_{gs(th)}$ 数值。数据手册特性表格 9-1 中给出了这些参数。

附加信息:

表 9-1. 限值

参考电平为 GND (地电平 = 0 V)。

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$V_{gs(th)}$	gate-source threshold voltage	$I_D = 1 \text{ mA}; V_{ds} = V_{gs}; T_j = 25^\circ\text{C}$	2.4	3	4	V
		$I_D = 1 \text{ mA}; V_{ds} = V_{gs}; T_j = -55^\circ\text{C}$	-	-	4.5	V
		$I_D = 1 \text{ mA}; V_{ds} = V_{gs}; T_j = 175^\circ\text{C}$	1	-	-	V

限值表格中的这些值都是最坏情况的值, 在这种情况下, 在 175°C 时的最小值是不会比表中的 1 V 还要低得, 在 -55°C 时的 $V_{gs(th)}$ 是不会比 4.5 V 还要高的。

9.13.8 问: NEXPERIA 可以提供 T_j 在 -55°C 到 175°C 下的内在的 R_g 元件的值吗?

答: R_g 的测量值是在 1Ω 到 3Ω , 并且不会随温度有明显的变化。在我们一般的 MOSFET 的特性中, 目前不可能实现在整个温度范围内测量 R_g 。

附加信息:

在像三相电机驱动的电路中, 开关速度通常并不是十分重要的, PWM 的频率通常会在 50 kHz 以下。然而要想减轻由于高的 dV/dt 带来的电磁辐射的话, 电路设计者经常会故意地放慢 MOSFET 的开关速度。

在栅极驱动器输出端和 MOSFET 的栅极之间加入一个较低的电阻（10 Ω）可以帮助栅极驱动电压变得更稳定，减弱输出震荡带来的摆动幅度。

经常使用较高的外部的栅极驱动电阻来减缓栅极开关速度，和降低 MOSFET 开关带来的 EMI 影响。

9.14 MOSFET 的可靠性

9.14.1 问：FITS 率是怎样计算的呢？

答：FIT (时间失效率)经常被用来表达元件的可靠性。它的定义是在 1×10^9 小时内产生失效的元件数量。

在任意消逝的时间 t 内，工作的半导体的可靠性 R 是： $R(t) = (n_0 - n_f)/n_0$
这里 n_0 是原始的样品数量， n_f 是在 t 时间之后失效的数量。

在经过标准时间 10^9 小时后，大约是 $F = (1/n_0) * (n_f/t) * 10^9$

老化测试：

在应用中施加在元件上的总应力是决定半导体可靠性的主要因素。工作温度是由环境温度和自身功率的加热导致的。在一个产品通常工作在额定限值之内时，温度是最重要的工作应力。

为了建立温度和元件失效率的关系，我们使用下面的阿伦尼乌斯方程：

$$(公式 7) \text{ Acceleration factor} = e^{(EA/k)(1/T1 - 1/T2)}$$

这里的:

EA = 活化能 (eV)

K = 波尔兹曼常数 ($8.60 - 10^{-5}$ eV / K)

T1 = 工作温度 (°C)

T2 = 可靠性测试的温度 (K 是基于绝对温度的)

老化测试使元件进行了高等级的应力测试。在严峻条件下短期的实验结果可以被用来推广到正常条件下期待的寿命时间。

在加速寿命测试条件下:

(公式 8) $F = (n_f/n_o * A * t) * 10^9$ FITs

时间 t 现在变成了 A *t, 这里的 A 是加速因子。

基于一个样本元件的寿命的实验结果, FITs 数据的计算已经展示在了表 9-2 中。但要注意已经基于泊松概率分布对失效的数量做了一个调整, 表明了在一定可信任等级下大量样品的失效率。在 JEDEC JEP122F 的 5.18.14 节中和大量的其它参考文献中也已经提到了这一点。

表 9-2. FITs 数据的计算

Test name	High Temperature Reverse Bias (HTRB) + High Temperature Gate Bias (HTGB) + High Temperature Storage Bias (HTSL)					
Test temperature	175	°C				
Number of device hours	35,051,000					
Number of observed failures	0					
Confidence level	90	%				
Activation energy	0.7	eV				
Failure rate at	125	°C	at 90 % confidence =	6.725	FITs	
Failure rate at	85	°C	at 90 % confidence =	0.688	FITs	
Failure rate at	55	°C	at 90 % confidence =	0.086	FITs	
Failure rate at	25	°C	at 90 % confidence =	0.0007	FITs	
Mean time before failure at	125	°C	at 90 % confidence =	1.49×10^8	hours	
Mean time before failure at	85	°C	at 90 % confidence =	1.49×10^9	hours	
Mean time before failure at	55	°C	at 90 % confidence =	1.49×10^{10}	hours	
Mean time before failure at	25	°C	at 90 % confidence =	1.49×10^{11}	hours	

缩略语

Symbol	Description
C_i	constituent thermal capacitance element
$E_{DS(AL)S}$	single-shot avalanche energy
EMC	ElectroMagnetic Compatibility
EOS	Electrical Overstress
ESD	ElectroStatic Discharge
$I_{DS(AL)R}$	repetitive avalanche current
$I_{DS(AL)S}$	single-shot avalanche current
I_{AL}	avalanche current
I_D	MOSFET drain current
I_d	MOSFET drain current
KGD	Known Good Die
L	inductance
LFPAK	Loss-Free Package
MOSFET	Metal-Oxide Semiconductor Field-Effect Transistor
NTC	Negative Temperature Coefficient
$P_{(t)}$	power as a function of time
PCB	Printed-Circuit Board
$P_{DS(AL)M}$	peak drain-source avalanche power
$P_{DS(AL)R}$	repetitive drain-source avalanche power
PTC	Positive Temperature Coefficient
PWM	Pulse Width Modulation
R_i	constituent thermal resistance element
R_{th}	thermal resistance
$R_{th(j-a)}$	device junction to ambient thermal resistance
$R_{th(j-mb)}$	thermal resistance from junction to mounting base

Symbol	Description
SMD	Surface-Mounted Device
SOA	Safe Operating Area
t_{AL}	avalanche period/duration
T_j	junction temperature
$T_{j(AV)}$	average junction temperature (For repetitive avalanche.)
$T_{j(init)}$	initial junction temperature (Summation of T_{mb} and ΔT_{on})
$T_{j(max)}$	maximum Junction temperature
T_{jrise}	junction temperature rise in the MOSFET
T_{mb}	mounting base/case temperature
UIS	Unclamped Inductive Switching
V_{BR}	breakdown voltage
$V_{(BR)DSS}$	drain-source breakdown voltage
V_{DS}	drain to source voltage of the MOSFET (also the case for V_{ds})
V_{GS}	gate to source voltage of the MOSFET (also the case for V_{gs})
V_{DD}	supply voltage
Z_{th}	device Transient thermal impedance
$Z_{th(t)}$	transient thermal impedance
$Z_{th(AL)/2}$	transient thermal impedance (Measured at half the avalanche period)
ΔT	change in temperature
ΔT_j	average temperature rise from average
$\Delta T_{j(max)}$	maximum junction temperature variation
ΔT_{on}	on-state temperature difference
τ	total time of heating pulse
τ_i	thermal time constant

索引

斜体字页数表示在图表中, **粗体字**页数表示在表格中

阿伦尼乌斯方程 279–280

安全工作区域 (SOA) 曲线 31, *31*, 45–51, 45, 185, 208, 209

重复雪崩耐受性 61–62, 62, 259, 260

单次雪崩耐受性 58–59, 58, 62

降额 51, *51*, 248–249, 249, 251

并联组设计 174–190

动态工作 183–184, *183*, 184

封装的探讨 187–188

感性负载能量的耗损 188–190, *189*

焊接与布局 180–183, 181, *182*

静态工作 175–180, *177*, **178**, *178*, **179**

栅极驱动的探讨 186–187

线性工作模式 185–186, *186*

部分导通模式 185–186, *186*

采购信息 23

参数请参阅规格书参数

产品概述 20–22, **21**

重复漏–源极雪崩电流 60, *60*, 61

重复漏–源极雪崩功率 60, *60*

重复漏–源极雪崩能量 **24**, 26–27, 30–31, *30*, 61

重复雪崩耐受性 54, 59–61, *60*, 254–255, 257

安全工作 61–62, 62, 63–64, 259, 260

限值 **24**, 26–27, 30–31, *30*

存储温度 **24**, 26

错误情况 202

请参阅失效特征

DA5 事务委员会 267

DC-DC 转换电路 266–267

dV/dt 感应导通 260–264, 263, 264

单次雪崩耐受性 **21**, 22, 54–56, 55, 57, 254–255

安全工作 58–59, 58, 62, 63

限值 **24**, 26, 30–31, 30

单元间隙 251, 269

单元密度 253, 256

导通延迟时间 **39**

第三象限 44

地平面层 89

电磁兼容性 (EMC) 89, 126, 270

电感, 杂散的 193, 194–195, 197, 198, 200

电流失效模式请参看寄生晶体管导通

电热参数类比 68, **69**

电容 **39**, 41, 42–43, 43, 276–277

反向传输 **39**, 42–43, 43, 277, 277

寄生 193, 194–195, 197, 198, 200

米勒 41, 277

输出 **39**, 42–43, 43, 277, 277

输入 **39**, 42–43, 43, 276, 277

电容性的 dV/dt 问题 260–264, 263, 264

- 电气过应力 (EOS) 202–238
 非钳位感性开关 (UIS) 206–207, 207, **208, 222**, 223–225, **224, 225**
 过电流 210–211, 211, **212, 232**, 233–234, **234**
 静电放电 (ESD)
 机械模式 203, 203, **204, 213**, 213–218, **214, 216, 217**
 人体模式 205, 205, **206, 219**, 219–222, **220, 221**
 线性工作模式 208–209, 209, **210, 226**, 226–232, **228, 230**
 动态特性 38–43, **39**, 40, 42, 43
- EMC 请参阅电磁兼容性 (EMC)
- EOS 请参阅电气过应力 (EOS)
- ESD 请参阅静电放电 (ESD)
- 二极管
 体 23, 188–189, 258
 电流 **24**, 26, 246–247, 247
 软恢复 262
 雪崩限额 258
 续流 188, *189*
- 二极管特性 44
- FITs (失效时间) 数据 279–280, **281**
- “FloTHERM” 软件包 87, 127
- Foster RC 热模型 请参阅 RC 热模型
- 法律信息 307–310
- 反向传输电容 **39**, 42–43, 43, 277, 277

- 反向恢复效应 44, 192, 193, 199
仿真软件, 热 87, 127
非重复性漏-源极雪崩电流 55, 56, 57
非重复性漏-源极雪崩能量 **21**, 22, 54, 56, 57
限值 **24**, 26, 30–31, 30
非钳位感性开关 (UIS) 54, 202, 252–254
Planar技术 252, 252, 253
Trench 技术 252, 252, 253, 264, 265
重复雪崩事件 54, 59–61, 60
安全工作 61–62, 62, 63–64, 259, 260
单次雪崩事件 54–56, 55, 57
安全工作 58–59, 58, 62, 63
失效特征 206–207, 207, **208**, **222**, 223–225, **224**, **225**
分段线性 (PWL) 文件 75–76, **76**, 77
封装和焊接 265–267
封装外形尺寸和公差 44
峰值漏-源极雪崩功率 56, 57
峰值漏极电流 **24**, 25, 31, 209
峰值源极电流 **24**, 26
负温度系数 (NTC) 47, 185, 190, 250
- 高压隔离测试 266
功耗 **21**, 22, 202, 244–246, 248, 250
功率分配请参阅并联组设计
限值 **24**, 25–26, 28–29, 29, 46–48
供应和有效性 270

沟道缩短 269

关断延迟时间 **39**

管脚信息 23, **23**

规格书参数 20–51

安全工作区域 (SOA) 31, 31, 45–51, 45, 51, 208, 209

采购信息 23

产品概况 20–22, **21**

电容特性 **39**, 41, 42–43, 43

动态特性 38–43, **39**, 40, 42, 43

二极管特性 44

封装外形 44

管脚信息 23, **23**

降额曲线 27–31, 28, 29, 30, 248

静态特性 33–37, **33–34**, 35, 37, 38

热特性 32–33, **32**, 32, 50–51, 51

栅极电荷参数 39–42, **39**, 40, 42, 267

限值 23–27, **24**, 278, **278**

硅技术 268–269, 269

过电流 202, 210–211, 211, 212, 232, 233–234, **234**

过孔 101, 181, 182, 265

请参阅热设计

焊锡, 无铅 267

厚底部氧化物 269, 269

缓冲器请参阅 RC 缓冲器设计

JESD51 标准 85–86

击穿电压请参看漏-源极击穿电压
寄生电感 193, 194–195, 197, 198, 200
寄生电容 193, 194–195, 197, 198, 200
寄生晶体管导通 254, 256
 dV/dt 感应导通 262, 263–264, 263, 264
Planar 技术 252, 252, 253
Trench 技术 252, 252, 253, 264, 265
机械模式 ESD 203, 203, **204, 213, 213–218, 214, 216, 217**
减少单元间隙 269
降额 51, 51, 248–249, 249, 250, 251
降额曲线 27–31, 28, 29, 30, 248
结温 248, 267, 275, 276
重复雪崩事件 60, 61, 62, 62
单次雪崩时间 56, 57, 58–59, 58
仿真示例 72–81, 73, 74, 77, 78, 79, 80, 77
降额 248
温升计算 56, 67–68, 244–246
限值 **24, 26**
请参阅热设计
静电放电 (ESD) 202
 机械模式 203, 203, **204, 213, 213–218, 214, 216, 217**
 人体模式 205, 205, **206, 219, 219–222, 220, 221**
静态特性 33–37, **33–34, 35, 37, 38**
卷积积分 68
绝缘测试 266

KGD MOSFETs, 并联组应用 187

开关时间 **39**, 43

开关速度 278

开关性能 38, 41, 251, 268

可靠性 279–280, **281**

快速参考数据 20–22, **21**

LFPAK MOSFET 热设计请参阅外壳设计；热设计

LFPAK MOSFETs, 并联组应用 188

老化测试 279–280

零温度系数 (ZTC) 点 47, 48, 250

漏–栅极电压 **24**, 25, 41

漏–源极导通内阻 **21**, 22, **34**, 36–37, 37, 38, 273, 274

限值 45, 46

漏–源极电压 **21**, 22, 57, 60

电容 43, 43, 277, 277

降额 51, 51, 249, 249

栅极电荷 41, 42, 42

限值 **24**, 25, 48

请参阅漏–源极击穿电压

漏–源极击穿电压 **33**, 34, 48, 268

重复 UIS 60, 60

单次 UIS 55–56, 57

漏极漏电流 272

雪崩 188–189

主动钳位 190

最小值 274

漏极电流 **21, 22, 31, 35, 209, 273**

 栅–源极电压 **274–276, 276**

 限值 **24, 25, 27–28, 28**

 在并联组中 **175, 179, 184, 184, 187**

 最大持续的 **26, 27–28, 28**

漏极漏电流 **34, 36, 271–272, 271**

裸片 MOSFET, 并联组 **187**

Mentor Graphics (Flomerics) “FloTHERM” 软件包 **87, 127**

脉宽调节 (PWM) 电路 **183–184, 183, 184**

门限电压请参阅栅–源极门限电压

米勒电容 **41, 277**

米勒平台 **39, 40, 41, 186**

命名规则 **251**

NTC 请参阅负温度系数 (NTC)

欧盟指令 **267**

PCB 的填充物 **143–151**

 部分的 **144, 145–147, 145, 146, 147**

 底部散热 **154–156, 155, 156**

 顶部散热 **160–161, 160, 161**

 全部的 **144, 148–150, 148, 149, 150**

PCB 底部散热 (BSC) **151–154, 151, 152, 153, 162**

 安装隔板 **167–168, 167, 168**

- 填充物 154–156, 155, 156
- PCB 顶部散热 (TSC) 157–159, 157, 158, 159, 162
 - 隔板安装 169, 169
 - 填充物 160–161, 160, 161
- PCB 隔板安装 162, 164–170, 165, 166
 - 底部散热 167–168, 167, 168
 - 顶部散热 169, 169
- PCB 黑色塑料外壳 **129, 136**
 - x 与 z- 间隙 138–139, 139, 142, 143
 - y- 间隙 131–135, 132, 134, 136, 136
 - 安装隔板 166–169, 166, 167, 168, 169
 - 部分填充 145, 147, 147, 156, 156, 161
 - 垂直方向 164
 - 底部散热 152, 153–154, 153, 156, 156, 167–168, 167, 168
 - 顶部散热 158–159, 158, 159, 161, 161, 169, 169
 - 全部填充 148, 150, 150, 156, 156, 161
- PCB 抛光铝外壳 **129, 136**
 - x 与 z- 间隙 139–140, 140, 142, 143
 - y- 间隙 136, 136
 - 安装隔板 166–169, 166, 167, 168, 169
 - 部分填充 146, 147, 147, 156, 156, 161
 - 垂直方向 164
 - 底部散热 152, 153–154, 153, 156, 156, 167–168, 167, 168
 - 顶部散热 158–159, 158, 159, 161, 161, 169, 169
 - 全部填充 149, 150, 150, 156, 156, 161
- 请参阅 PCB 阳极铝外壳

PCB 设计请参阅外壳设计；热设计

PCB 塑料外壳请参阅 PCB 黑色塑料外壳

PCB 阳极铝外壳 **129, 136**

x 与 z- 间隙 *140–141, 141, 142, 143*

y- 间隙 *136, 136*

安装隔板 *166–169, 166, 167, 168, 169*

部分填充 *146, 147, 147, 156, 156, 161*

垂直方向 *163*

底部散热 *152, 153–154, 153, 156, 156, 167–168, 167, 168*

顶部散热 *158–159, 158, 159, 161, 161, 169, 169*

全部填充 *149, 150, 150, 156, 156, 161*

请参阅 PCB 抛光铝外壳

PCB 外壳的 x- 间隙 *137–143, 138, 139, 140, 141, 142*

PCB 外壳的 y- 间隙 *131–137, 132, 134, 136*

PCB 外壳的 z- 间隙 *137–143, 138, 139, 140, 141, 142*

PCB 外壳的热传导损耗 *128, 130, 131, 136*

x 与 z- 间隙的影响 *139–143*

y- 间隙的影响 *133–134, 134, 135*

底部散热 *152–154, 153, 156*

顶部散热 *158–159, 159*

外壳的影响 *143, 147, 150, 154, 156*

PCB 外壳的热对流损耗 *128, 130, 131, 133, 135, 167*

PCB 外壳的热辐射损耗 *128, 130, 131, 136*

x 与 z- 间隙的影响 *139–143*

y- 间隙的影响 *134–135, 134*

填充物的影响 *143, 147, 150*

PCB 外壳的热损耗请参阅外壳设计

Planar 技术, 寄生晶体管导通 252, 252, 253

PTC 请参阅负温度系数 (PTC)

PWL 文件 75–76, **76**, 77

漂移工程 268, 269

平台电压 41, 42, 42

器件命名规则 251

钳位, 主动的 189–190

RC 缓冲器设计 192–200, 270

测试电路 192–193, *192*, *193*, *194*

寄生元素的确定 194–195, 200

理论 196–197, *196*

实际应用 198–199, *199*

RC 热模型 66, 69–70, *69*, *70*, *71*, 81–82, 258

热仿真示例 72–81, *74*, *77*, *78*, *79*, *80*, *81*

热传导 94–95, 107, 118

绝缘材料 152

填充物 143–144

外壳材料 **129**, 137, 143

热点 250–251

热电参数类比 68, **69**

热仿真软件 87, 127

热仿真示例 72–81, *74*, *77*, *78*, *79*, *80*, *81*

热模型请参阅 RC 热模型

- 热设计 84–124
- 1 个 LFPAK 器件的热性能 90–105
 - 1 层 PCB 90–93, 90, 91, 92
 - 2 层 PCB 96–97, 96, 97
 - 4 层 PCB 98–101, 98, 99, 100
 - 4 层 PCB 带散热孔 101–104, **102**, 102, 103, 104
 - FR4 尺寸的作用 93–95, 94, 95
- 2 个 LFPAK 器件的热性能 105–115, 106
- 1 层 PCB 107, 107
 - 2 层 PCB 108, 108
 - 4 层 PCB 109, 109
 - 4 层 PCB 带散热孔 110–114, 110, 111, 112, 113, 114
- 4 个 LFPAK 器件的热性能 115–123, 116
- 1 层 PCB 116–117, 117
 - 2 层 PCB 117–118, 118
 - 4 层 PCB 118–119, 119
 - 4 层 PCB 带散热孔 119–122, 120, 121, 122
- PCB 布局与层叠 88–89
- 地平面层 89
- 电磁兼容性 89, 126
- 电路拓扑 89
- 仿真软件 87, 127
- 仿真设置 88
- 请参阅外壳设计；RC 热模型
- 热失效模式 254, 256
- 热性能请参阅外壳设计；热设计

- 热阻 32–33, **32**, 32, 85–86, 266–267
并联组 175–176, **176**, 177–179, 180
过孔 265
计算 244–246
热阻抗 32–33, 46, 50, 66, **67**, 67, 69
计算结温温升 56, 67–68
曲线 32, 241–243, 243
热仿真示例 72, 74, 74, 76, 78, 79
人体模式 ESD 205, 205, **206**, **219**, 219–222, **220**, **221**
软恢复 262
软件, 热仿真 87, 127
- SOA 请参阅安全工作区域 (SOA) 曲线
SPICE 模型 245, 247, 258, 267–268
Spirito 分界线 250–251, 253
散热过孔 101, *181*, 182, 265
请参阅热设计
散热器 84, 93, 123
栅–漏极电荷 **21**, 22, **39**, 40, 41, 42
栅–源极电压 57, 60
Trench 技术 240–241
电容 43
电容性 dV/dt 导通 260–261
漏–源极导通内阻 37, 37
漏极电流 274–276, 276
热失控 47–48, 47

栅极电荷 41–42, 42
限值 **24**, 25
栅–源极门限电压 **33**, 34–35, 35, 37, 261, 272, 273
负温度系数 47, 185, 251
钳位效应 186
热失控 47, 47, 48, 251
栅极电荷 39, 42
限值 278, **278**
主动钳位 190
栅极电荷参数 39–42, **39**, 40, 42, 267
栅极电阻 186–187, 278–279
栅极反弹 262, 263
栅极漏电流 **34**, 36
栅极驱动 186–187, 262
栅极氧化物 25
Trench 技术 240, 241
重复雪崩损耗 259
电容 276
厚底 269, 269
失效特征 203, **204**, 205, **206**
上升时间 **39**
烧伤痕迹请参阅失效特征
视角系数 135, 139
失效时间 (FITs) 资料 279–280, **281**
失效特征 202–238
过电流 210–211, **210**, **212**, **232**, 233–234, **234**

非钳位感性开关 (UIS) 206–207, 207, **208, 222, 223–225, 224, 225**
静电放电 (ESD)
 机械模式 201, 203, **204, 213, 213–218, 214, 216, 217**
 人体模式 205, 205, **206, 219, 219–222, 220, 221**
线性工作模式 208–209, 209, **210, 226, 226–232, 228, 230**
输出电荷 22
输出电容 **39, 42–43, 43, 277, 277**
输入电容 **39, 42–43, 43, 276, 277**
双极性晶体管 (BJTs) 请参考寄生晶体管导通
瞬时热阻抗 请参阅热阻抗

Trench 技术

第三代器件 240, 241, 242
第六代器件 240–241, 242, 264, 265, 268
电容性 dV/dt 问题 262, 264
寄生晶体管导通 252, 252, 253, 264, 265
线性工作模式 251
TSC 请参阅 PCB 顶部散热
体二极管 23, 188–189, 258
电流 **24, 26, 246–247, 247**
软恢复 262
雪崩限額 258
停止交货 (DOD) 文件 270

外壳设计 126–171

x 与 z- 间隙 137–143, 138, 139, 140, 141, 142

- y- 间隙 131–137, 132, 134, 136
安装隔板 162, 164–170, 165, 166
底部散热 167–168, 167, 168
顶部散热 169, 169
材料 128–129, 129, 136
垂直方向 163–164, 163, 164
底部散热 151–154, 151, 152, 153, 162
安装隔板 167–168, 167, 168
填充物 154–156, 155, 156
顶部散热 157–159, 157, 158, 159, 162
安装隔板 169, 169
填充物 160–161, 160, 161
模组模型特性 127–130, 127, 129, 131
潜在的热路径 130, 131
填充物 143–151
部分的 144, 145–147, 145, 146, 147
底部散热 154–156, 155, 156
顶部散热 160–161, 160, 161
全部的 144, 148–150, 148, 149, 150
无铅焊料 267
- 下降时间 **39**
线性工作模式 202
Spirito 分界线 250–251, 253
Trench 技术 251
安全工作区域曲线 45, 46, 50–51, 51, 249, 251

- 并联组设计 185–186, *186*
- 热失控 47–48, *47*, 251
 - 失效特征 208–209, *209*, **210, 226**, 226–232, **228, 230**
- 线性模式热失控 47–48, *47*, 251
- 限值 23–27, **24**, 278, **278**
 - 安全工作区域 (SOA) 曲线 31, *31*, 45–51, *45*, *51*
 - 降额曲线 27–31, *28*, *29*, *30*, 248
- 续流二极管 188, *189*
- 雪崩 188–189
 - 雪崩电流 30, 54, 189, 254, 257, 272
 - 重复的 60, *60*, 61, 259, 260
 - 单次的 55–56, *57*, 58, *58*
 - 寄生晶体管导通 252, 253, 256
- 雪崩耐受性 202, 252–259
 - 重复的 54, 59–61, *60*, 254–255, 257
 - 安全工作 61–62, *62*, 63–64, 259, 260
 - 限值 **24**, 26–27, 30–31, *30*
 - 单次的 **21**, 22, 54–56, 55, 57, 254–255
 - 安全工作 58–59, *58*, 62, 63
 - 限值 **24**, 26, 30–31, *30*
- 请参阅非钳位感性开关 (UIS)
- 氧化物, 棚极 请参阅棚极氧化物
- 源极电流 **24**, 26, 246–247, *247*
- 原型制作 124
- 在并联组中的感性能量耗散 186–188, *187*

杂散电感 193, 194–195, 197, 198, 200
杂散电容 193, 194–195, 197, 198, 200
振荡抑制请参阅 RC 缓冲器设计
正温度系数 (PTC) 47, 175, 180, 189
轴命名约定 130
主动钳位 189–190
装配 265–267
并联组 180–183, 181, 182
请参阅 PCB 隔板安装
阻抗匹配 182, 184

法律信息

Legal Information

Definitions

Draft - The document is a draft version only. The content is still under internal review and subject to formal approval, which may result in modifications or additions. Nexperia does not give any representations or warranties as to the accuracy or completeness of information included herein and shall have no liability for the consequences of use of such information.

Disclaimers

Limited warranty and liability - Information in this document is believed to be accurate and reliable. However, Nexperia does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. Nexperia takes no responsibility for the content in this document if provided by an information source outside of Nexperia.

In no event shall Nexperia be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, Nexperia' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of Nexperia.

Right to make changes - Nexperia reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Suitability for use - Nexperia products are not designed, authorized or warranted to be

suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or malfunction of an Nexperia product can reasonably be expected to result in personal injury, death or severe property or environmental damage. Nexperia and its suppliers accept no liability for inclusion and/or use of Nexperia products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

Applications - Applications that are described herein for any of these products are for illustrative purposes only. Nexperia makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using Nexperia products, and Nexperia accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the Nexperia product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

Nexperia does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using Nexperia products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). Nexperia does not accept any liability in this respect.

Export control - This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

Evaluation products - This product is provided on an “as is” and “with all faults” basis for evaluation purposes only. Nexperia, its affiliates and their suppliers expressly disclaim all warranties, whether express, implied or statutory, including but not limited to the implied warranties of non-infringement, merchantability and fitness for a particular purpose. The entire risk as to the quality, or arising out of the use or performance, of this product remains with customer.

In no event shall Nexperia, its affiliates or their suppliers be liable to customer for any special, indirect, consequential, punitive or incidental damages (including without limitation damages for loss of business, business interruption, loss of use, loss of data or information, and the like) arising out the use of or inability to use the product, whether or not based on tort (including negligence), strict liability, breach of contract, breach of warranty or any other theory, even if advised of the possibility of such damages.

Notwithstanding any damages that customer might incur for any reason whatsoever (including without limitation, all damages referenced above and all direct or general damages), the entire liability of Nexperia, its affiliates and their suppliers and customer’s exclusive remedy for all of the foregoing shall be limited to actual damages incurred by customer based on reasonable reliance up to the greater of the amount actually paid by customer for the product or five dollars (US\$5.00). The foregoing limitations, exclusions and disclaimers shall apply to the maximum extent permitted by applicable law, even if any remedy fails of its essential purpose.

Translations - A non-English (translated) version of a document is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

Trademarks

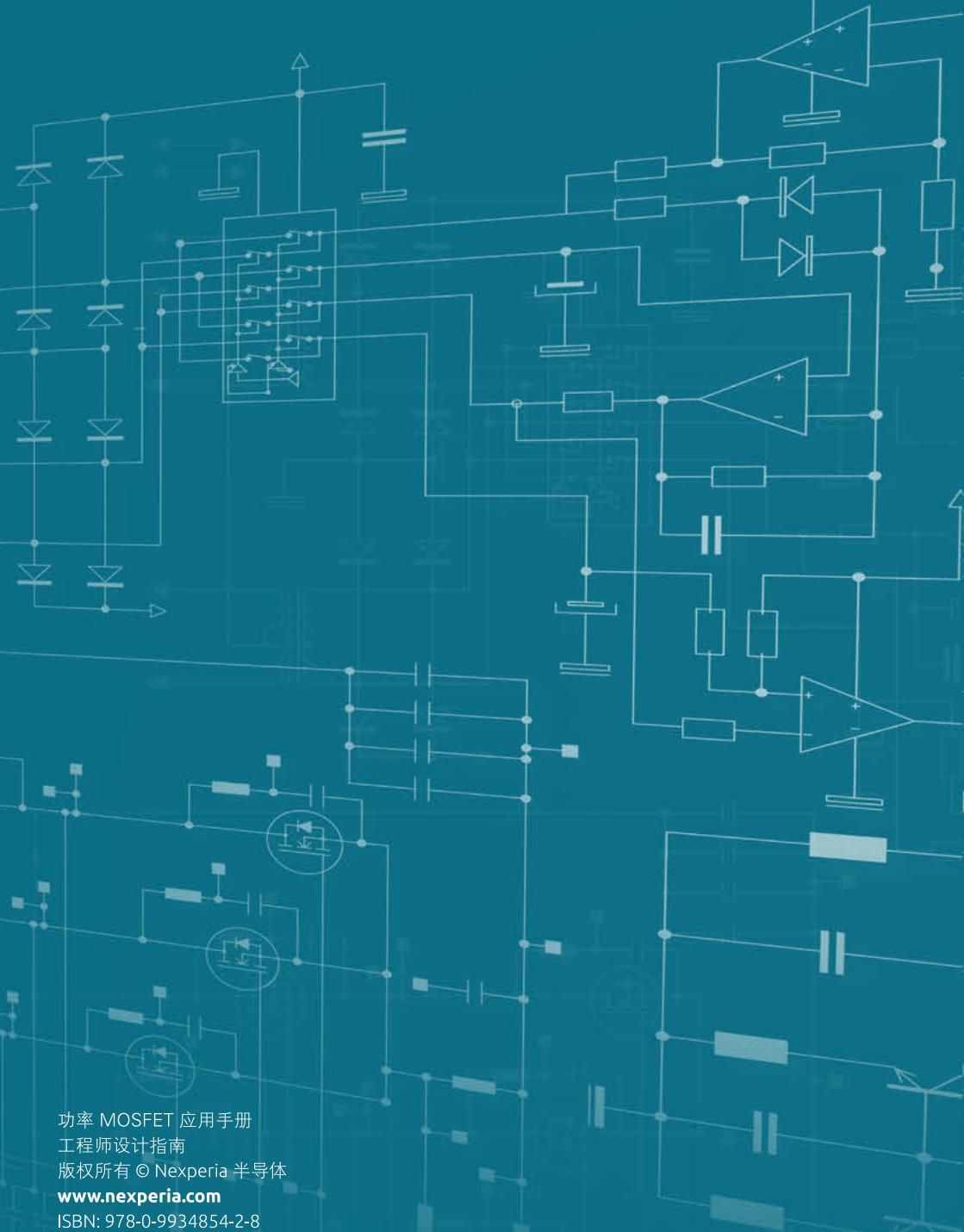
Notice: All referenced brands, product names, service names and trademarks are the property of their respective owners.

Notes

Notes

Notes

Notes



功率 MOSFET 应用手册

工程师设计指南

版权所有 © Nexperia 半导体

www.nexperia.com

ISBN: 978-0-9934854-2-8

Nexperia 和 Nexperia 徽标是 Nexperia UK Ltd. 的商标。

版权所有。© 2017 Nexperia UK Ltd.

nexperia