



Nexperia ESD Seminar

ESD の基礎

車載インターフェイスの ESD 保護

nexperia

EFFICIENCY WINS.



Session 1 | Fundamentals of ESD Protection

ESD の試験 NG に対する素子の選定方法は？コンデンサの追加や、ZD 追加、パターン変更などでも対応は可能か？

他の特性への影響を考慮しますと、コンデンサ等の受動素子はおすすめできかねます。過大な突入電流や信号の劣化等を招きます。また、ツェナーダイオードについては ESD 保護に関しての動作や効果の保証ができません。ESD 保護の機能を持っている ESD 保護素子をご使用ください。

素子追加などの対策を行った効果のエビデンスを、どのように得たら良いのか？オシロなどで測定できるのか？破壊試験をするしかないのか？

ESD 試験は基本的に破壊試験となります。被保護素子の TLP と保護素子の TLP 波形を比較していただく（2nd セッション資料 P13～15 に詳細がございます）、SEED 等のシミュレーションで効果を検討することや、2nd セッションでご案内した EMI スキャナ等を使用して破壊試験の前に効果を確認することは可能です。

サージテストの規格としては IEC61000-4-5 が一般的のようですが、Nexperia 600W TVS ダイオード（PTVS60VP1UP など）のデータシートには IEC61000-4-5 について言及がありません。PTVS60VP1UP などは IEC61000-4-5 の対策部品として使えますか？

IEC61000-4-5 は、多くの ESD 保護デバイスに適用される標準的なテストです。さらに、Nexperia のいくつかの TVS 製品は、はるかに厳しい IEC61643-321 の 10/1000 μ s パルスでテストしています。



Session 1 | Fundamentals of ESD Protection

PESD5V0X1ULD でデータシートに USB 対応と記載がありますが、USB3.1 Gen1(5Gbps)に対応しておりますでしょうか？

特定の周波数でデータシートに記載している S パラメータ値などで特性を確認ください。また、特別な仕様など、データシート上で確認できない場合は Nexperia へ問い合わせください。

USB の各バージョンの転送速度と ESD 素子の diode capacitance (C_d) との対応を教えてください。

アプリケーションに大きく関係しています。たとえば、100Base T1 イーサネットには $C_d < 5\text{pF}$ を使用することをお勧めします。USB4 の場合、 R_L は $< 13\text{dB @ } 10\text{GHz}$ でなければなりません、 C_d には推奨事項はありません。

ESD 保護(PESD2IVN24-U 等)に温度特性 peak pulse power に記載はあり高温になると power が減少しますが そのほか温度バラつきによる注意点はありますでしょうか。

現在、高温で ESD 保護デバイスの測定を必要とする仕様や ISO テストはありません。実際には、高温での ESD 保護デバイスの性能の低下に関連する問題は知られていません。



Session 1 | Fundamentals of ESD Protection

SCR 構造の TrEOS を使用する場合の注意点を教えてください。

ESD イベントが収束後、間を置かずには保護素子へ保持電流を超える電流印加経路が存在する回路ではご使用になれませんのでご注意ください。SCR 構造を持つ製品の場合、動作開始のトリガ電圧よりもかなり低い電圧までいったん下がることで効率よく ESD のエネルギーが通る経路を確保します。ESD 保護素子に流れる電流が OFF することでこの保持電流から解放され、ESD 保護素子自体も OFF しますが、電流が流れ続けると ESD 保護素子が OFF せず、電流を GND に流す経路が ON したままになり貫通状態となってしまいます。

CDM プロテクションについて教えてください。IC 内部でどのように保護するのでしょうか？

IC 自身を守るための内部素子はダイオードやダイオード接続の MOSFET 等により保護されております。これらの対策は基本的にどの印加モデルに対しても有効です。

過電圧と過電流とで、半導体の破壊のされ方に違いはありますか？過電圧では破壊箇所は最小限にとどまるが、過電流の場合は破壊箇所が広範囲に広がる・・・等

過電圧時には、MOSFET のゲートが破壊されることが多く、過電流時には層間が破壊されることが多くあります。

ESD for Electronic Design Engineers



Session 1 | Fundamentals of ESD Protection

MM が HBM、CDM に置き換わっている理由をご教示お願いいたします。MM を考えなくとも、ESD 耐性が成立する理由です。

テストのばらつきと実際の故障モードとの相関関係がないため、JEDEC では ESD 認定のための MM の使用を中止することを強く推奨しています。詳細は JEDEC の Web をご確認ください。

ESD スキャナーにて電流の流れる経路が見れる画像がありましたが、印加箇所には保護素子を設定し、IC までの経路が抑えられているのはわかりましたが、IC 内の保護素子にも流れているとのことでした。外部からの保護素子によって ESD が抑えられているのであれば、どの経路から IC の内部の保護素子に流れているのでしょうか？

1 回目のセミナー資料 P43 の図に対するご質問かと存じますので、その前提で回答させていただきます。

ESD イベント発生時の電流すべてを保護素子へ選択的に流すことはできません。電流自体はキルヒホッフの法則に従って、ノードが分かれるさいにはそれぞれのインピーダンスに反比例した電流が流れますので、IC 内部に ESD 保護素子が入っている場合はこちらにも動作しますので電流が流れます。

サポートについて、御社製品に不具合や故障が発生したとき、原因分析可能な設備や体制はありますか。

当社提携ラボ（日本）にてカーブトレーサー、X 線写真撮影を行います。さらに、詳細な検証が必要な場合は、当社アセンブリ工場（アジア）にて解析を行います。



ESD for Electronic Design Engineers

Session 1 | Fundamentals of ESD Protection

スナップバックにより V_h まで保護電圧が下がるということは、定常状態の印加電圧は V_h 以下での使い方ということでしょうか？

信号ラインでは電圧が H/L するため、特に V_h は影響ありませんが、(Logic H 固定を含む) DC ラインではラッチアップを防ぐため、 $V_{dc} < V_h$ の Protection Device を選定ください。

資料 P.26 V_{RWM} は保護を開始する電圧($24V_{max}$)であり、 V_{BR} は保護がアクティブ時の電圧($25.5V_{min}$)です。これらの電圧の差は何が起こっているのですか?($24V \sim 25.5V$)

V_{RWM} (ピーク逆動作電圧) は、通常の動作で印加できる DC 電圧を示し、 V_{BR} (ブレークダウン電圧) は漏れ電流が $I_r = 10mA$ ($T_{amb} = 25^\circ C$) の電圧を表しています。安全な動作を確実にするために、 V_{RWM} と V_{BR} 両方の電圧間にギャップがあります。

弊社の製品にて ESD で問題となったとき、ESD 対策として、ESD スキャナーなどによる解析・対策などを依頼することは可能でしょうか？ その場合、費用などが掛かる場合はどれくらい掛かるのでしょうか？

Nexperia では、顧客の要求に応じて技術相談と評価サポートをしています。新たにテストボード作成した場合など料金が発生する場合があります。詳細については、Nexperia までお問い合わせください。

コンペのバリスタに対する Nexperia の ESD 保護の長所/短所は何ですか？

Si Protection device の動的抵抗はバリスタの動的抵抗より小さく、また、クランプ電圧も低いため、デバイスの保護特性が優れているといえます。



ESD for Electronic Design Engineers

Session 2 | ESD Protection for Automotive Interfaces

デバイスが ESD テストに対して不合格となった場合は、その原因を見つけるための方法がありますか?例えば、高 R_{dyn} 、反応速度が遅い、.. 現在使用している ESD プロテクションで不十分な仕様が理解できれば、ESD 保護デバイスの選定が容易になります。

ESD 保護デバイスは ESD パルスに対して非常に堅牢であり、通常、ESD によって破壊されることはありません。しかし、ESD テストに不合格の場合、保護対象の IC が破壊することがあります。ESD による破壊を避けるために、基本的には、最も低い V_{CL} 、 R_{dyn} を持つ ESD デバイスを使用することです。

ESD 保護に何回 ESD パルスを印加できるかについて仕様はありますか?

Ethernet には、ESD 保護デバイスは 15kV で 1000 パルスを耐えなければならないという仕様があります。IVN バスの場合、耐久性に関する仕様はありません。システムレベルのコンプライアンステストでは、通常、20 パルスを ECU に印可し耐久性を確認します。Nexperia 製品の耐久性は定格範囲内での使用であれば、Protection デバイスにサージ印可回数の制限はありません。

JEDEC 規格の ESD パルス、放電時間、高電流は設定電圧は計算で求めることができますか?

測定器内のコンデンサ : C、コンデンサに充電する電圧 : E、抵抗 : R から放電電流を計算することができます。(寄生容量は無と仮定)

$$i = \frac{E}{R} e^{-\frac{t}{CR}}$$



Session 2 | ESD Protection for Automotive Interfaces

ESD の合否判定はどのように判定していますか？

当社、車載対応製品は AEC Q101 規格記載の ESD 試験に準拠しています。

TLP では主に動抵抗を求めるといってお話でしたが、クランピング電圧は分からないのでしょうか？

具体的なクランピング電圧を求めることはできませんが、動的抵抗はクランプ電圧を左右するので、動的抵抗が低いほどクランプ電圧も下がります

動抵抗を下げるにはどのような方法を取られましたか？

IC の構成をサイリスタ構成にし、VBR 後、大電流が流せるような内部構成にしています。

ESD ガンを用いた試験で R,C の値を HBM,MM,CDM の試験の値と同じにすると専用の試験機で行う試験と同様なものとなるのでしょうか？

各 ESD Model では RC が規定されており、その規定された値と電圧で保護素子の ESD 耐性を測定します。測定器の形状に影響を受けることはありません。

P19 の外部保護素子を入れたときの耐量の 30kV はどのような規格でしょうか？

IEC 61000-4-2 に沿って測定しています。



Session 2 | ESD Protection for Automotive Interfaces

ウェビナー資料 38 ページの新 ESD protection はどのような素子でしょうか?バイポーラ
でしょうか?

このページのグラフはトランジスタ系です。38 ページ記載のようなスナップバック特
性を示す保護素子にはもう一種類 - サイリスタ(SCR)系があります。

TLP グラフの結果から ESD 耐量はどのように耐量を予測しているのでしょうか?

TLP グラフは ESD 耐量というより、クランピング特性(動的抵抗)を表したものです。

ウェビナー資料 43 ページの EMI SCANNER の位置精度はどの程度でしょうか?

精度は 1mm 以下のオーダーです。

Open Alliance 向けの ESD 保護素子を含む PCB 設計設計をする際に、PCB パターンのイ
ンピーダンスマッチングを取る必要があるでしょうか? 必要な場合、リクエストすれば
ESD 保護素子の Touch Stone 等のデータは提供可能でしょうか?

高速インターフェイスではインピーダンスマッチングは必要となります。これは
Nexperia が高速インターフェイス向けに専用の超低静電容量の ESD 保護ダイオード
をリリースする理由の一つでもあります。Touch Stone のデータ (S-parameters)
はリクエストに応じて提供可能です。



Session 2 | ESD Protection for Automotive Interfaces

CAN のアプリケーションでは、ESD 保護素子の他、CAN トランシーバーもコネクタ付近に置いています。ESD 素子はコネクタ付近が良いのはわかりますが、トランシーバーはコネクタかマイコンどちらの近くに置くべきでしょうか？

ESD 保護素子は保護特性を最大限発揮させるためにコネクタ近くに配置する必要があります。CAN トランシーバの位置はアプリケーション、およびトランシーバのメーカーの推奨に依存します。ただし、一般的に CAN トランシーバはマイコンの近くに配置されます。

同じチップの場合、MOSFET の ESD 定格/耐性は、リード有とリードレスのパッケージで差があるでしょうか？

データシート記載の ESD 定格値はパッケージによらず、同じとなります。

最終の Q&A の回答をもう一度お教え頂けますでしょうか。（PCB レイアウト上での注意点）

可能な限り多くの ESD 電流を保護素子経由で GND に流すために、(=他の素子に流れる電流を少なくするために)保護素子はコネクタにできるだけ近づけるようレイアウトしてください。また、ESD に弱いデバイスはコネクタから離すようにしてください。

保護素子の動的抵抗 R_{dyn} の目安を教えてください。例えば 12 ページ記載の 0.16Ω はほかの保護素子と比較して小さいのでしょうか？

0.16Ω という値はツェナーダイオード系やバリスタと比較して低いです。なお、12 ページ記載のグラフはトランジスタ系の保護素子です。



Session 2 | ESD Protection for Automotive Interfaces

CAN ESD 保護素子の容量のマッチングはどのように行うのでしょうか？

製造時において隣り合ったチップを 1 パッケージに封入することにより、静電容量の差異を最小限にします。

Mixed mode s-parameter についてもう少し詳しく説明してください。

"Mixed"はコモン(同相)モードとディファレンシャル(差動)モードの両方を含むことを表します。例えば Ssd(Scd)21 の場合、コモンモードノイズをシステムに印加すると、それがディファレンシャルラインに表れてしまいます。これを同相から差動への変換とみなし、Ssd(Scd)21 はこのモード変換度合いを表しています。

Open Alliance の ESD の放電電流測定はどのように行っていますか？例えば電流プローブを使うのでしょうか？

IC はオシロスコープで電流を測定できるようにするため、Open Alliance で定められた抵抗ネットワークに置き換えられます。

S パラメータ測定はその専用の測定器があるのでしょうか？そうでない場合、どのような機器を用いるのでしょうか？

S パラメータの測定には高周波で一般的に用いられる VNA(Vector Network Analyzer)が必要となります。

Open Alliance の ESD の放電電流測定の Limit Class I と II はどのようにして定義しているのでしょうか？

Limit Class は等価抵抗ネットワークを含む Human Body Model から得られます。



Session 2 | ESD Protection for Automotive Interfaces

従来の Ethernet ESD 保護方式ではなぜ保護素子をコネクタ付近に実装できなかったのでしょうか? 何か理由があるのでしょうか?

いくつかの理由があります。

(1) どこに保護素子を配置するか指定・推奨がなかった。

(2) 従来タイプの保護素子の電気特性は現在のそれと異なります。例えば、従来タイプのブレークダウン電圧 VBR は非常に低いものでした。そして、バッテリーとのショート試験で保護素子の破壊を防ぐために、保護素子はキャパシタとコモンモードチョークの後段に配置されていました。

Eye diagram はどのようにして測定するのか、もう少し詳しく説明してもらえないでしょうか?

アイ・ダイアグラムの測定には高速サンプリングレートのオシロスコープが必要となります。この測定では個々のビットに対応する波形 - 信号の振幅とパルス幅を 1 つのグラフに折りたたむ(折り重ねる)ことにより、アイダイアグラムを生成します。ただし、この測定は非常に高度なもので、短い文章で説明することは困難です。

保護素子のインダクタンスを小さくすると ESD のピーククランプ電圧を低減できるという話でしたがリードレスパッケージ実装以外にインダクタンスを低減させる方法がありますので、この測定は非常に高度なもので、短い文章で説明することは困難です。例えば素子の構造を変えるかなどありましたら教えていただきたいです。

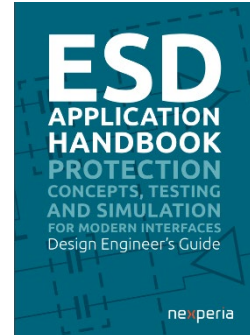
ダイのインダクタンスは最適化されています。一般にパッケージが保護素子の寄生インダクタンスの支配的な要素となります。



Please find even more details in our ESD Handbooks

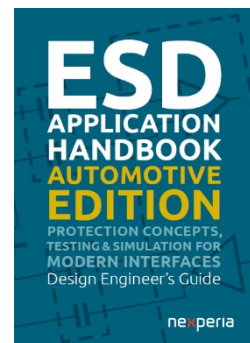
ESD Handbook with focus on ESD fundamentals and standard applications

- Fundamentals of ESD
- Datasheet parameters of ESD protection devices
- ESD testing standards and TLP testing
- Principles of ESD protection
- Failure symptoms caused by ESD and surge events
- Common interfaces and applications



Automotive ESD Handbook covering ESD fundamentals with high focus on automotive applications:

- Fundamentals of ESD
- Datasheet parameters of ESD protection devices
- ESD testing standards and TLP testing
- Principles of ESD protection
- Failure symptoms caused by ESD and surge events
- Automotive interfaces e.g. LIN, CAN & ETHERNET
- ESD simulations using SEED approach



Scan the QR code and find your regional sales contact!