

# AN10874

## LFLPAK MOSFET 热设计指南

版本 1 — 2011 年 3 月 31 日

应用笔记

### 文档信息

项目	内容
关键词	LFLPAK、MOSFET、热分析、设计与性能、散热考虑、热阻、结到环境、结到底座、散热孔、JESD51、SMD、表面贴装、PCB 设计。
摘要	设计功率 MOSFET 时，需着重考虑散热有关事项。在高温环境下运行时，尤为重要。本应用笔记概括描述了设计阶段运用的各种技术，确保 PCB 的布局能使其达到最佳热性能。



## 修订记录

版本	日期	说明
v.1	20110331	第二版 此翻译版本基于日期为 20110331 的 AN10874 v.1 英文版。

## 联系信息

更多信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：[salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

## 1. 简介

### 1.1 热分析的必要性

功率 MOSFET 系列产品在现代电子电路设计中得到广泛应用，经常大量应用于不同类型的开关负载中，电流从几毫安或更少至几十安培不等。与双极型系列相比，功率 MOSFET 系列产品驱动便利，同时由于该系列产品目前能适应不同封装、电压和导通电阻  $R_{DS(on)}$  的自由匹配，功率 MOSFET 系列产品必将大范围普及。

当然，功率 MOSFET 系列产品跟双极型开关一样还有待完善。对采用 MOSFET 器件的系统进行设计时，电路设计师应进行下列散热考虑：

- 即使完全导通，因为存在  $I^2 \cdot R_{DS(on)}$  损耗（导通电阻为器件导通状态下的电阻），MOSFET 也将消耗功率
- $I^2 \cdot R_{DS(on)}$  损耗会导致器件及别处的温度上升
- MOSFET 器件可能因温度过高而损坏或损毁

采用功率 MOSFET 系列产品进行设计时，需着重考虑散热，在极其高温环境下运行时尤为重要，因为要在规格范围内操作，MOSFET 的结温 ( $T_j$ ) 必须保持在  $175^\circ\text{C}$  以下。还有很重要的一点须记住，连接至 MOSFET 表面贴装焊点的 PCB 应该在  $120^\circ\text{C}$  左右的最大运行温度内。MOSFET 器件使用 PCB 作为其主要散热方法，其消耗的热能会促使 PCB 升温。因此要注意 PCB 的温度也需保持在可承受范围内。

### 1.2 MOSFET $R_{th}$ 热阻参数和参数范围

按行业惯例，MOSFET 数据表普遍采取“热阻” ( $R_{th}$ ) 值来表示器件的热性能。“热阻”的概念类似于电阻的概念，在许多关于热管理的文字中有所描述。

数据表中的两个最常见的 MOSFET 热阻值为：

$R_{th(j-a)}$ : 从器件结（芯片）到环境的热阻。该热阻值为单一热阻值，为所有可能从结到环境的串联和并联路径的有效效应。一般可能涉及直接来自器件封装表面及经由器件焊点处的 PCB 的热耗路径。

$R_{th(j-mb)}$ : 从结到安装底座的热阻。“安装底座”被定义为器件通常焊接至 PCB 的位置，它仅仅作为传导通路。

器件热阻值测定方法和条件遵循 JESD51-x 系列标准。该标准对测试方式的描述非常精确。因此有人可能认为这些热阻值能满足设计师进行系统热分析的需要。然而情况并非如此，原因如下：

- $R_{th(j-a)}$  值很大程度上取决于 PCB 结构和布局。JESD51 标准中定义的 PCB 非通常真正应用的典型 PCB。
- MOSFET 生产商指定用于  $R_{th(j-a)}$  数据表值的 PCB 几乎从未遵循 JEDEC 指南规定，通常都只以相当隐晦的术语描述，也因生产商的不同而不一致
- $R_{th(j-a)}$  测试方法未考虑到数个器件极其贴近地安装在同一个 PCB 上的情况（实际应用中的典型布置）
- $R_{th(j-mb)}$  热阻只是从结到环境的总热通路的一部分

显然，公布的热阻值  $R_{th(j-mb)}$  和  $R_{th(j-a)}$  在实际电路和系统的热分析中作用不大。为做到对 JEDEC 的公平合理，热阻值从未用于设计或系统分析。JESD51-2 规范中的以下注释表明：

*“……本文件旨在概述必要环境条件，以保证在自然对流情况下，标准的结到环境 ( $R_{th(j-a)}$ ) 热阻测量的准确性和可重复性。 $(R_{th(j-a)})$  测量只用来在标准环境下对不同封装的热性能进行比较。该方法不是为了预测也不会预测出特定应用环境下某封装的性能。”*

遗憾的是，尽管 JEDEC 的阐述很清楚，但仍有不少设计师试图使用数据表的  $R_{th}$  值来进行热设计和分析。

### 1.3 文件宗旨

判断出数据表中的  $R_{th}$  值不适用于进行实际应用的热分析后，自然就会问：替代参数是什么？很遗憾，目前复杂条件下无适用的具备合理准确度的简单热分析方法。涉及的传热机制都太复杂，有太多相互作用的热通路，从而无法找到简单而有效的分析方法。一般而言，该分析只能采取以下一种方式进行：

- 采用计算机模拟来重现场景

或

- 构建实际场景，进行实验评估

第一种方法能快速产生精确结果，但需要造价不菲的软件和必要的操作技能，而第二种方法中，构建场景和测量代表模型则花费不少时间和费用。

我们发现第三种方法或许能起到作用，尤其是在 PCB 设计的早期阶段，这样既可以避免参考毫无用处的热阻值，也无需完整的原型模拟或构造。本文件概括说明了用于典型 PCB 设计的不同技巧，以便通过对 PCB 布局的调整能使其达到最佳热性能。需考虑的因素包括：

- PCB 层叠
- 常见不同电路拓扑结构对 PCB 布局的影响
- PCB 铜面积
- 散热孔的影响
- 器件排列和间隔
- 单个 PCB 上多个散热器件的牵连影响

本文件无法列举器件排列、层叠等因素的所有组合情况。其真实意图是为工程师提供初步指导。他们在接手新的设计任务而缺乏有用资料时，可能会担心如何确保器件在安全温度下运行。

最后，不言而喻，该设计指南内含信息只适用于起始阶段。任一新设计无疑都需要制作原型，确定其热性能特征，而后再将设计付诸生产。

## 2. 热分析通用方法

### 2.1 热模拟软件的使用

为对多参数变化的快速灵活分析，采用热模拟软件进行了本文件所述的热分析。模拟场景采用了根据经验数据进行验证的 MOSFET 模型，并能准确仿真实际器件的热性能。

Mentor Graphics 公司 (Flomerics) 的 “Flotherm” 软件包为用于分析的热模拟软件。分析采用的器件模型可以从恩智浦半导体网站免费下载。

### 2.2 模拟设置

需考虑的 PCB 有如下一般特征：

- 为表面贴装设计，MOSFET 系列产品为表面贴装 LFPK 封装
- 为 1-4 层 PCB 层叠结构，总厚度通常为 1.6 mm
- 标准 FR4 材质，最大额定运行温度为 120 °C
- 每层铜的厚度 1 oz./ft<sup>2</sup> (35 μm)
- PCB 悬挂在自由空气中

其他重要因素:

- 环境温度为 20 °C
- 对热传导、对流换热和辐射传热的模拟
- MOSFET 功耗为每器件 0.5 W
- 未施加强制风冷，即只仿真了自然对流

## 2.3 PCB 布局和层叠

### 2.3.1 PCB 布局和层叠的影响因素

在进行 PCB 布局设计时，无法完全自由选择 MOSFET 器件和其他元件的位置以及连接方式。器件排列和连接通常关系到各种（通常是相冲突的）要求的调节。影响元件排列的因素可能包括：

- 电路拓扑结构
- 对电磁兼容性 (EMC) 的设计
- 对热性能的设计
- 将某些元件（如连接器）置于预定义位置的必要性
- 特定区域内提供低阻、低电感电流通路的需要

若从散热角度考虑 PCB 设计，理想的散热设计可能在某些方面要进行折中处理，以满足对其他设计的要求。

### 2.3.2 电路拓扑结构

所有影响 PCB 设计的因素中，电路拓扑结构可能是最不容易改变的。因为元件未以适当形式连接时，电路自然无法起到预期的作用。电路拓扑结构也会决定哪些 MOSFET 终端可连接至铜面，从而有助于耗散热能。这点对于 LFPACK 等表面贴装封装尤为重要。该封装的主要热通路经过器件下侧的散热片进行散热。因此，电路拓扑结构对热设计和最终的器件运行温度产生了重大影响。

本指南考察了几个不同拓扑结构。这些拓扑结构被认为与大量典型的终端客户应用有关。

### 2.3.3 对电磁兼容性 (EMC) 的设计

对电磁兼容性的设计很复杂，超出了本文件论述范围。不过，对 EMC 的设计中，有个相对简单的方面跟热设计非常相关，即 PCB 中地线平面层的配备。

从 EMC 角度出发，多层 PCB 应至少有一层铜层专门用作地线平面层，该层的孔和裂缝最少。此要求与保证优良热设计的要求不抵触。实际上，PCB 层叠中的连续铜层只会整体上提高 PCB 板的热性能。下列分析中，PCB 布局设计都含有专用地线平面层。

### 3. 单个 LPAK 器件

本节将探究几种不同配置下对 PCB 的单个 LPAK 器件热性能造成影响的因素。此后，在讨论层叠或结构对器件排热的能力时，会使用“热性能”一词。要构建一个热性能影响因素的综合图，首先要从最简单的一层 PCB 层叠开始，然后是系统地添加其他层。

#### 3.1 分析 1：单层 PCB

最简单的 PCB 层叠为单层顶层铜箔；一层 PCB 层叠。分析 1 将探究器件结温 ( $T_j$ ) 变化，它是顶层铜面积的一个函数。参见 [图 1](#)。

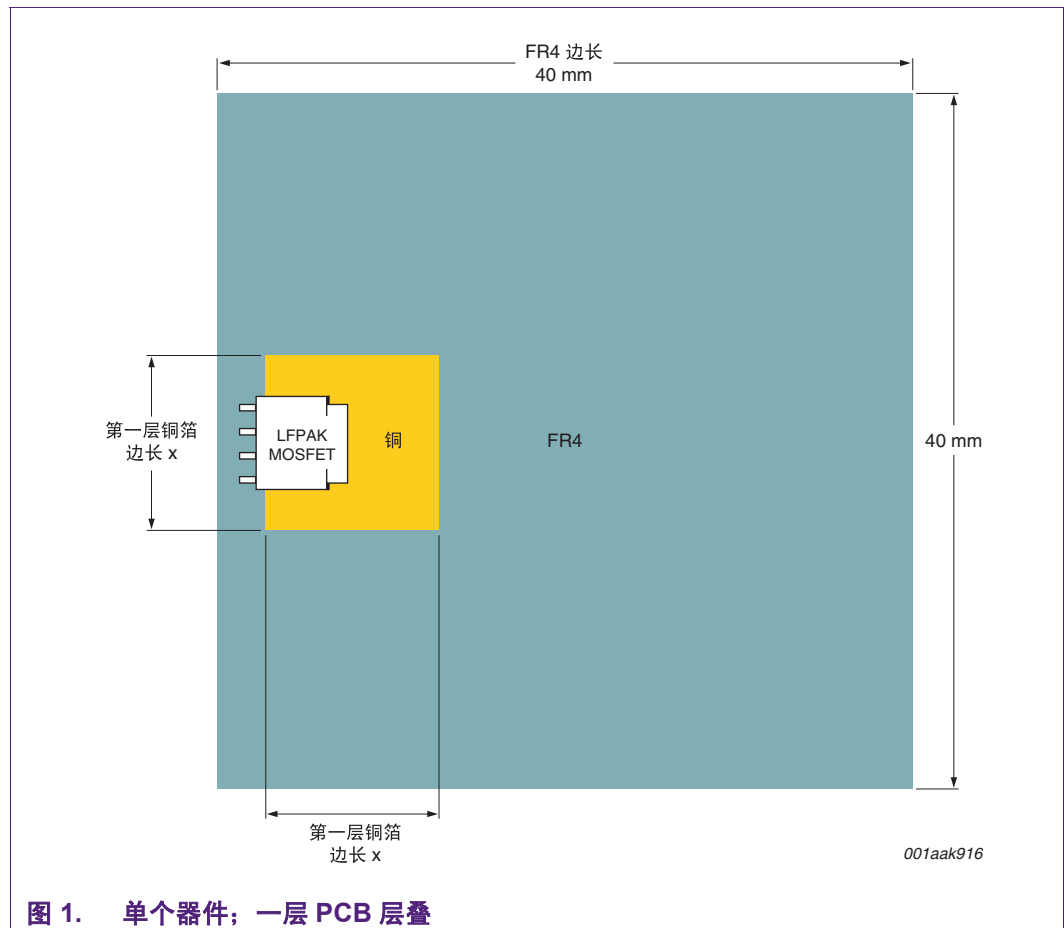


图 1 显示的是 FR4 材质 40 mm × 40 mm 面积内，MOSFET 器件安装在边长为 x 的第一层铜箔的平面积上。与该布局对应的三个可能电路配置如图 2 所示。

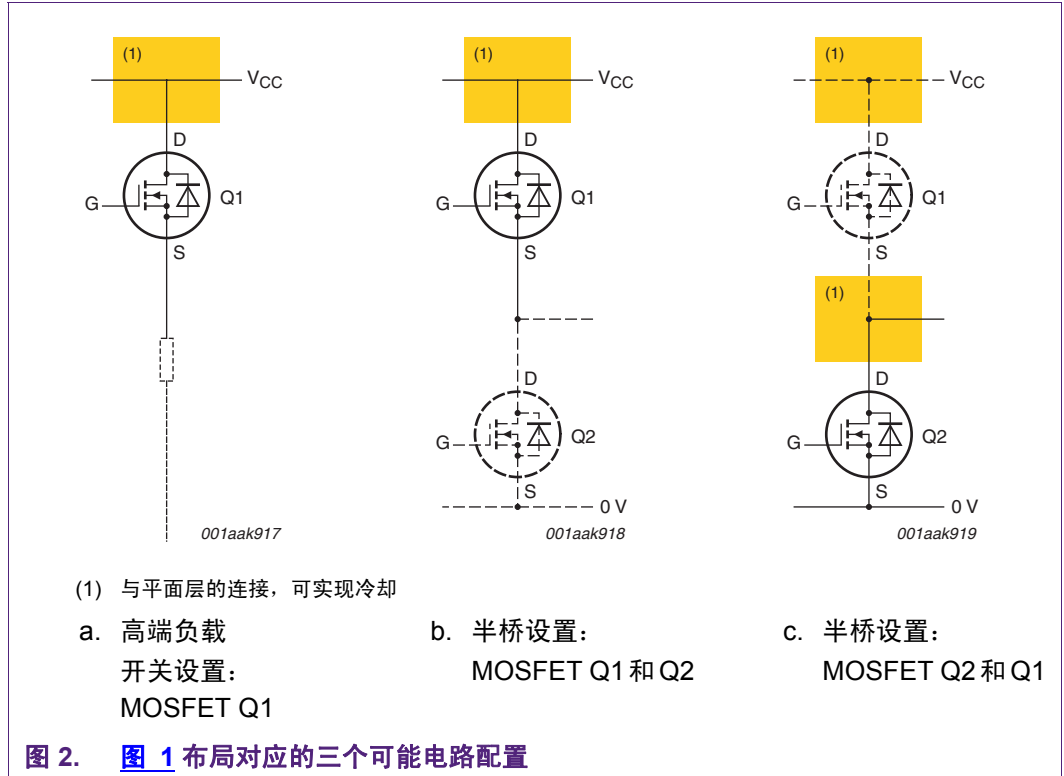


图 2(a) 显示 MOSFET Q1 配置为高端负载开关，散热片与  $V_{CC}$  平面（用黄色表示）相连。图 2(b) 和图 2(c) 表明 MOSFETs Q1 和 Q2 以半桥式配置连接。两个器件都主要由连接至散热片的平面层冷却，虽然 Q2 的平面层对应于半桥的中点而非电源层。通过连接平面层至 MOSFET 源极，或许也能实现微小程度的附加冷却，但源插脚不是封装外的主要热通路，其所起附加作用也最小。一般来说，主要热通路为经过与漏极相连的封装散热片进入任一连接层。本指南主要论述此配置。

以不同边长 x 进行模拟后，便能测定器件结温 ( $T_j$ ) 随铜面积而变化的趋势。结果如图 3 所示。记住环境温度为 20 °C。



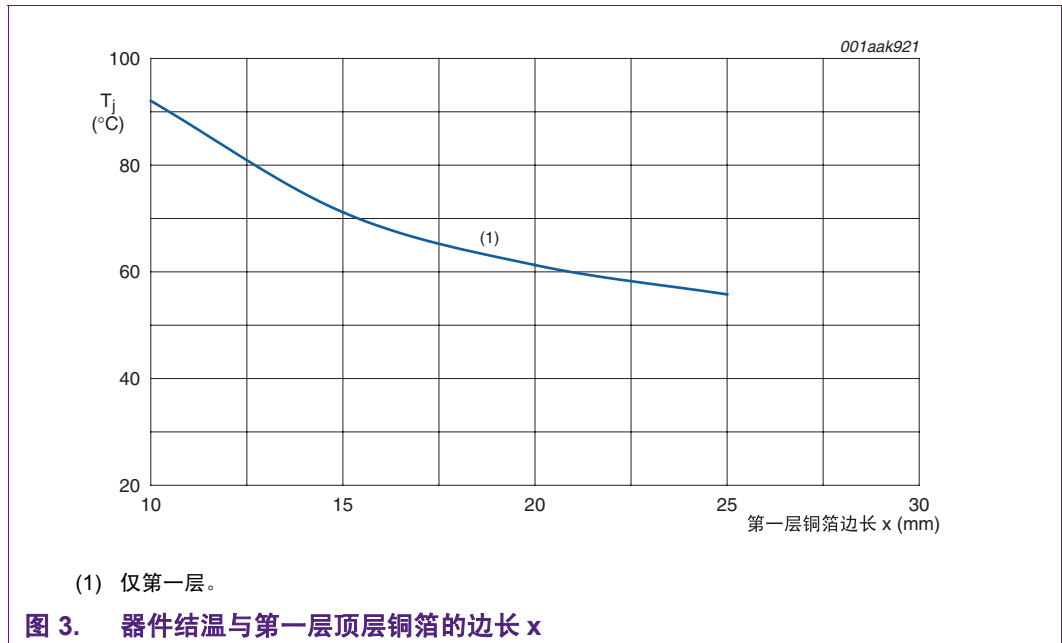


图 3 曲线图呈现两个明显特征：

- $T_j$  很大程度上取决于边长  $x$ ，也就是，取决于第一层铜面积。
- 顶层铜箔为 MOSFET 提供散热的性能表现出“报酬递减法则”。也就是说，持续往第一层增加更多铜面积并不能继续减低  $T_j$ 。相反，从曲线形状得出结论：无论第一层上的铜面积多大， $T_j$  不会降低至  $50\text{ }^{\circ}\text{C}$  以下。

第 1.1 节指出，事实上有两个限定温度一定不能超出范围——MOSFET  $T_j$  和 PCB 材质温度  $T_{\text{PCB}}$ 。对于表面贴装 MOSFET 系列产品，预计最大  $T_{\text{PCB}}$  通常在 MOSFET 散热片中心下方出现。对于以 LFPACK 封装的 MOSFET 系列产品， $T_{\text{PCB}}$  通常与  $T_j$  相差不到  $0.5\text{ }^{\circ}\text{C}$ ，因此， $T_{\text{PCB}} \approx T_j$  是合理推定。余下对 LFPACK 封装的分析会作此假定。图 3 结果表明，PCB 最大  $T_{\text{PCB}}$  为  $120\text{ }^{\circ}\text{C}$  时，倘若环境温度保持在大约  $45\text{ }^{\circ}\text{C}$  以下，即便第一层铜面积变小，也不可以发生 PCB 退化的问题。

### 3.1.1 分析 1 中的 FR4 尺寸影响

第 3.1 节中，PCB 的 FR4 面积可能看似是任意选取的，对实际应用中的 PCB 大小不具代表性。但本节将表明未铺铜 FR4 的面积对器件  $T_j$  几乎毫无影响。为了说明这一点，我们又选取了  $20\text{ mm} \times 20\text{ mm}$ 、 $30\text{ mm} \times 30\text{ mm}$  和  $50\text{ mm} \times 50\text{ mm}$  三种 FR4 尺寸进行模拟，第一层铜面积固定为  $10\text{ mm} \times 10\text{ mm}$ 。结果如图 4 所示。

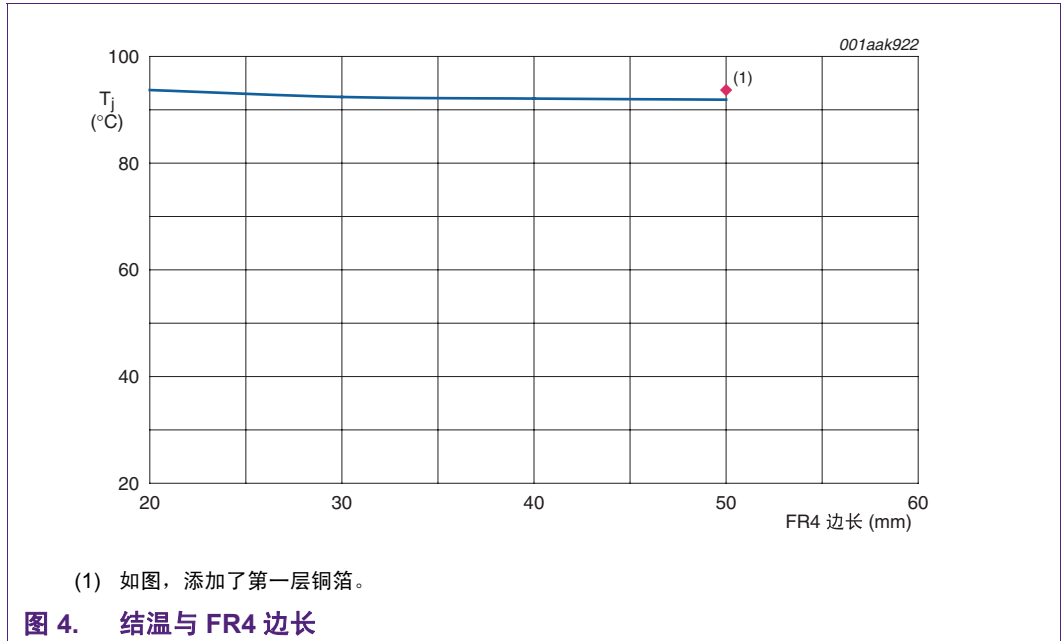


图 4 的结果论证了未铺铜的 FR4 面积对器件 T<sub>j</sub> 几乎毫无影响。图 3 改变的是第一层铜面积。其结果与图 4 形成鲜明对比。比较铜和 FR4 的导热率后，不难理解这两种结果的差异；铜的导热率大约为 380 W/(m.K)，而 FR4 的导热率只有大约 0.6 W/(m.K)。导热率是衡量热能传导到物质容易程度的系数。显然，即使增加 FR4（不良导体）的面积，也无法等效于增加面积小得多的高导热性铜的面积。

添加一定未连接的第一层铜箔，如图 5 所示，也能进一步阐明 FR4 的绝缘性能。

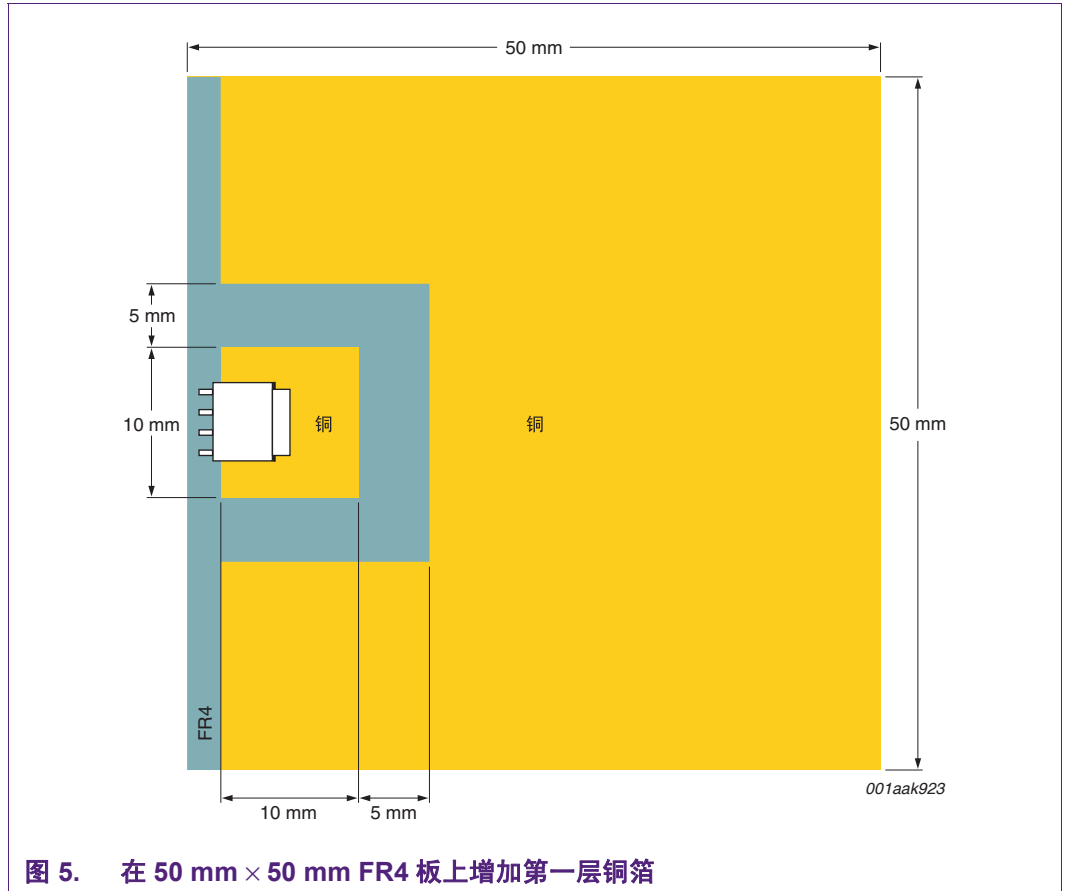
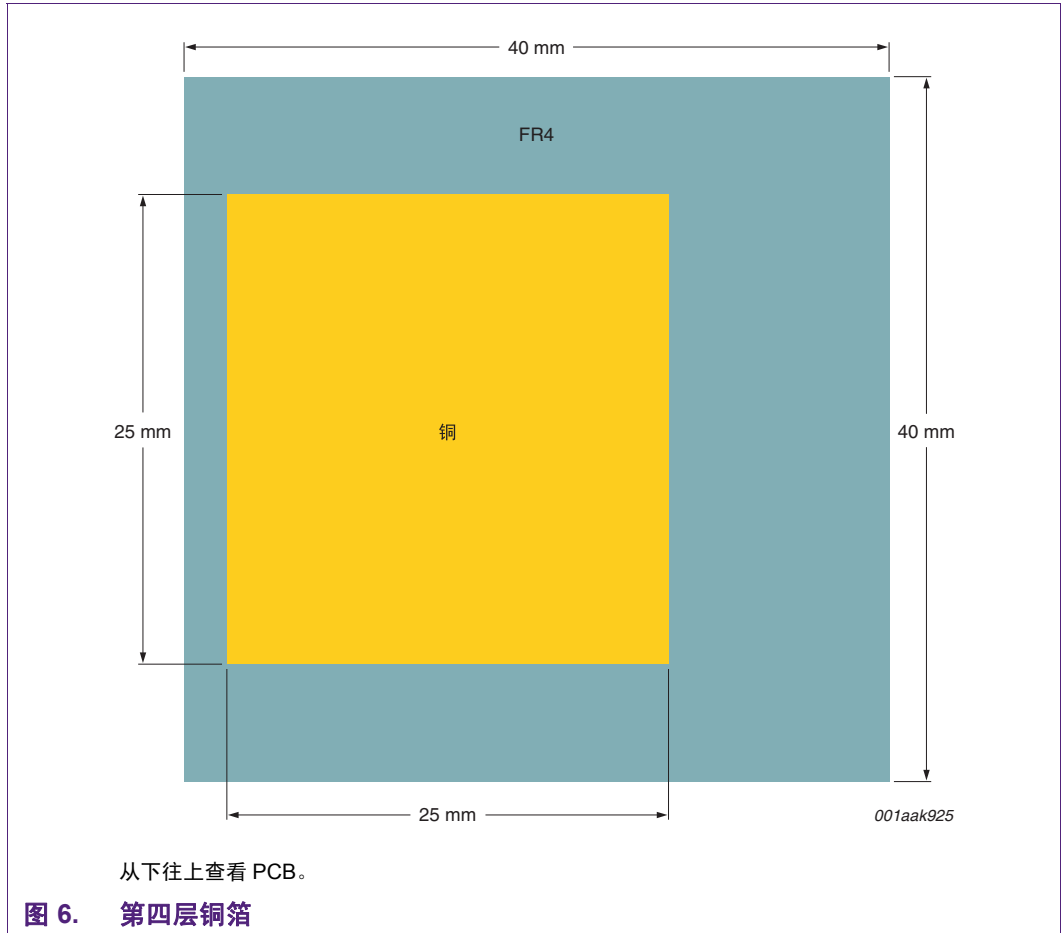


图 5. 在 50 mm × 50 mm FR4 板上增加第一层铜箔

图 5 显示的是 50 mm × 50 mm 的 FR4 布局内，绝大部分的第一层面积都铺满了铜。器件周围与 10 mm × 10 mm 的铜面积留出了 5 mm 的间隙。虽然附加的第一层铜箔可能预计能对器件  $T_j$  造成显著差异，但是事实并非如此。通过器件周围的绝缘间隙以及介入其中的 FR4 不良导热率，热能被阻止，无法利用附加“散热”面积。FR4 以这种方式“热隔离”热源的能力显得很重要，第 19 页的第 4 节“两个 LPAK 器件”以及第 29 页的第 5 节“四个 LPAK 器件”都会进行论证。

### 3.2 分析 2：二层 PCB

同分析 1 一样，本节将再次对第一层铜箔的相同变化进行探究。但分析 2 会添加第四层（底层铜箔），面积固定为 25 mm × 25 mm，从而形成二层 PCB 层叠。底层铜层如图 6 所示。



实践中，该层可能是地层或电源层，虽然该层未进行电气连接。

同分析 1（[第 7 页第 3.1 节](#)），我们又可以选取不同的第一层边长 x 进行模拟，将第四层平面层面积始终保持 25 mm × 25 mm 的常量。结果如[图 7](#)所示，分析 1 的结果用来做比较。

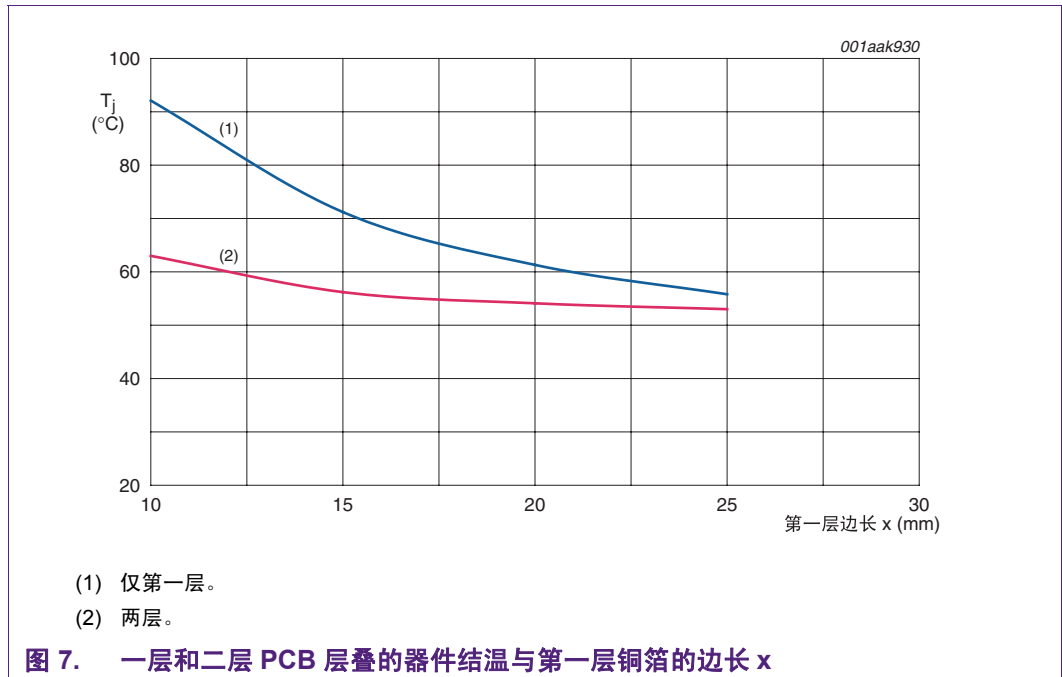
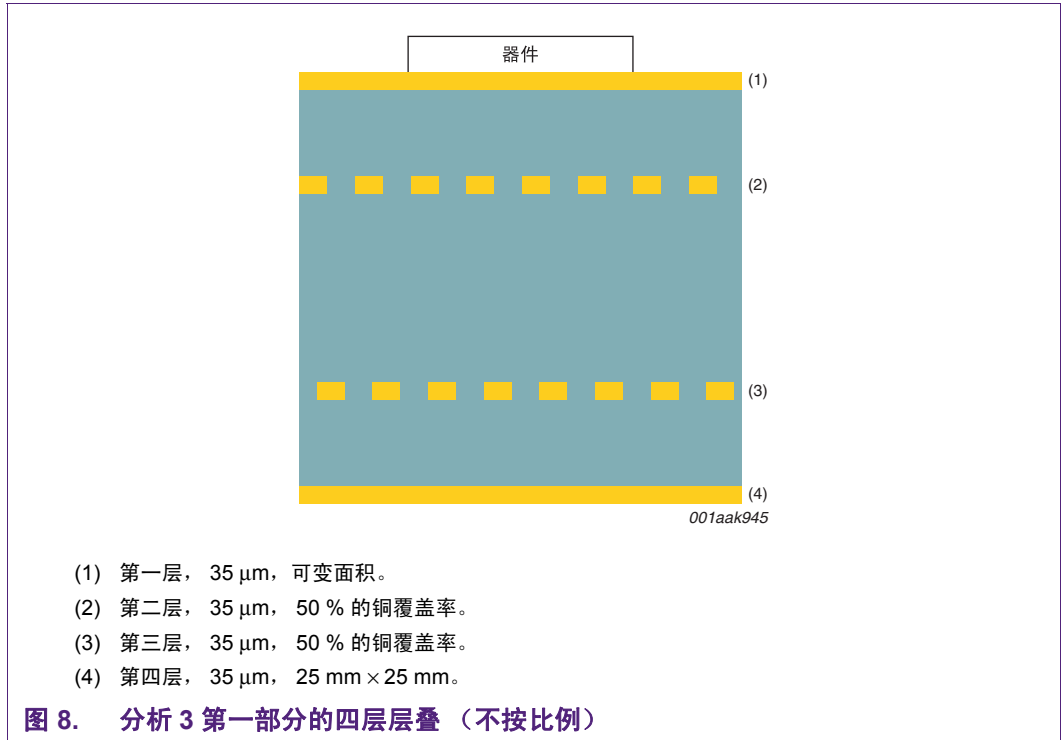


图 7 表明，添加第四层铜箔后，即便第四层未直接连接至 MOSFET，PCB 的热性能也显著提高。也能看出，MOSFET 的  $T_j$  稍微较少受到第一层铜箔的影响。添加第二层时，顶层铜箔的边长可以从 25 mm × 25 mm 减少至大约 15 mm × 15 mm，而热性能保持不变（即同一  $T_j$ ）。要提高第一层元件密度，该结果无疑能起作用。

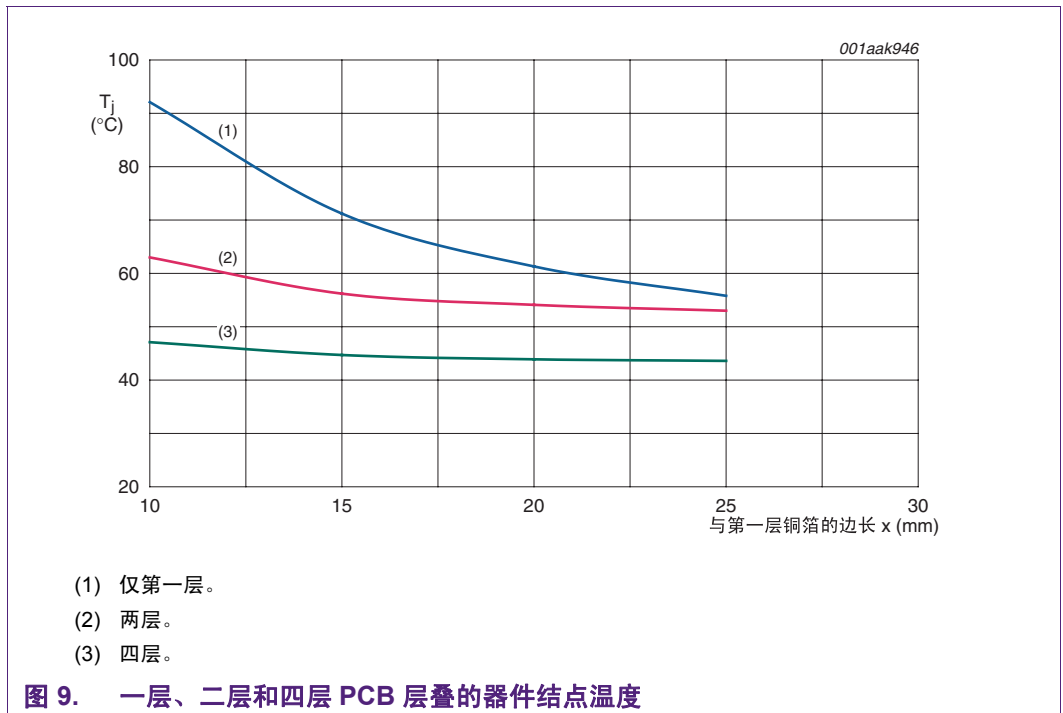
### 3.3 分析 3：四层 PCB，第一部分

本文件将对四层 PCB 层叠的几个不同变化进行探究。最简单的变化是以分析 2（第 3.2 节）中的二层 PCB 层叠为基础，另添加两层内部信号层。假定附加的两层主要由许多较薄信号轨道组成，不是由大块连续平面层组成。对这些层的精细模拟明显不可行，于是可采用“覆盖百分比”方法代替。采用这个方法，根据总面积下铜的覆盖率和层厚，可计算出该结构的平均传导率。在本次分析中，假定信号层达到 50 % 的铜覆盖率，厚度为 1 oz./ft<sup>2</sup> (35 μm)。

图 8 对四层结构进行了汇总。



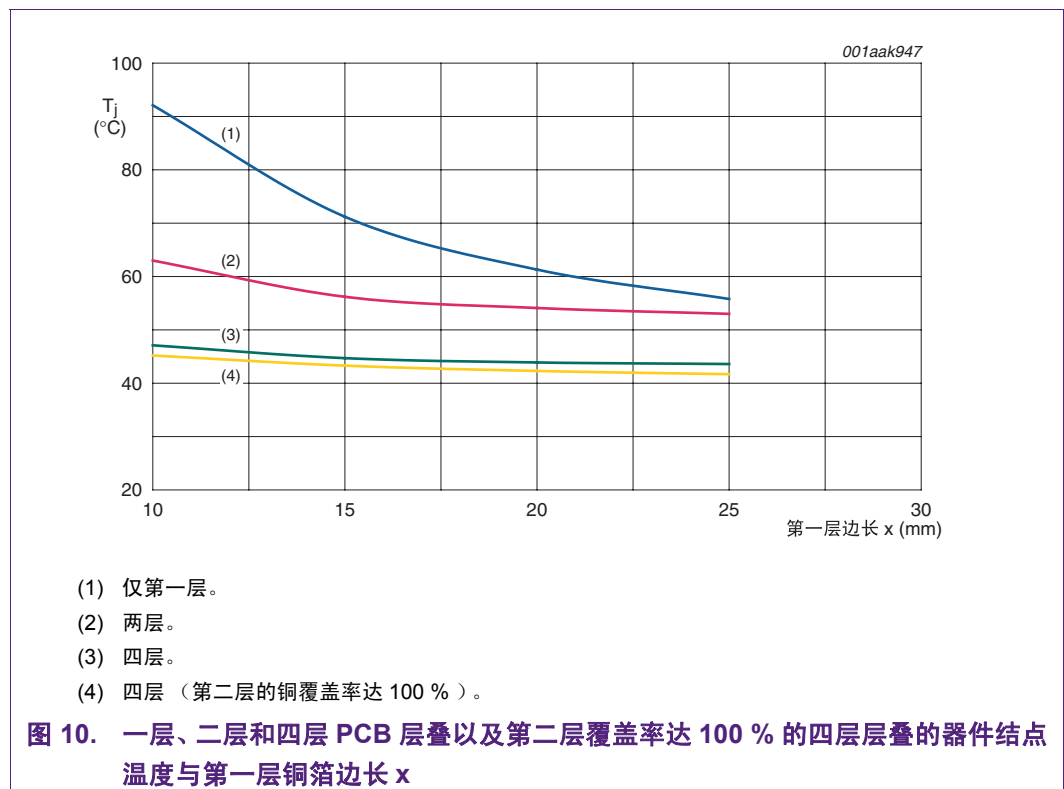
同前, 选取不同的第一层铜箔尺寸, 其他层不变, 进行模拟。结果如[图 9](#) 所示, 此外还有前面两次分析的结果。注意, MOSFET和第四层平面层之间还是无直接连接, [第 8 页的图 2](#) 显示了对应的电路拓扑结构。



添加第二层和第三层铜箔后，结果引起  $T_j$  较一层层叠和二层层叠时有相当程度的下降。另外也能看出， $T_j$  与第一层铜面积几乎毫不相关。该结果有用，它表明：在与本文所述相似的四层 PCB 层叠中，可以将第一层的铜面积减至最小，同时不会大幅削减设计方案的热性能。因此，空出的第一层铜面积可用于安装其他器件、布线轨道等等。

### 3.4 分析 3：四层 PCB，第二部分

要考察的第二个四层层叠与图 8 相似，但第二层以 100 % 覆盖率的平面层代替。该层可能形成了内部接地平面层。否则，第一部分与第二部分的分析便完全相同。结果如图 10 所示。



有意思的是，将第二层的覆盖百分比从 50 % 增加至 100 % 后，热性能几乎没有提高。换句话说，就降低器件温度来说，内部层不如外部层有作用。原因是外部层可以通过对流和表面辐射耗散将热能释放到外部环境。然而，内部层显然未暴露在自由空气中（除了在平面层边缘可能存在少量，可忽略），因此，它对改善冷却效果起到的唯一作用就是提高 PCB 的镀通板传导率。

### 3.5 分析 4: 带散热孔的四层 PCB, 第一部分

至此, 我们已经探讨过第一层铜箔 (连接至 MOSFET 散热片) 未连接至其他层的情况。但是, 我们完全有可能使用 MOSFET 散热片下的过孔模式提供与 (比如) 第四层上的  $V_{CC}$  层的电气连接。该方法与图 2 的拓扑结构一致。该元件排列不但有必要的电气连接, 而且也能提供一个 MOSFET 的附加热通路, 通过此通路, “电气过孔”也能起到“散热孔”的作用。

虽然知道添加器件过孔一般能提高热性能, 但很难确定多少过孔才能达到一个最佳效果。显然, 如果不能明显提高热性能, 就不需要增加过多过孔, 因为过多过孔可能引起 PCB 组装过程出现问题 (当然, 还得支付 PCB 过孔费用!)。因此, 本次分析旨在检验各种过孔模式对该设计方案热性能的影响。

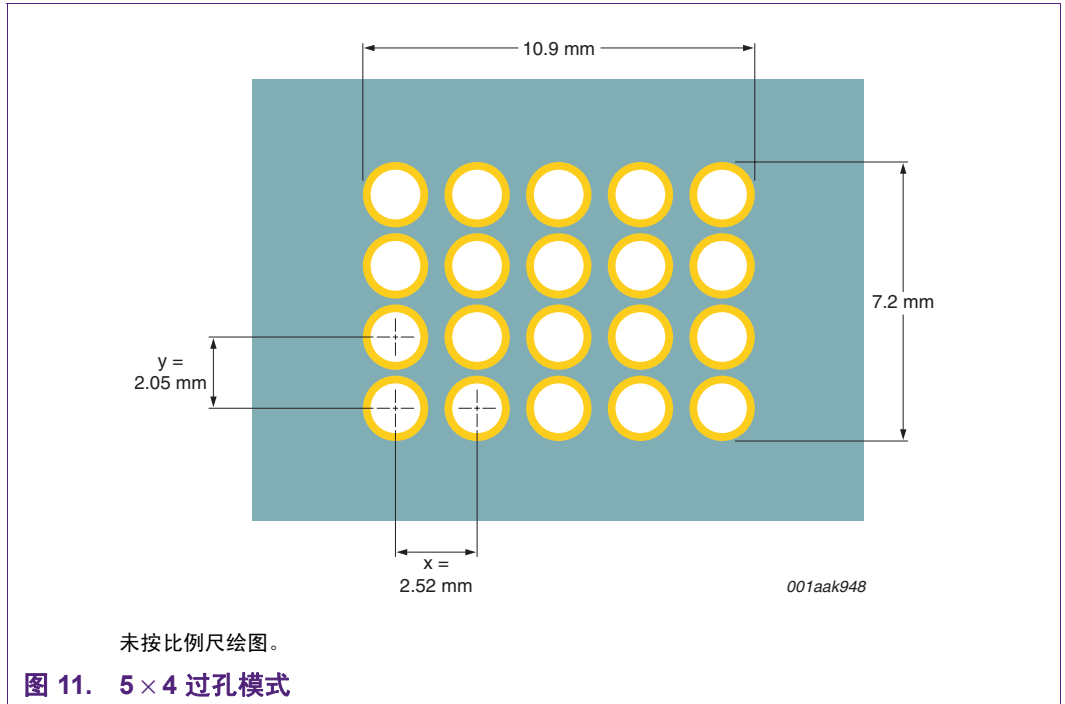
本节中的分析选取边长为 15 mm 的第一层铜面积, 将探讨具有表 1 所列特性的过孔模式。所有情况下, 假定过孔空心, 直径为 0.8 mm。PCB 层叠如图 8。图 11 为过孔模式实例。

表 1. 过孔模式汇总

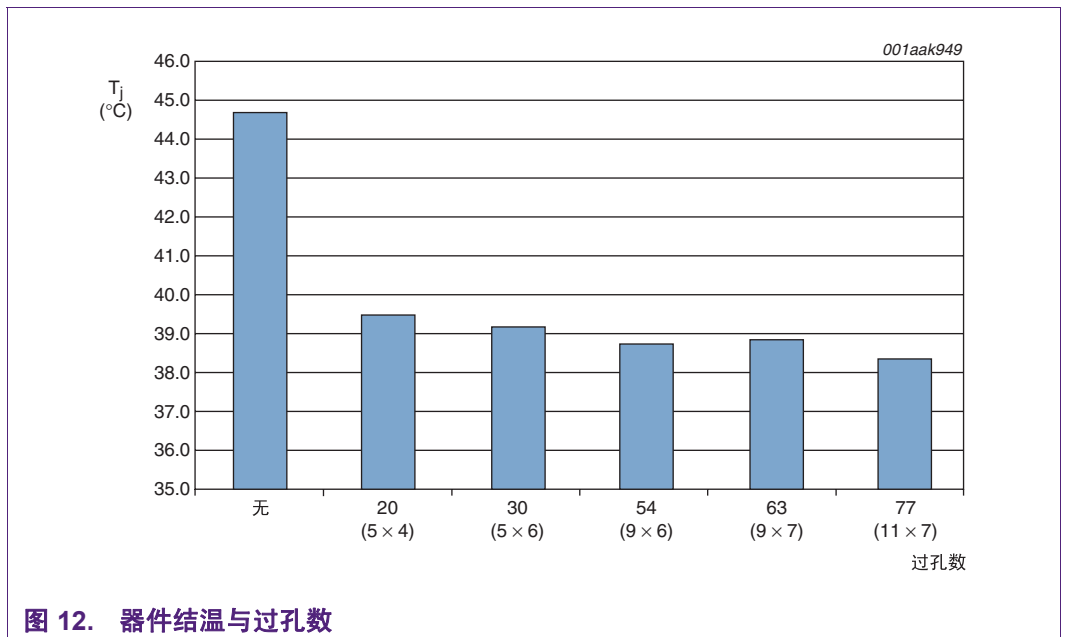
过孔数			过孔间距 x (mm)	过孔间距 y (mm)	总体过孔模式尺寸 (mm × mm)
总计	x	y			
0	0	0	-	-	-
20 <sup>[1]</sup>	5	4	2.52	2.05	10.9 × 7.2
30	5	6	2.52	1.33	10.9 × 7.5
54	9	6	1.26	1.26	10.9 × 7.1
63	9	7	1.26	1.26	10.9 × 8.4
77	11	7	1.04	1.04	11.2 × 7.1

[1] 参见图 11。





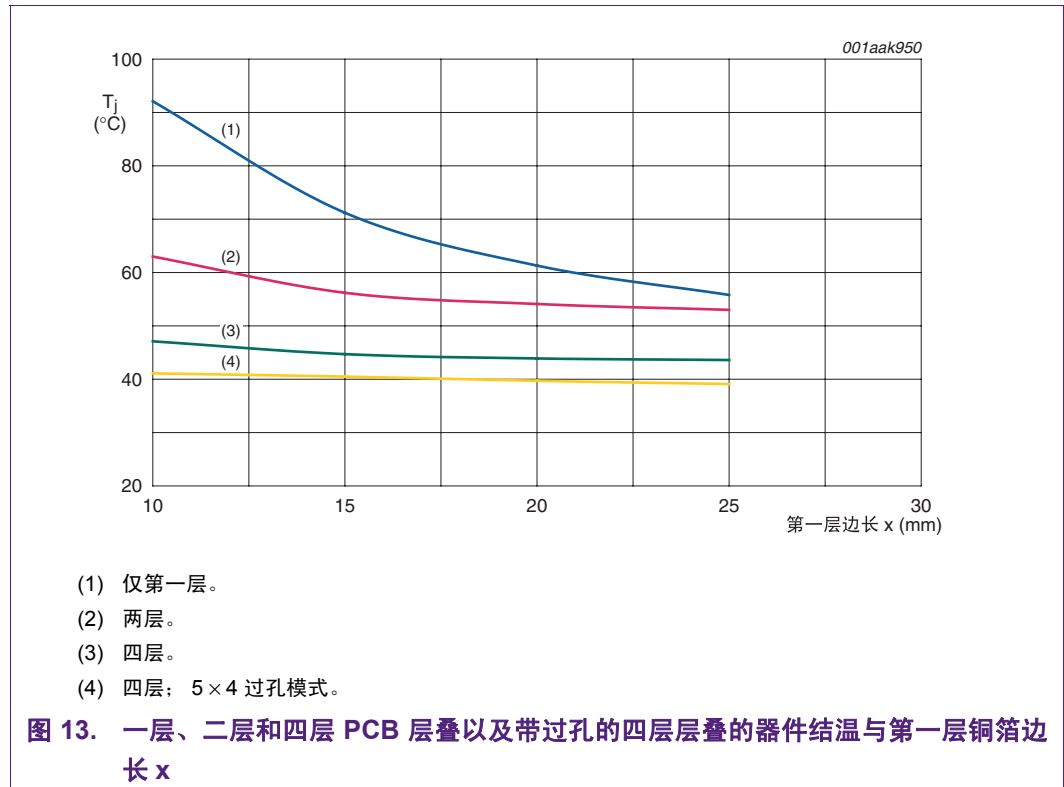
不同过孔模式结果如[图 12](#)所示。



[图 12](#) 表明，从器件下侧无过孔转为器件下侧有 20 个过孔， $T_j$  明显下降。这清楚表明，热能从 MOSFET 散热片传导至第四层，其结果同预料的完全一致。然而有趣的是，逐渐增加过孔， $T_j$  几乎不再降低。这是因为，增加更多过孔后，镀通板传导率也随之增加。但同时，第一层铜箔更多被空气代替后，减少了器件与 PCB 间的接触面积。因此热性能未出现太大改进。从而得出结论：增加过孔能提高热性能，但持续增加过孔不再明显提高散热性能。

### 3.6 分析 4: 带散热孔的四层 PCB, 第二部分

为完备起见, 也选取不同尺寸的第一层铜箔, 对“带过孔的四层 PCB”结构进行了模拟, 其层叠结构同第 14 页图 8。结果如图 13 所示。



可以看出, 如果增加器件下侧过孔,  $T_j$  几乎不受顶层铜面积的影响, 比无过孔的四层层叠结构要低将近  $5^\circ\text{C}$ 。

### 3.7 小结：影响单个器件热性能的因素

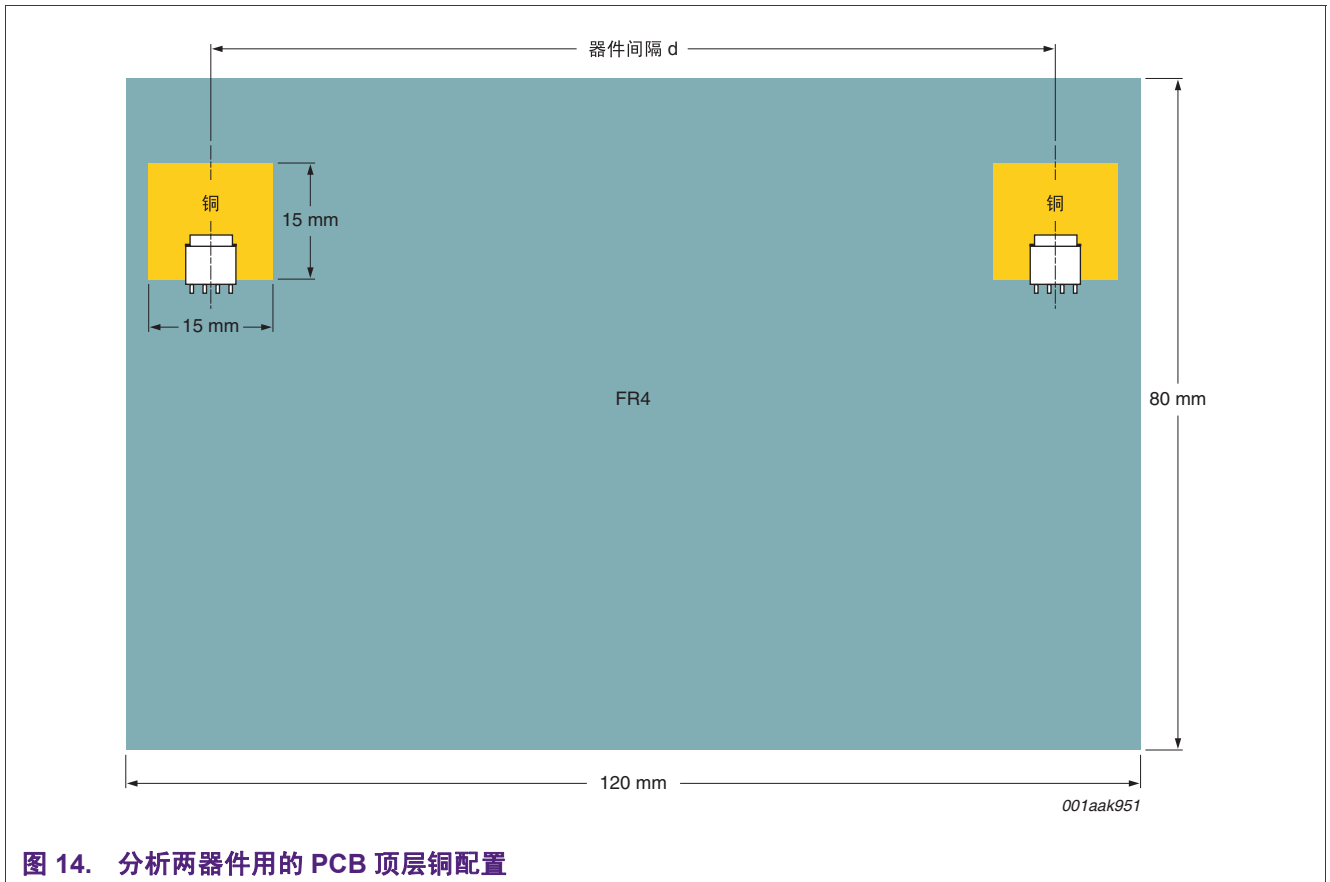
- 对于安装在一层 PCB 上的器件， $T_j$  很大程度上取决于铜面积。然而，“报酬递减法则”适用于此例，只单纯增加第一层铜面积不会相应提高热性能（参见图 3）。铜面积较大时，最低结温约 50 °C。
- 如果连接至散热片的铜面积保持不变，改变 PCB 的 FR4 尺寸不会明显影响  $T_j$ 。同样，在延展的 FR4 面积上增加未连接铜面积也不会明显影响  $T_j$ （参见图 4）。
- 添加第二层铜箔（第四层）能显著提高热性能，降低  $T_j$  对第一层铜面积的依存度（参见图 7）。
- 再次转为四层 PCB 层叠，较之一层和二层层叠，热性能有明显提高。另外， $T_j$  对第一层铜面积的依存度进一步降低（参见图 9 和图 10）。
- 增加器件下侧过孔，热性能进一步提高，但报酬递减法则也一样适用，逐渐增加过孔所起作用不大（参见图 12）。
- 因为有过孔的存在， $T_j$  对第一层铜面积的依存度几乎已消失（参见图 13）。

下面几节分析中（第 20 页的第 4.1 节至第 32 页的第 5.4 节），将使用顶层铜面积为 15 mm × 15 mm、带 20 个过孔的单个器件配置作为基础。

## 4. 两个 LFPK 器件

第 3 节探讨了安装在 PCB 上的单个器件的热性能。本次分析要复杂些，以安装在 PCB 上的两个器件为对象，观察器件间隔对  $T_j$  的影响。为把变量数限制在合理范围内，第一层只采取了边长为 15 mm 的平面积。但 PCB 尺寸增至 120 mm × 80 mm，为分析不同器件间隔距离留出更多空间。同前，首先从简单的一层 PCB 层叠开始，然后逐渐添加层数。

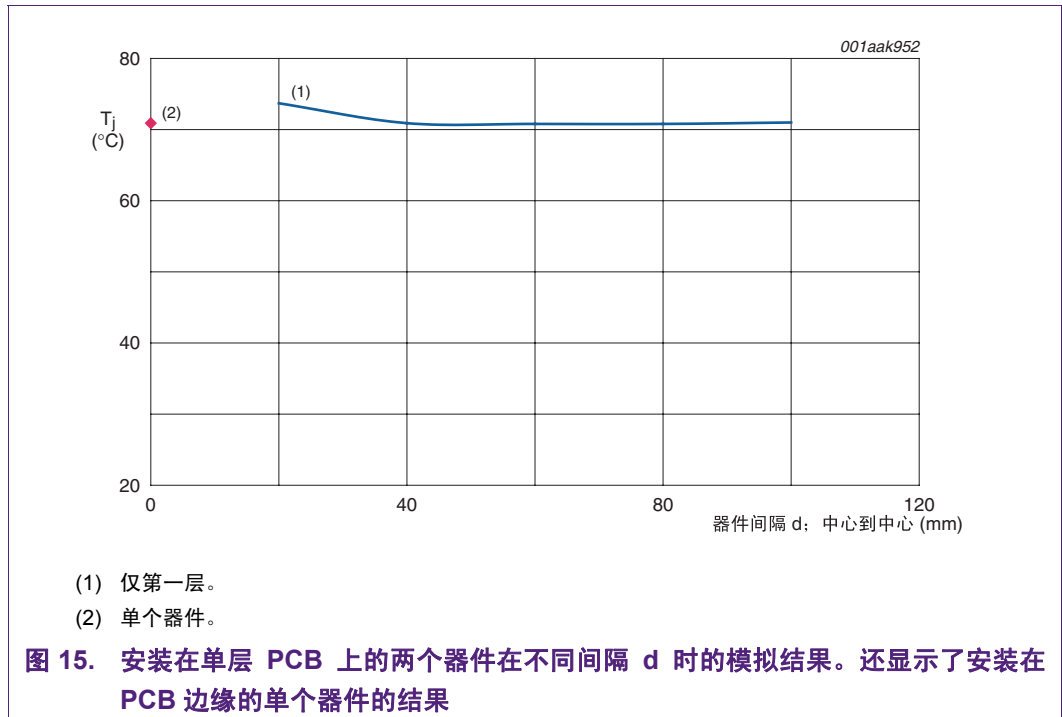
PCB 顶层铜箔配置如图 14 所示。



对不同PCB层叠进行了模拟，从而研究出距离 $d$ 对器件 $T_j$ 的影响。最大间隔 $d$ 值为100 mm，此时器件靠近PCB边缘，如图14所示。最小为20 mm，器件第一层铜面仅有5 mm的间隙。

#### 4.1 分析 5：单层 PCB

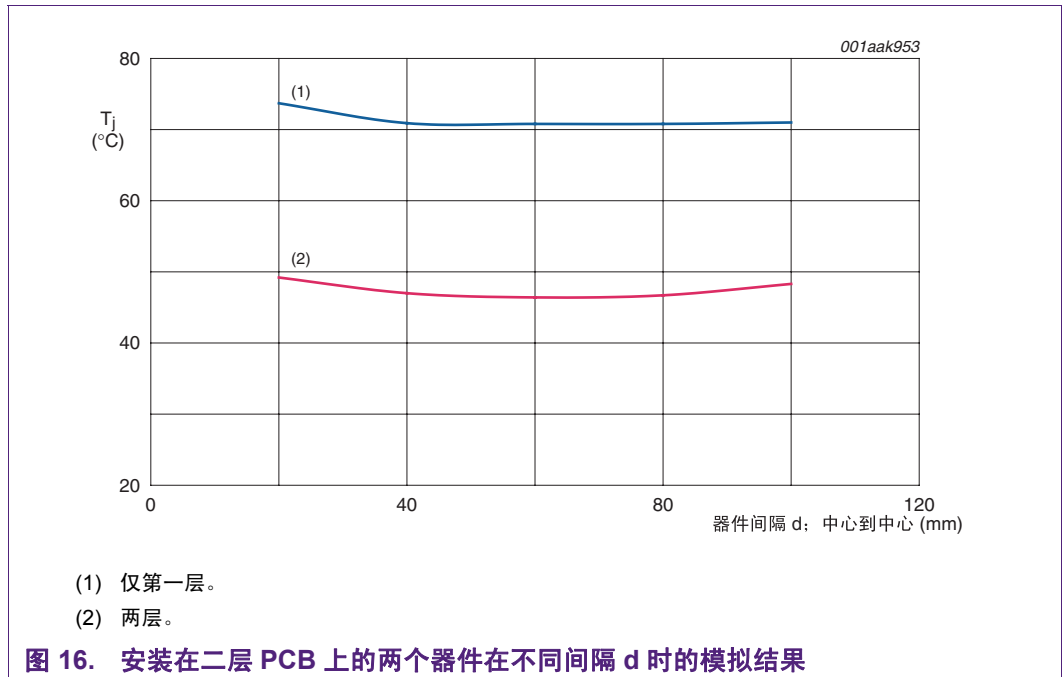
单层模拟结果如图15所示。因为器件排列沿PCB板中心线对称，无论 $d$ 值是多少，两者热性能基本相同，因此， $T_j$ 值可适用于任一器件。图中也显示了安装在PCB边缘的单个器件的 $T_j$ 。



有意思的是，即便两个器件都安装在同一 PCB 上，两器件几乎完全独立运行——除两个器件距离最近（ $d$  最小）的情况外， $T_j$  基本上与单个器件时的温度一样，并未过分受器件间隔的影响。这是由于 PCB 材质 FR4 的不良导热率导致的。大多情况下，该材质能有效“隔离”两个器件，如[第 9 页第 3.1.1 节](#)中所述。

## 4.2 分析 6：二层 PCB

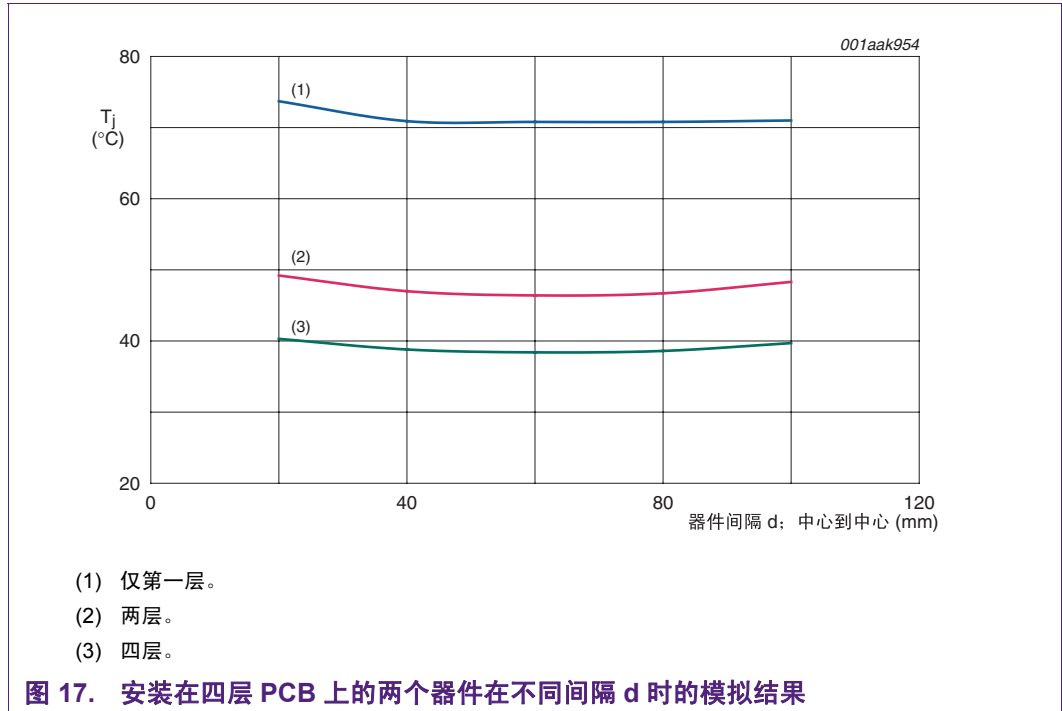
同分析 5（参见[第 4.1 节](#)），再次探讨器件间隔的相同变化。但在分析 6 中，将添加第四层（底层铜箔），该层覆盖整个 PCB 底面，形成二层层叠。在实践中，该层可能是接地层或电源层，虽然就对电路板的热性能来说，该层没什么影响，因为器件未连通至该层。结果如[图 16](#)所示，分析 5 的结果用来做比较。



同预期一样，添加第二层铜箔后，两个器件的结温大幅降低，而且温度大体上仍不受器件间隔的影响。

### 4.3 分析 7：普遍应用的四层 PCB

将分析 6 的二层层叠增至四层，增加了两个内部信号层。如前，假定这些层主要由许多较薄信号轨道组成，不是由大块连续平面层组成。运用“覆盖百分比”方法，再次进行内部层的模拟。假设铜覆盖率为 50%，厚度为 1 oz./ft<sup>2</sup> (35 μm)。也同前，第四层仍未与任一器件连通。图 8 为四层结构汇总。第四层仍为整平面，覆盖整个底侧面积，针对各种间隔距离 d 测定结温。结果如图 17 所示。



增加两层内层后的曲线形状与二层层叠的形状相似，但  $T_j$  大体约减少  $10\text{ }^{\circ}\text{C}$ 。

#### 4.4 分析 8：带散热孔的四层 PCB，第一部分

在分析 8 和 9 中，第一层铜箔（连接至 MOSFET 散热片）经  $5 \times 4$  模式的热 / 电气过孔（如第 3.6 节所示）连通至第四层。第四层的铜面积减少至两个  $15\text{ mm} \times 15\text{ mm}$  的平面层，每个 MOSFET 连接一层。采用过孔连通一层或多层达到散热目的时，也必须考虑对电路拓扑结构和层叠的影响。本节所讨论的配置可能采用的电路拓扑结构如图 18 所示。

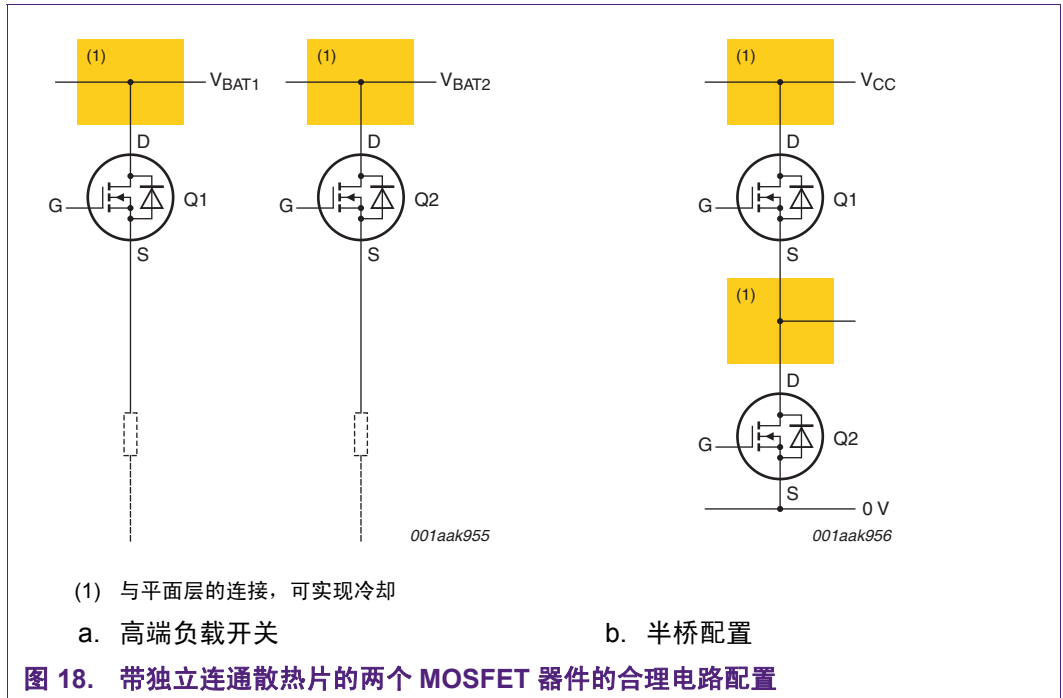
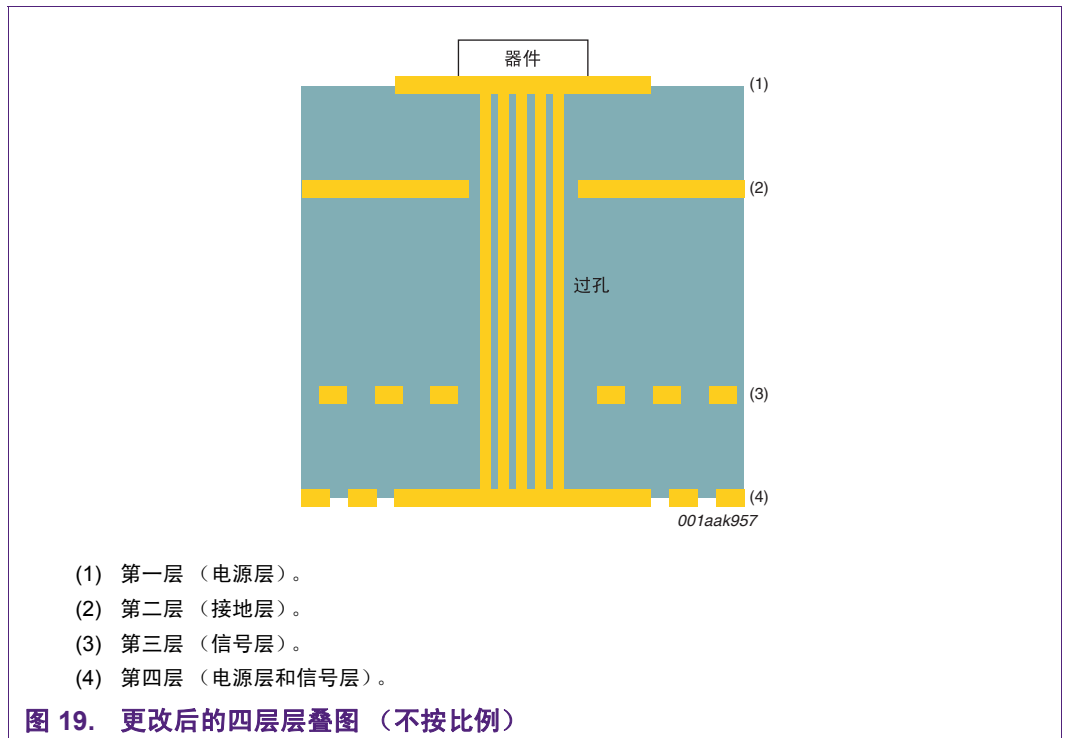
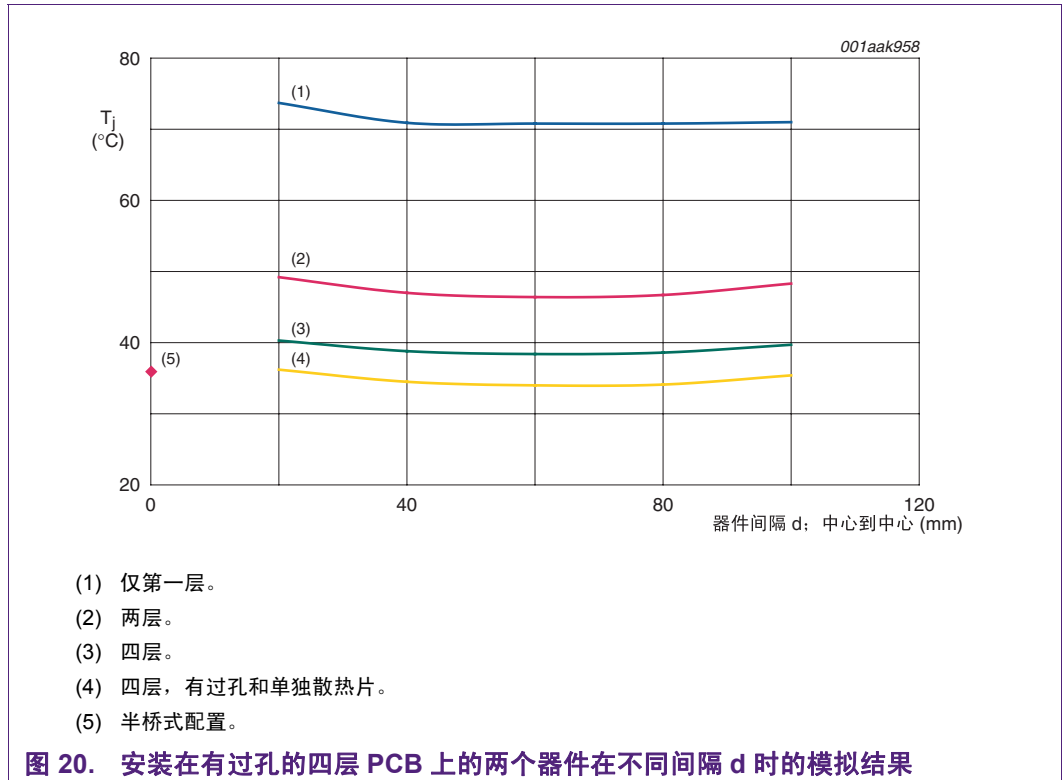


图 18 显示的是带独立连通散热片的两个 MOSFET 器件的两种合理电路配置。图 18(a) 显示连通至不同电源线 ( $V_{BAT}$ ) 的两个高端负载开关，这是一种常见的汽车配置。图 18(b) 为以半桥式配置连通的两个 MOSFET 器件。此配置方式是单向电机驱动控制器或 DC-DC 降压转换器电路的典型配置。这两种情况中，MOSFET 散热片都没有共同电气连接。与这些拓扑结构对应的层叠变化如图 19 所示。





在图 19 的层叠中，第二层为接地层，散热片连接至第一层和第四层，第四层铜面积为  $15\text{ mm} \times 15\text{ mm}$ 。第三层仍为信号层。两个 MOSFET 器件都以此方式配置。再次探讨间隔距离  $d$  对  $T_j$  的影响。结果如图 20 所示，此外还有前面的分析结果。



在器件底侧添加过孔，即使减少第四层铜面积，也会明显导致  $T_j$  的进一步降低。再次证明  $T_j$  与器件间隔没多大关系。

图 20 也显示了以“半桥式配置”排列的两个器件的模拟结果。参考图 18(b) 的电路拓扑结构。从电气角度来看，器件上下放置比左右放置更合理。上下放置时，Q1 的源与 Q2 的散热片连接很接近，通过很短的低电感路径连通。参见图 21。

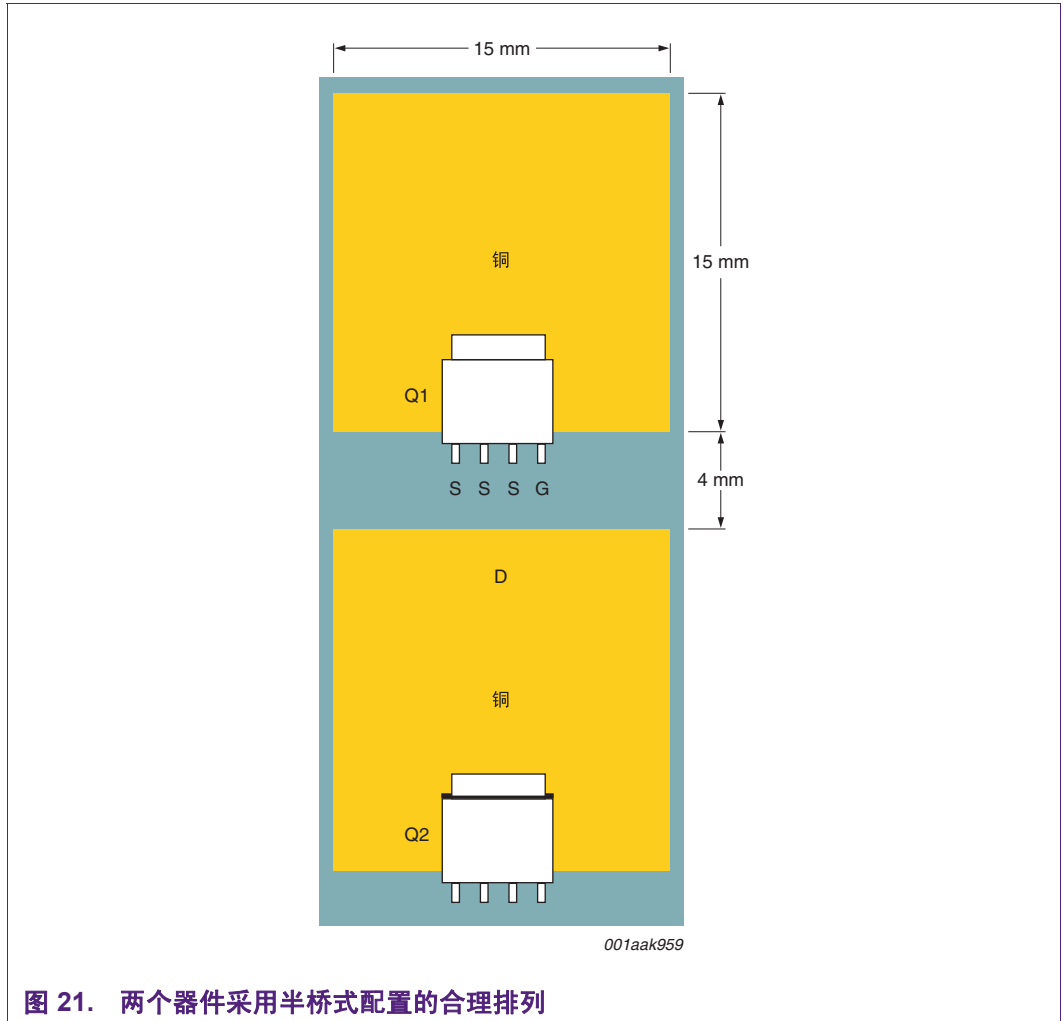
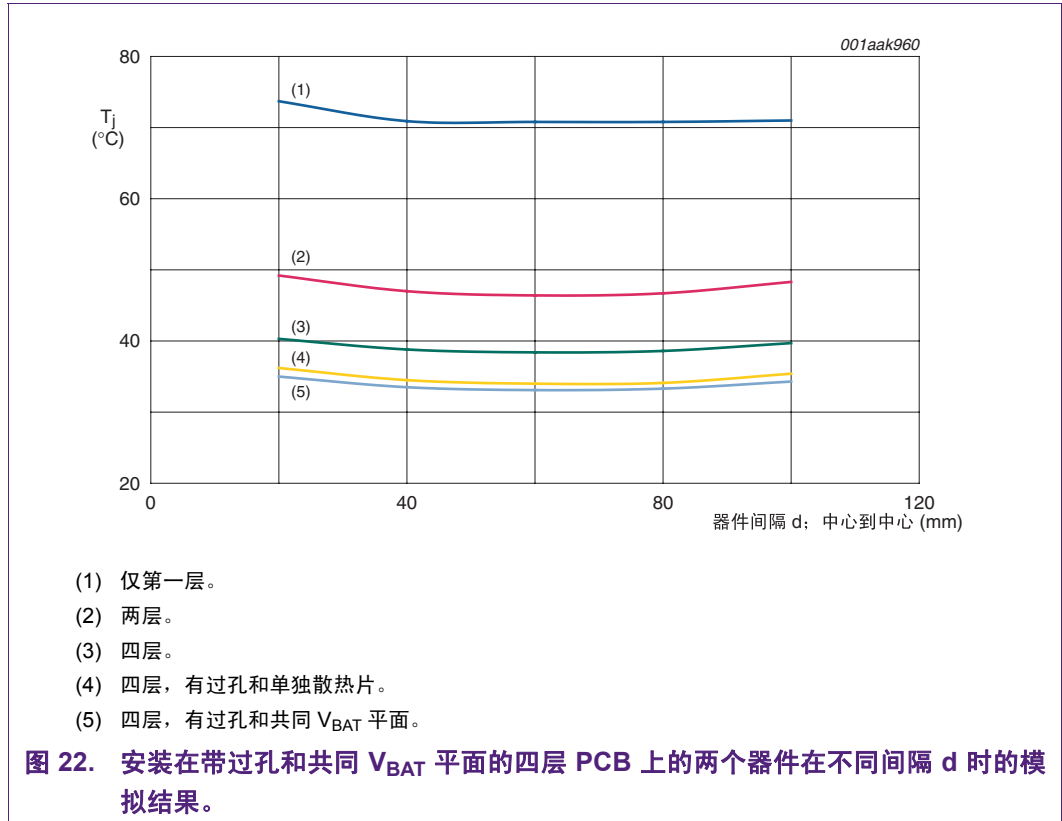


图 21. 两个器件采用半桥式配置的合理排列

#### 4.5 分析 8：带散热孔的四层 PCB，第二部分

本次分析的是有共同散热片连接的两个器件。对应于图 18(a)中有共同 $V_{BAT}$ 线的拓扑结构。 $V_{BAT}$ 线以第四层上的 25 mm × 120 mm 的平面表示。同前，有过孔。结果如图 22 所示。



与之前（[第 4.4 节](#)）有单独散热铜面积的范例相比，热性能实际上没有提高。

#### 4.6 小结：影响两个器件热性能的因素

再次重申，以下结果假设第一层铜箔边长为 15 mm。

- 对于安装在单层 PCB 上的两个器件而言，器件结温  $T_j$  基本不受器件间隔  $d$  的影响。只有两个器件距离极其接近时， $T_j$  才有大幅提高。比较单个器件的情况，也基本没什么不同（参见[图 15](#)）。器件  $T_j$  约为 71 °C。
- 同单层 PCB 比较，添加第二层铜箔（第四层）后， $T_j$  约减少 20 °C - 25 °C 左右。很明显，结温  $T_j$  不大受间隔  $d$  的影响。两个器件距离最近或安装在 PCB 边缘附近时， $T_j$  有小幅提高（参见[图 16](#)）。
- 同二层设计相比，转为四层 PCB 层叠时的  $T_j$  再次降低了约 9 °C（参见[图 17](#)）。
- 在器件底侧添加 4 × 4 模式过孔后，热性能有小幅提高， $T_j$  又降低约 4 °C（参见[图 20](#)）。
- 采用共同（而非单独）的器件，第四层铜面积对  $T_j$  几乎无影响（参见[图 22](#)）。

## 5. 四个 LFPK 器件

在最后一节，器件数增至四个。采用与第 19 页第 4 节同样的 PCB 尺寸，用类似的方法构建由简到繁的 PCB 层叠结构。如前，为把变量数限制在合理范围内，第一层只采取了边长为 15 mm 的平面积。本节主要讨论单线等距分布的四个器件（参见图 23），也探讨第 22 页第 4.3 节所述的两个“半桥式”配置。

PCB 顶层铜箔配置如图 23 所示。

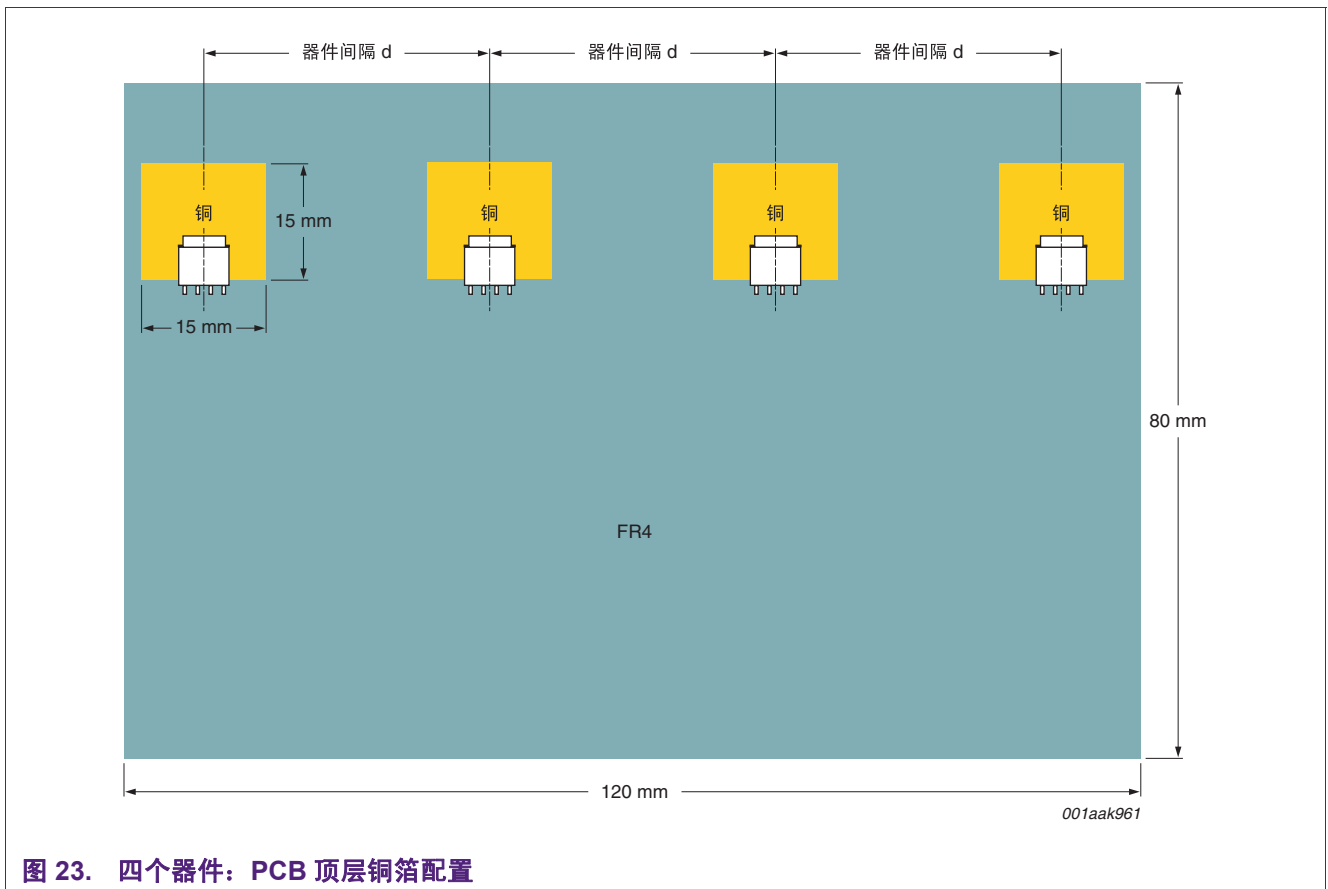
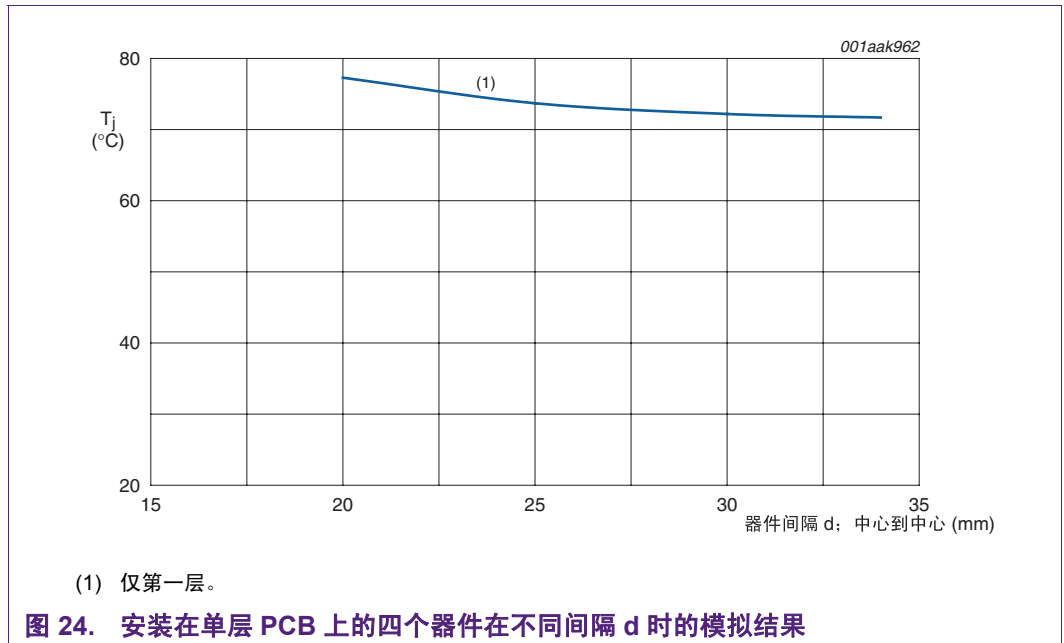


图 23. 四个器件：PCB 顶层铜箔配置

对不同 PCB 层叠进行了模拟，从而研究出距离  $d$  对器件  $T_j$  的影响。最大间隔  $d$  值为 34 mm，如图 23 所示。最小为 20 mm，器件第一层铜面仅有 5 mm 的间隙。

### 5.1 分析 9：单层 PCB

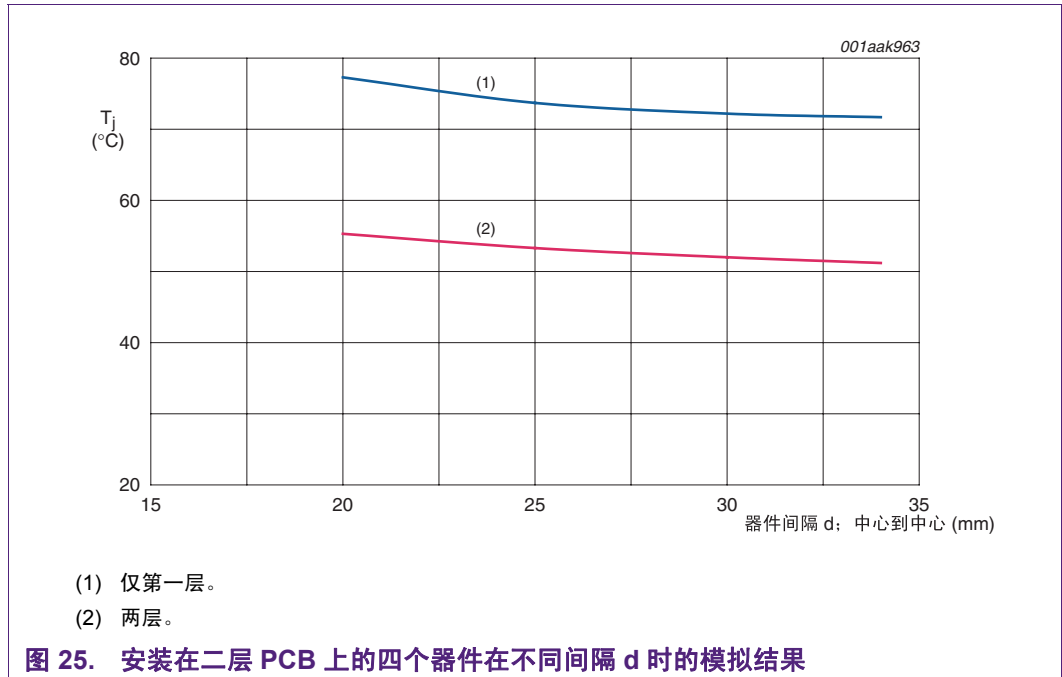
单层 PCB 模拟结果如图 24 所示。与前一节对两个器件的分析不同，该配置下的四个器件的热环境不太相同。对两个内侧器件稍微不利的是在左右两侧另有热源，而外侧器件只在一侧有。最糟时，内侧器件和外侧器件间的  $T_j$  值相差 3 °C。为了得到保守结果，下列图表列出了温度略高的内侧器件的温度。



这些结果也符合报酬递减法则的规律：器件间隔越大，温度曲线越趋于水平。因此，增加中心间隔至约 30 mm 外，对器件温度几乎无影响。

## 5.2 分析 10：二层 PCB

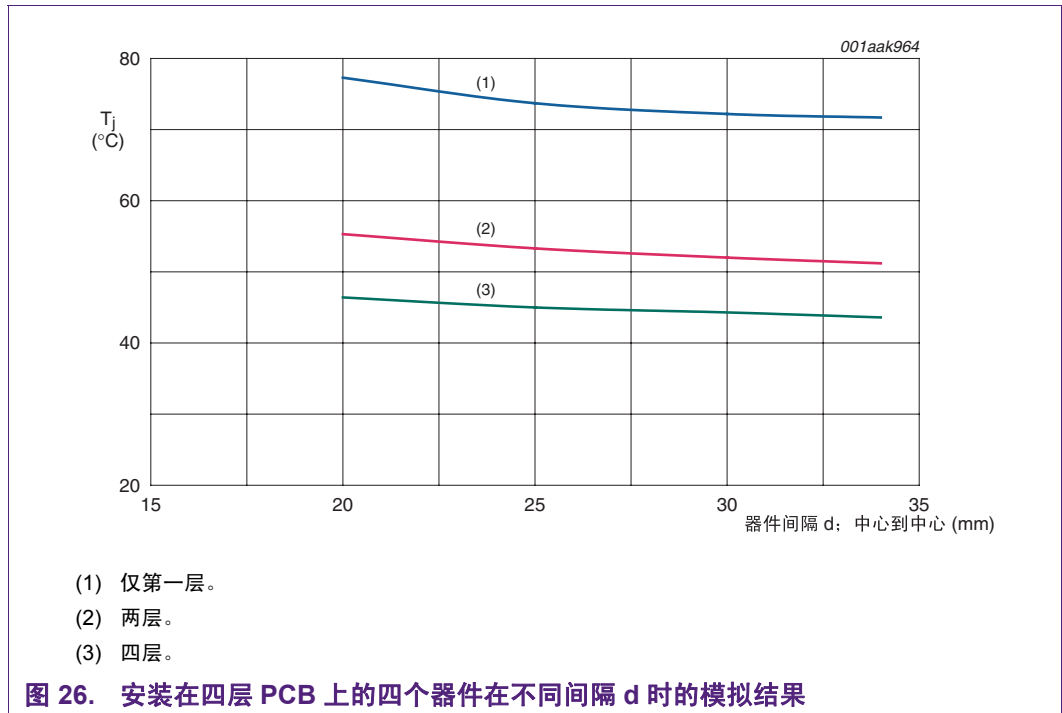
同分析 9 一样，本节将再次对器件间隔的相同变化进行探究。但分析 10 会添加第四层（底层铜箔），该层覆盖整个 PCB 底面，形成二层层叠。在实践中，该层可能是接地层或电源层，虽然就对电路板的热性能来说，该层没什么影响，因为器件未连通至该层。结果如 [图 25](#) 所示，分析 9 的结果用来做比较。



添加第二层铜箔后，PCB 热导率提高，器件温度大约降低 20 °C。该结果与预期的完全一样，与单个和两个器件配置的结果一致。

### 5.3 分析 11：普遍应用的四层 PCB

将分析 10 的二层层叠增至四层，增加了两个内部信号层。假设信号层由大量较薄信号轨道组成，再次采用“覆盖百分比”的方法进行内部层的模拟，铜覆盖率为 50%，厚度为 1 oz./ft<sup>2</sup> (35 μm)。第四层仍为整平面，覆盖整个底面，未与器件连通。参见图 8。针对不同间隔距离 d 测定结温。结果如图 26 所示。



增加内部信号层后， $T_j$  总体约下降 8 °C。

#### 5.4 分析 12: 带散热孔的四层 PCB, 第一部分

在分析 12 中，第一层铜面积（连接至 MOSFET 散热片）经 5 × 4 模式的热 / 电气过孔（如第 16 页第 3.5 节所示）连通至 15 mm × 15 mm 大小的第四层铜面积。对应的电路拓扑结构如图 18 所示，但器件数变为四个。因此，有四个高端负载开关连通至四条不同  $V_{BAT}$  线（图 18(a)）。也可以采用两个半桥式拓扑结构，如图 18(b)。任一情况下，MOSFET 散热片各自单独连接，PCB 层叠中的第二层为全覆铜接地层（参见图 19）。

对于四个高端负载开关，同分析 9、10 和 11 一样，将选取不同器件间隔。但采用两个半桥式配置时，可将每个半桥视为单独的一个“单元”，研究不同半桥单元间隔的影响。参见图 27。结果如图 28 所示。



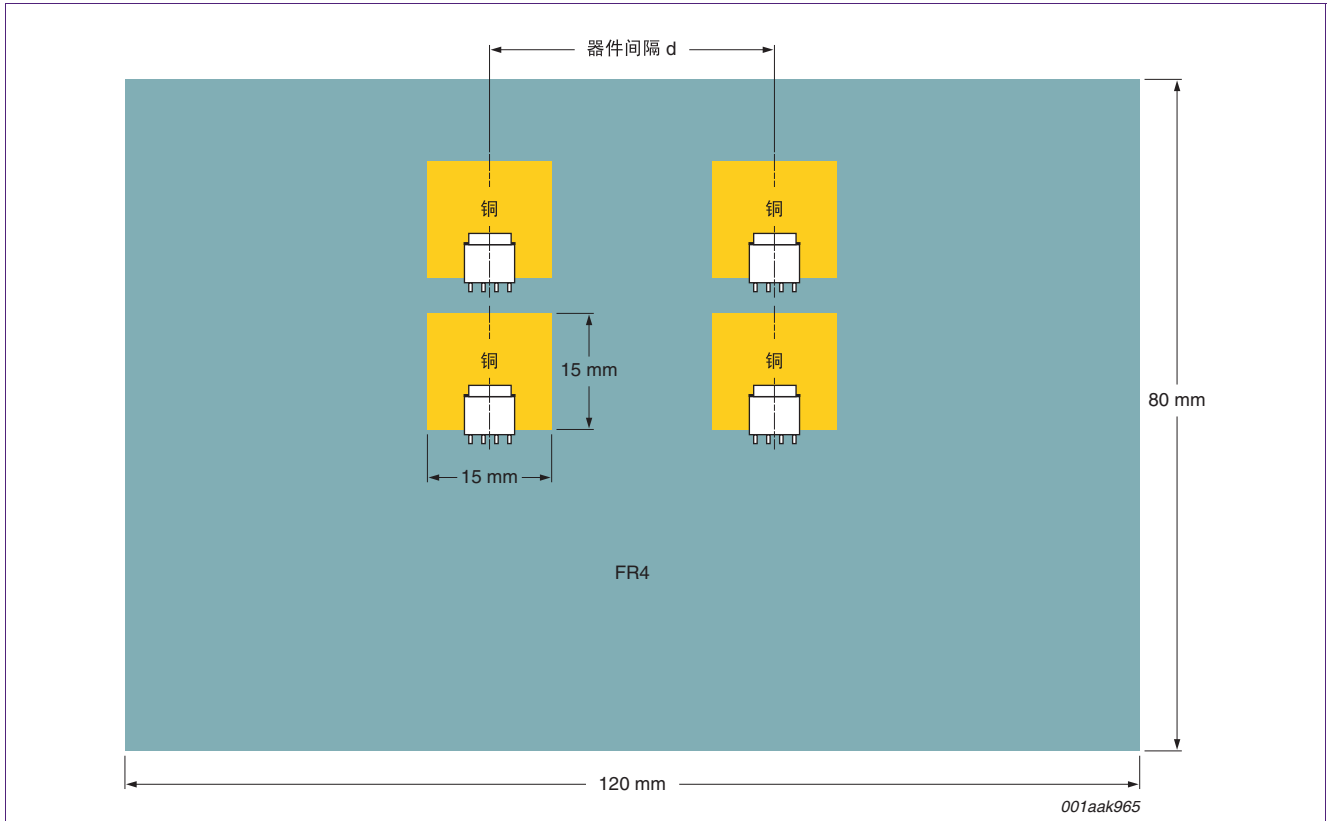
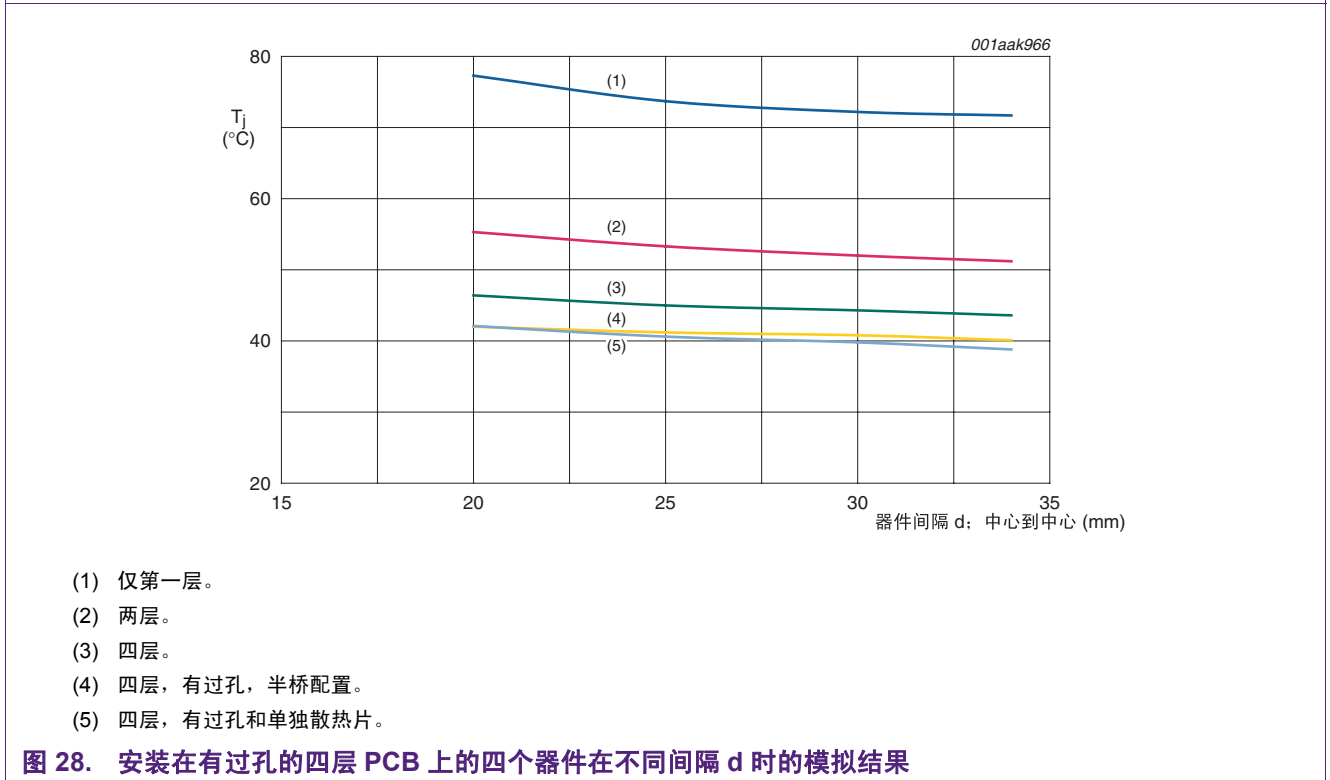


图 27. 四个器件以两个半桥式配置方式排列



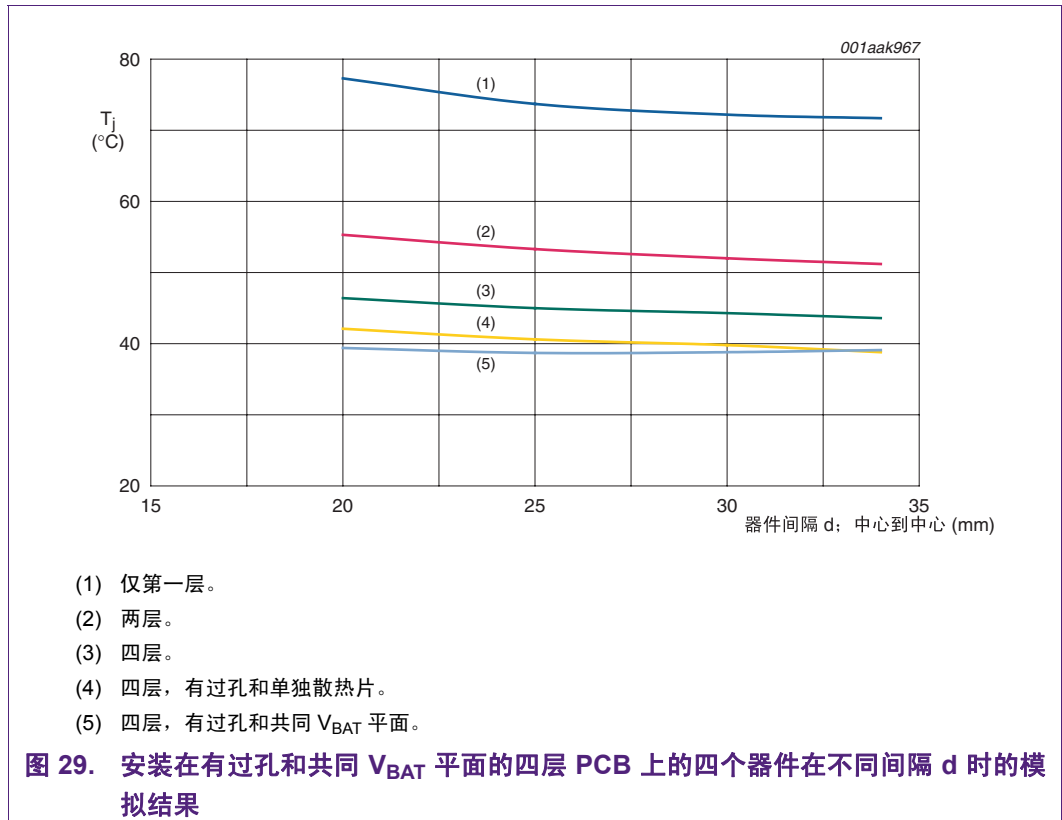
- (1) 仅第一层。
- (2) 两层。
- (3) 四层。
- (4) 四层, 有过孔, 半桥配置。
- (5) 四层, 有过孔和单独散热片。

图 28. 安装在有过孔的四层 PCB 上的四个器件在不同间隔 d 时的模拟结果

两种拓扑结构中，在器件底侧添加过孔后， $T_j$  总体约下降 4 - 5°C。

### 5.5 分析 12：带散热孔的四层 PCB，第二部分

最后分析的是有共同散热片连接的四个器件。对应于图 18(a)中有共同 $V_{BAT}$ 线的拓扑结构。 $V_{BAT}$ 线以第四层上的25 mm × 120 mm的平面表示，层叠结构见图 19。结果如图 29所示。



四个器件的紧密连接对  $T_j$  的确有少量影响，但是，随着  $d$  的增大，影响逐渐消失。

## 5.6 小结：影响四个器件热性能的因素

第一层铜面积的边长为 15 mm。

- 对于安装在单层 PCB 上的四个器件而言，器件结温  $T_j$  有些不受器件间隔  $d$  的影响。内侧的两个器件温度略高，最坏情况下接近 3 °C。器件结温  $T_j$  约为 72 °C（参见图 24）。
- 同单层 PCB 相比较，添加第二层铜箔（第四层）后， $T_j$  约减少 20 °C（参见图 25）。
- 同二层设计相比，转为四层 PCB 层叠时的  $T_j$  再次降低了约 8 °C（参见图 26）。
- 在器件底侧添加 4 × 4 模式过孔后，热性能有小幅提高， $T_j$  又降低约 4 °C（参见图 28）。
- 采用共同（而非单独）的器件第四层铜面积对器件几乎无影响（参见图 29）。

## 6. 总结

PCB 设计中对热因素的考虑需求日益增大，以求不超出安全运行温度。采用表面贴装的功率 MOSFET 系列产品进行设计会采用 PCB 作为主要散热方式。但要特别注意，MOSFET 的结温  $T_j$  和 PCB 温度  $T_{PCB}$  都要保持在安全范围内。一般最大允许  $T_j$  值为 175 °C，最大  $T_{PCB}$  值可能为 120 °C。由于 MOSFET 器件和焊接 PCB 处之间热耦合紧密，可以说  $T_{PCB} \approx T_j$ ，因此运行温度上限为  $T_{PCB}$  上限 (120 °C) 而不是 MOSFET 结温的上限。

尝试设计具有“安全”热操作的 PCB 布局时，PCB 设计师可能缺乏参考资料。一方面，MOSFET 数据表的  $R_{th}$  值太不明确，毫无用处，测定条件可能与目标应用条件大不相同。另一方面，要对某一设计的热性能进行详尽的分析，则需要采用模拟软件和 / 或实际原型构造。模拟软件能在相对短时间内得到不错的结果，但软件通常很贵，学习软件操作费时费力。虽然在产品开发某一阶段，几乎都一定需要构建原型验证设计可行性，但在设计初期阶段，构建原型耗资很大，浪费时间。因此便需要编写热设计指南，这样既可以避免参考毫无用处的热阻值，也无需完整的原型模拟或构造。设计师在 PCB 设计初期可以参考指南，顺利完成设计。本文件旨在为采用恩智浦半导体的 LFPK MOSFET 系列产品的设计提供指南。

本设计指南探讨了单个、两个和四个 MOSFET 器件在各种不同 PCB 配置和层叠下的热性能。考虑的因素有：PCB 层叠、共同电路拓扑结构对 PCB 布局的影响、PCB 铜面积、热“过孔”的影响、器件排列和间隔，以及单层 PCB 上的多个散热器器件间的相互影响。本文件无法列举所有器件用法，但是所选的不同配置有望代表常用的“实际”器件用法。

最后，要强调的是本设计指南所记载的信息只为设计师提供初级指导。任一新设计无疑都需要制作原型，确定其热性能特征，而后再将设计付诸生产。

## 7. 缩略词

表 2. 缩略词

首字母缩略词	描述
EMC	电磁兼容性
LFPACK	无损耗封装
MOSFET	金属氧化物半导体场效应晶体管
PCB	印刷电路板
SMD	表面贴装器件

## 8. 法律信息

### 8.1 定义

**草案** — 本文档只是草案版本。内容仍在接受内部审查，有待于正式批准，可能会有进一步的修改或补充。恩智浦半导体对此处所含信息的准确性或完整性不做任何说明或保证，并对因使用此信息而带来的后果不承担任何责任。

### 8.2 免责声明

**一般事项** — 本文中的信息据信是准确和可靠的。但是，恩智浦半导体对此处所含信息的准确性或完整性不做任何说明或保证（无论明确的还是暗示的），并对因使用此信息而带来的后果不承担任何责任。

**修改权利** — 恩智浦半导体保留对本文所发布的信息（包括但不限于规格和产品说明）随时进行修改的权利，恕不另行通知。本文件将取代并替换之前就此提供的所有信息。

**适宜使用** — 恩智浦半导体产品并非设计、授权或担保适合用于医药、军事、飞机、太空或生命保障设备，亦非设计、授权或担保适合用于在恩智浦半导体产品失效或故障时可导致人员受伤、死亡或严重财产或环境损害的应用。恩智浦半导体对在此类设备或应用中加入和/或使用恩智浦半导体产品不承担任何责任，客户需自行承担因加入和/或使用恩智浦半导体产品而带来的风险。

**应用** — 本文件所载任何产品的应用只用于例证目的。此类应用如不经进一步测试或修改用于特定用途，恩智浦半导体对其适用性不做任何说明或保证。

**出口管制** — 本文件以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经国家主管部门批准。

中文版仅供参考，若中文版与英文版有不一致之处，以英文版为准。

### 8.3 商标

注意：所有引用的品牌、产品名称、服务名称以及商标均属其各自所有者的财产。

## 备注

## 备注

## 9. 目录

<b>1</b>	<b>简介</b> .....	<b>3</b>
1.1	热分析的必要性 .....	3
1.2	MOSFET $R_{th}$ 热阻参数和参数范围 .....	3
1.3	文件宗旨 .....	4
<b>2</b>	<b>热分析通用方法</b> .....	<b>5</b>
2.1	热模拟软件的使用 .....	5
2.2	模拟设置 .....	5
2.3	PCB 布局和层叠 .....	6
2.3.1	PCB 布局和层叠的影响因素 .....	6
2.3.2	电路拓扑结构 .....	6
2.3.3	对电磁兼容性 (EMC) 的设计 .....	6
<b>3</b>	<b>单个 LFPK 器件</b> .....	<b>7</b>
3.1	分析 1: 单层 PCB .....	7
3.1.1	分析 1 中的 FR4 尺寸影响 .....	9
3.2	分析 2: 二层 PCB .....	11
3.3	分析 3: 四层 PCB, 第一部分 .....	13
3.4	分析 3: 四层 PCB, 第二部分 .....	15
3.5	分析 4: 带散热孔的四层 PCB, 第一部分 .....	16
3.6	分析 4: 带散热孔的四层 PCB, 第二部分 .....	18
3.7	小结: 影响单个器件热性能的因素 .....	19
<b>4</b>	<b>两个 LFPK 器件</b> .....	<b>19</b>
4.1	分析 5: 单层 PCB .....	20
4.2	分析 6: 二层 PCB .....	21
4.3	分析 7: 普遍应用的四层 PCB .....	22
4.4	分析 8: 带散热孔的四层 PCB, 第一部分 .....	23
4.5	分析 8: 带散热孔的四层 PCB, 第二部分 .....	27
4.6	小结: 影响两个器件热性能的因素 .....	28
<b>5</b>	<b>四个 LFPK 器件</b> .....	<b>29</b>
5.1	分析 9: 单层 PCB .....	29
5.2	分析 10: 二层 PCB .....	30
5.3	分析 11: 普遍应用的四层 PCB .....	31
5.4	分析 12: 带散热孔的四层 PCB, 第一部分 .....	32
5.5	分析 12: 带散热孔的四层 PCB, 第二部分 .....	34
5.6	小结: 影响四个器件热性能的因素 .....	35
<b>6</b>	<b>总结</b> .....	<b>35</b>
<b>7</b>	<b>缩略词</b> .....	<b>36</b>
<b>8</b>	<b>法律信息</b> .....	<b>37</b>
8.1	定义 .....	37
8.2	免责声明 .....	37
8.3	商标 .....	37
<b>9</b>	<b>目录</b> .....	<b>40</b>

注意: 关于本文及相关产品的重要说明详见“法律信息”一节。

© NXP B.V. 2011.

保留所有权利。

更多信息, 请访问: <http://www.nxp.com>

欲咨询销售办事处地址, 请发送电子邮件至: [salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

发布日期: 2011 年 3 月 31 日

文件号: AN10874\_ZH